

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ РЕСПУБЛИКИ БЕЛАРУСЬ  
УЧРЕЖДЕНИЕ ОБРАЗОВАНИЯ  
«БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ТРАНСПОРТА»**

**Кафедра микропроцессорной техники  
и информационно-управляющих систем**

**С. Н. ХАРЛАП, О.А. ШМЫГОВСКАЯ**

**Анализ безопасных схем контроля  
и сравнения в многоканальных  
микропроцессорных информационно-  
управляющих системах**

**Лабораторный практикум по дисциплине  
«Микропроцессорные информационно-  
управляющие системы на транспорте»**

**Гомель 2006**

Министерство образования Республики Беларусь  
Учреждение образования  
«БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ТРАНСПОРТА»

Кафедра микропроцессорной техники  
и информационно-управляющих систем

С. Н. ХАРЛАП, О.А. ШМЫГОВСКАЯ

**Анализ безопасных схем контроля  
и сравнения в многоканальных  
микропроцессорных информационно-  
управляющих системах**

Лабораторный практикум по дисциплине  
«Микропроцессорные информационно-  
управляющие системы на транспорте»

*Одобен методической комиссией электротехнического факультета  
Белорусского государственного университета транспорта*

Гомель 2006

УДК 656.25  
Х 211

Р е ц е н з е н т – **К. А. Бочков**, доктор технических наук,  
профессор (БелГУТ).

**Харлап С. Н., Шмыговская О.А.**

Х 211 Анализ безопасных схем контроля и сравнения в многоканальных микропроцессорных информационно-управляющих системах: Лабораторный практикум по дисциплине “Микропроцессорные информационно-управляющие системы на транспорте”. – Гомель: БелГУТ, 2006. – 43 с.

Рассмотрены основные принципы обеспечения безопасности микроэлектронных схем контроля и сравнения в одноканальных и многоканальных системах железнодорожной автоматики, методы их анализа с помощью пакета программ *OrCAD*.

Предназначен для студентов специальности “Автоматика, телемеханика и связь на транспорте”.

УДК 656.25

© С. Н. Харлап, 2006.



## **ВВЕДЕНИЕ**

Целью данного цикла лабораторных работ является изучение принципов построения и получение практических навыков синтеза безопасных микроэлектронных схем контроля и сравнения в многоканальных микропроцессорных информационно-управляющих системах. Описаны схемные реализации безопасных фиксирующих элементов, параллельных и последовательных устройств контроля шин и устройств сопряжения с исполнительными объектами.

Рассмотрены способы моделирования различных схемных решений и анализа их работоспособности на базе пакета *OrCAD*. Приведены методы эмуляции отказов различных микроэлектронных элементов для анализа отказоустойчивости схем.

### Лабораторная работа № 1

## **ИССЛЕДОВАНИЕ РАБОТЫ ФИКСИРУЮЩЕГО ЭЛЕМЕНТА**

**Цель работы.** Изучить принципы построения и обеспечения безопасности в схемах фиксирующих элементов.

### **1 Краткие сведения из теории**

Обмен информацией между отдельными узлами ЭВМ, входящих в состав МИУС, осуществляется через шины внутреннего интерфейса. Поэтому при контроле совпадения сигналов на этих шинах с заранее известными тестовыми значениями можно утверждать, что ЭВМ в процессе выполнения рабочих и тестовых алгоритмов функционирует без отказов. Таким образом можно контролировать исправность внутренних функциональных узлов ЭВМ.

Сравнение результатов обработки информации может производиться аппаратно или программно. При аппаратном сравнении информация, циркули-

рующая по внутренним шинам или хранящаяся в памяти ЭВМ, кодируется помехоустойчивыми кодами (равновесными, циклическими и др.). Безопасные схемы внутреннего контроля по тактам или в определенные моменты времени проверяют корректность закодированной информации.

В большинстве случаев устройство внутреннего контроля не определяет, какой узел отказал, а просто фиксирует отклонение в работе канала обработки информации. Устройство контроля имеет контрольные входы, на которых в режиме нормальной работы присутствует парафазный сигнал. Нарушение парафазности на входах регистрируется схемой фиксирующего элемента (ФЭ), который выполняет функцию «последнего сторожа». При нарушении парафазности входов фиксирующий элемент блокируется в защитном состоянии, при котором нарушается парафазность его выходов и которое не зависит от последующего изменения значений входов. После восстановления парафазности входных сигналов фиксирующий элемент может быть переведен в рабочее состояние только по цепи установки.

В безопасных системах при возникновении отказа и блокировке фиксирующего элемента возможны три стратегии поведения устройства контроля:

- повторный запуск фиксирующего элемента;
- отключение рабочих выходов;
- отключение всей системы.

Первая стратегия применяется для повышения устойчивости системы относительно сбоев. Если в результате случайного сбоя на входе устройства контроля нарушается парафазность сигнала, то блокируются триггеры ПТ1 и ПТ2, входящие в состав фиксирующего элемента (рисунки 1-2), на выходах парафазного триггера ПТ2 устанавливается не парафазный сигнал, что приводит к запуску одновибратора  $S$ , который через некоторое время вырабатывает сигнал восстановления триггера ПТ1. Это время меньше, чем время отпускания реле питания системы, что гарантирует бесперебойное питание системы.

Вторая стратегия поведения системы состоит в отключении рабочих выходов. При этом парафазный сигнал поступает с устройства контроля на так называемые самопроверяемые элементы сравнения. При возникновении отказа и блокировке фиксирующего элемента в защитном состоянии схемы элементов сравнения отключают выходы системы от объектов управления.

В третьем случае организуется самопроверяемая обратная связь, когда выходы фиксирующего элемента подключаются к входам питания системы. При нарушении парафазности на входах устройства контроля, нарушается парафазность на входах питания системы, что влечет отключение питания и система переводится в защитное состояние. Другой способ отключения системы состоит в коммутации цепей питания на контактах специального кон-

трольного реле, обмотка которого подключается к выходам фиксирующего элемента через самопроверяемые схемы включения реле ССВР (рисунок 3).

Все три описанные стратегии могут быть использованы одновременно, что обеспечивает высокий уровень безопасности, т. е. высокую вероятность отсутствия ложного воздействия на объекты управления.

В лабораторной работе представлены схемы фиксирующего элемента, реализующие первую (рисунки 1-2) и третью (рисунок 3) стратегии. Рассмотрим алгоритмы работы этих фиксирующих элементов.

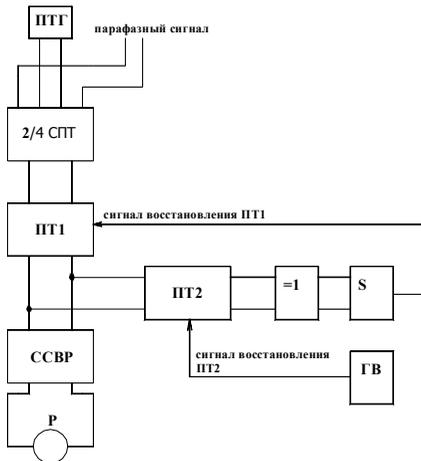


Рисунок 1 – ФЭ с аппаратным восстановлением

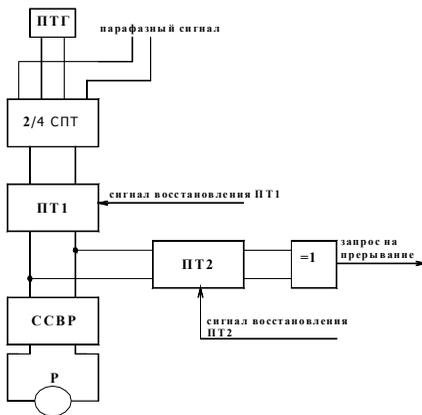


Рисунок 2 – ФЭ с программным восстановлением

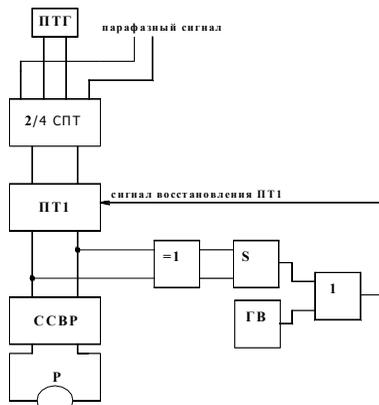


Рисунок 3 – Упрощенная схема ФЭ

Если нет необходимости различать сбои и отказы используется упрощенная схема фиксирующего элемента, которая включает в себя один парафазный триггер ПТ1 (рисунок 3). При нарушении парафазности входного сигнала

ла не парафазный сигнал поступает на схему одновибратора *S*. Время формирования сигнала восстановления должно быть меньше времени отпущения реле *P*, чтобы реле не успело отключить питание схемы.

Если к моменту формирования сигнала восстановления на вход фиксирующего элемента поступает разрешенная кодовая комбинация, то парафазный триггер ПТ1 сбрасывается и возобновляется нормальная работа схемы.

Если к моменту формирования сигнала восстановления на вход фиксирующего элемента все еще поступает неразрешенная кодовая комбинация, то парафазный триггер ПТ1 окончательно блокируется, на вход ССВР поступает не парафазный сигнал, и реле *P* своими контактами выключает питание микропроцессорного модуля, т. е. переводит систему в защитное состояние.

Выход фиксирующего элемента из защитного состояния осуществляется по сигналу с генератора низкой частоты ГВ. Таким образом, попытка восстановления триггера ПТ1 осуществляется или по не парафазному входному сигналу, или по импульсу с генератора низкой частоты.

В состав фиксирующего элемента, позволяющего различать сбои и отказы, входят (рисунок 1): тестер 2/4-СПТ, парафазный тактовый генератор ПТГ, парафазные триггеры ПТ1, ПТ2 и схема восстановления. При появлении запрещенной кодовой комбинации на входе фиксирующего элемента появляется не парафазный сигнал. Распространяясь по цепям фиксирующего элемента этот сигнал вызывает блокировку парафазных триггеров ПТ1 и ПТ2. С выходов триггера ПТ2 на схему восстановления поступает не парафазный сигнал, что влечет генерацию импульса восстановления для триггера ПТ1. Время формирования сигнала восстановления должно быть меньше времени отпущения реле *P*, чтобы реле не успело отключить питание схемы.

Если к моменту выработки сигнала восстановления на вход фиксирующего элемента поступает разрешенная кодовая комбинация, то парафазный триггер ПТ1 сбрасывается и возобновляет нормальную работу. Парафазный триггер ПТ2 выйдет из заблокированного состояния по импульсу с генератора низкой частоты.

Если к моменту выработки сигнала восстановления на вход фиксирующего элемента все еще поступает неразрешенная кодовая комбинация, то триггер ПТ1 блокируется окончательно, на вход ССВР поступает не парафазный сигнал, и реле *P* своими контактами выключает питание микропроцессорного модуля, т. е. обеспечивается защитное состояние системы.

Выход схемы контроля из защитного состояния осуществляется по двум импульсам с генератора низкой частоты. Первого импульса недостаточно для того, чтобы восстановить работу парафазного триггера ПТ2 (так как на его входах присутствует не парафазный сигнал, поступающий с выходов парафазного триггера ПТ1), но достаточно для формирования сигнала восстанов-

ления ПТ1. По второму импульсу с генератора низкой частоты восстанавливается нормальная работа всей схемы контроля.

Таким образом, последовательное соединение двух парафазных триггеров позволяет различать сбои и отказы аппаратуры.

Возможна различная реализация схемы восстановления: программная и аппаратная.

Аппаратный способ реализации схемы восстановления базируется на формировании сигнала восстановления с помощью одновибратора (рисунок 1). Алгоритм работы схемы фиксирующего элемента удобно представить в виде диаграмм (рисунки 4-6).

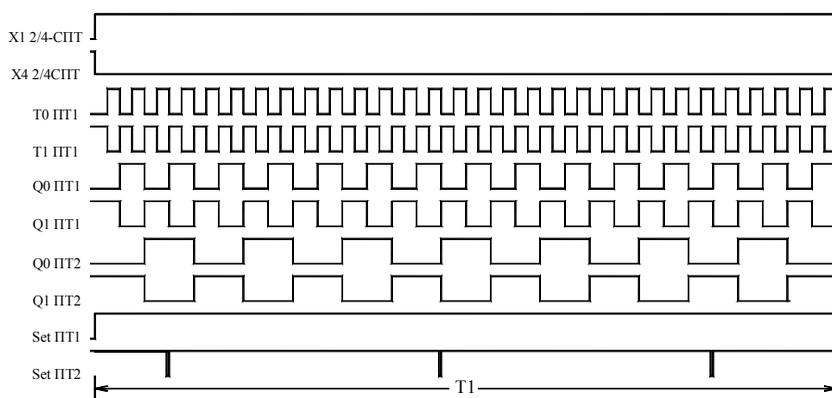


Рисунок 4 – Нормальная работа фиксирующего элемента

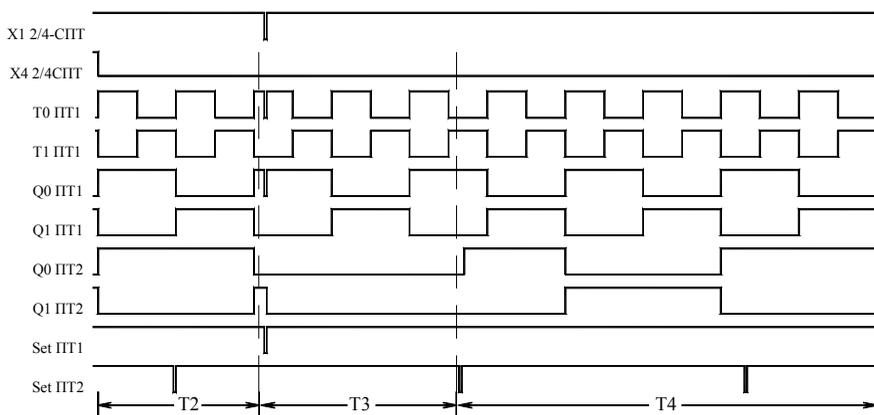


Рисунок 5 – Обработка сбоя фиксирующим элементом

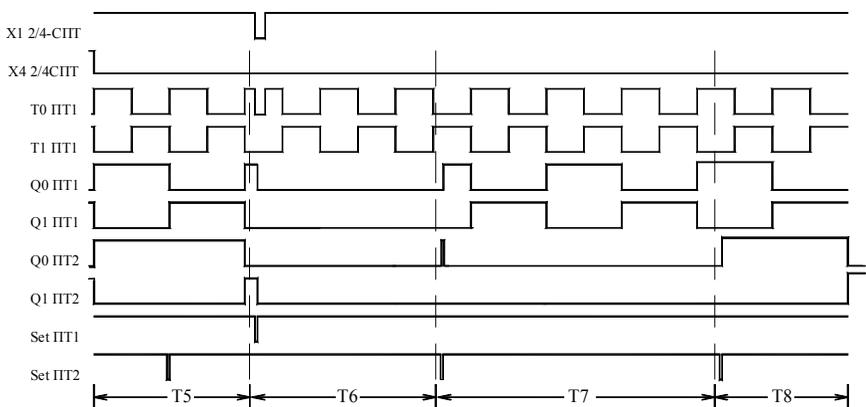


Рисунок 6 – Обработка отказа фиксирующим элементом

Рассмотрим работу схемы в течение временных интервалов T1-T8.

1. Интервалы T1 (рисунок 4), T2, T4 (рисунок 5), T5 (рисунок 6) соответствуют режиму нормальной работы фиксирующего элемента. На тестер 2/4 СПТ поступает парафазный сигнал, с выхода тестера на парафазный триггер ПТ1 – импульсный парафазный сигнал, реле Р замыкает цепь питания схемы. С триггера ПТ2 на элемент сравнения также поступает парафазный сигнал.

2. Интервал Т3 (рисунок 5) соответствует кратковременному нарушению парафазности входного сигнала (сбою). На ПТ1 в течении длительности сбоя поступает не парафазный сигнал, что вызывает его блокировку и не парафазность сигналов на его выходах. Триггер ПТ2, на входы которого поступает выходной сигнал триггера ПТ1, также блокируется и вырабатывает не парафазный сигнал. На выходе элемента сравнения появляется сигнал низкого уровня, вследствие чего одновибратор вырабатывает сигнал восстановления триггера ПТ1. К моменту прихода на вход Set ПТ1 сигнала восстановления не парафазность входного сигнала устраняется, что позволяет парафазному триггеру ПТ1 войти в нормальный режим работы. Парафазный триггер ПТ2 выйдет из заблокированного состояния по сигналу восстановления на его входе Set, поступающему с генератора низкой частоты.
3. Интервал Т6 (рисунок 6) соответствует длительному нарушению парафазности входного сигнала (отказу). На входы ПТ1 поступает не парафазный сигнал, что вызывает его блокировку. Триггер ПТ2, на входы которого поступает выходной сигнал триггера ПТ1, также блокируется и вырабатывает не парафазный сигнал. Одновибратор вырабатывает сигнал восстановления парафазного триггера ПТ1. Однако запрещенная комбинация на входах ПТ1 не позволяет триггеру возобновить нормальную работу и триггеры ПТ1 и ПТ2 остаются заблокированными.
4. Интервал Т7 (рисунок 6) соответствует восстановлению нормальной работы ПТ1 после устранения отказа. В момент поступления сигнала восстановления с генератора низкой частоты на вход Set триггера ПТ2, триггер вырабатывает кратковременный парафазный сигнал, что вызывает генерацию импульса восстановления парафазного триггера ПТ1. К этому времени на вход триггера уже поступает парафазный сигнал. Триггер ПТ1 возобновляет нормальную работу.
5. Интервал Т8 (рисунок 6) соответствует восстановлению исходного состояния схемы контроля после устранения отказа. При поступлении второго импульса восстановления с генератора низкой частоты на вход Set ПТ2 триггер выходит из заблокированного состояния. Таким образом, после устранения отказа фиксирующий элемент входит в режим нормальной работы за два импульса восстановления.

Схема восстановления может быть реализована программным способом. В этом случае считается, что при поступлении не парафазного сигнала на вход фиксирующего элемента с выхода парафазного триггера ПТ2 выраба-

тывается запрос на прерывание (рисунок 2), в результате чего программа генерирует сигнал восстановления парафазного триггера ПТ1. Время формирования сигнала восстановления должно быть меньше времени отпускания реле Р, чтобы реле не успело отключить питание схемы. Сигналы восстановления парафазного триггера ПТ2 в этом случае также реализуются программным способом.

При имитации управляющих последовательностей восстановления парафазных триггеров ПТ1 и ПТ2 необходимо учитывать возможность отказа в парафазном триггере ПТ2. В данном случае схема работает следующим образом: при возникновении отказа в парафазном триггере ПТ2 вырабатывается запрос на прерывание, в результате чего генерируется сигнал восстановления ПТ1. При этом ПТ1 сбрасывается, после чего продолжает свою нормальную работу.

Однако в этом случае фиксирующий элемент с программной реализацией схемы восстановления превращается в упрощенную схему фиксирующего элемента с одним парафазным триггером (рисунок 1) и разорванной обратной связью. Если на входе фиксирующего элемента появится запрещенная кодовая комбинация, то она блокирует парафазный триггер ПТ1, но сигнал восстановления не будет генерироваться, так как триггер ПТ2 уже был заблокирован.

Схема выходит из защитного состояния по двум последовательным импульсам восстановления парафазных триггеров. Сначала восстанавливает свою работу ПТ1, затем выполняется сброс ПТ2.

## **2 Индивидуальное задание**

Изучить схемы фиксирующих элементов и исследовать их работу в различных режимах функционирования (нормальном, при наличии кратковременных и длительных искажений контролируемых сигналов, наличии отказов и сбоев элементов) согласно индивидуальному заданию, выдаваемому преподавателем.

## **3 Порядок выполнения работы**

1 Изучить теоретические сведения.

2 Собрать схему фиксирующего элемента.

Схему фиксирующего элемента рекомендуется собирать на основе иерархических блоков. Каждый элемент фиксирующего элемента, такой как самопроверяемый тестер и парафазный триггер, имеет достаточно сложную

структуру. Кроме того, перечисленные элементы повторяются в схеме многократно. Таким образом, введение иерархических блоков позволит избежать излишней громоздкости схемы. Процесс создания и работы с иерархическими блоками описан в приложении А.

3 Продемонстрировать работу фиксирующего элемента в трех режимах:

- ✓ режим нормальной работы (рисунок 4);
- ✓ режим обработки сбоя фиксирующим элементом (рисунок 5);
- ✓ режим обработки отказа фиксирующим элементом (рисунок 6).

4 По заданию преподавателя дополнить схему элементами, моделирующими отказы.

Имитация отказов в иерархических блоках имеет следующие особенности. Так как в схеме используется одна и та же модель для всех одноименных иерархических блоков не зависимо от их количества, то внесение отказа во внутреннюю структуру иерархического блока приведет к тому, что данная неисправность будет проявляться во всех элементах, основанных на этом блоке.

Поэтому отказы элементов, описанных в виде иерархических блоков, можно осуществлять двумя способами:

- ✓ создавать разные иерархические блоки для исправных элементов и элементов с внесенным отказом;
- ✓ добавлять специализированные выводы для внесения сбоев и отказов. Подключение данных выводов к требуемым воздействиям осуществляется только для элементов, у которых моделируется отказ.

5 Продемонстрировать работу фиксирующего элемента с внесенными в схему отказами;

6 Оформить отчет. Сделать выводы по влиянию отказов на безопасность работы схемы.

### **Содержание отчета**

Отчет оформляется в электронном виде в виде документа *Word* и содержит: фамилию, имя, отчество и группу студента, выполнившего работу, наименование и цель работы; описание функционирования исследуемой схемы; индивидуальное задание; экранные формы с исследуемой схемой; осциллограммы и показания приборов; выводы по работе. К отчету прилагаются файлы *OrCAD* с результатами работы.

## ИССЛЕДОВАНИЕ РАБОТЫ ПАРАЛЛЕЛЬНЫХ УСТРОЙСТВ КОНТРОЛЯ ШИН

**Цель работы.** Изучить принципы построения и обеспечения безопасности в схемах параллельного контроля шин.

### 1 Краткие сведения из теории

Структурные методы обеспечения безопасности являются наиболее распространенными и базируются на аппаратном и (или) программном резервировании элементов. Эти методы должны обеспечивать:

- ✓ независимость отказов в однотипных элементах функционально избыточных структур;
- ✓ защиту системы от сбоев и отказов, исключение возможности накопления отказов;
- ✓ контроль правильности функционирования программного обеспечения.

Для реализации этих требований используют различные виды одноканальной, двухканальной и трехканальной организации вычислительных каналов.

Устройство внутреннего контроля фиксирует отклонение в работе канала обработки информации. Первоначально, для того чтобы отличить сбой от отказа, устройство внутреннего контроля осуществляет перезапуск искаженного участка программы. При повторном обнаружении неравнозначности кодовых векторов на шине (в памяти) вычислительного канала осуществляется перевод ЭВМ в безопасное (выключенное) состояние. Причем отключение должно осуществляться необратимо даже в случае нового отказа в системе.

При выполнении рабочих алгоритмов некоторые элементы вычислительного канала могут использоваться с малой интенсивностью (например, некоторые области ОЗУ и ПЗУ). Поэтому для обеспечения большей глубины контроля и исключения возможности накопления отказов необходимо предусмотреть их циклическую тестовую проверку. Одним из видов такой проверки в паузах между эксплуатационными событиями является использование имитационных программ для тестового моделирования поездной обстановки на станции или перегоне. Таким образом, длительность периода контроля

элементов вычислительного канала определяется рабочими и тестовыми алгоритмами системы.

В одноканальной структуре невозможно обеспечить передачу по шинам только информации, кодированной равновесным кодом. Поэтому контролирующее устройство должно подключаться не непосредственно к шинам микропроцессора, а к буферному элементу (регистру или порту вывода). Микропроцессор в определенные такты времени (контрольные точки) записывает кодированную информацию в буфер, а устройство контроля проверяет корректность кода.

Для исключения накопления ошибок за время диагностирования должно быть обеспечено поступление контрольной информации (проверяющего теста), достаточной для проверки исправности как вычислительного канала, так и устройства контроля. Т. е. контрольные коды должны быть различны и проверять все возможные одиночные отказы в устройстве контроля. Время диагностирования и количество контролируемых разрядов выбираются исходя из требуемых показателей безопасности системы.

На рисунке 1 приведена функциональная схема восьмиразрядного устройства контроля вычислительного канала.

При правильной работе вычислительного канала на выходах самопроверяемых тестеров 2/4-СПТ<sub>1</sub>, 2/4-СПТ<sub>2</sub> и 2/4-СПТ<sub>3</sub> присутствует статический парафазный сигнал (01 или 10). Этот сигнал поступает на входы 2/4-СПТ<sub>4</sub>, входящего в состав фиксирующего элемента (ФЭ). На другие входы 2/4-СПТ<sub>4</sub> поступают парафазные импульсы от парафазного тактового генератора (ПТГ). При этом на выходе 2/4-СПТ<sub>4</sub> формируется импульсный парафазный сигнал. Импульсный парафазный сигнал через парафазный триггер ПТ<sub>1</sub> поступает на самопроверяемую схему включения реле ССВР, которая поддерживает реле Р во включенном состоянии. Своими контактами реле Р коммутирует цепи питания микропроцессорной системы, поддерживая ее в рабочем состоянии.

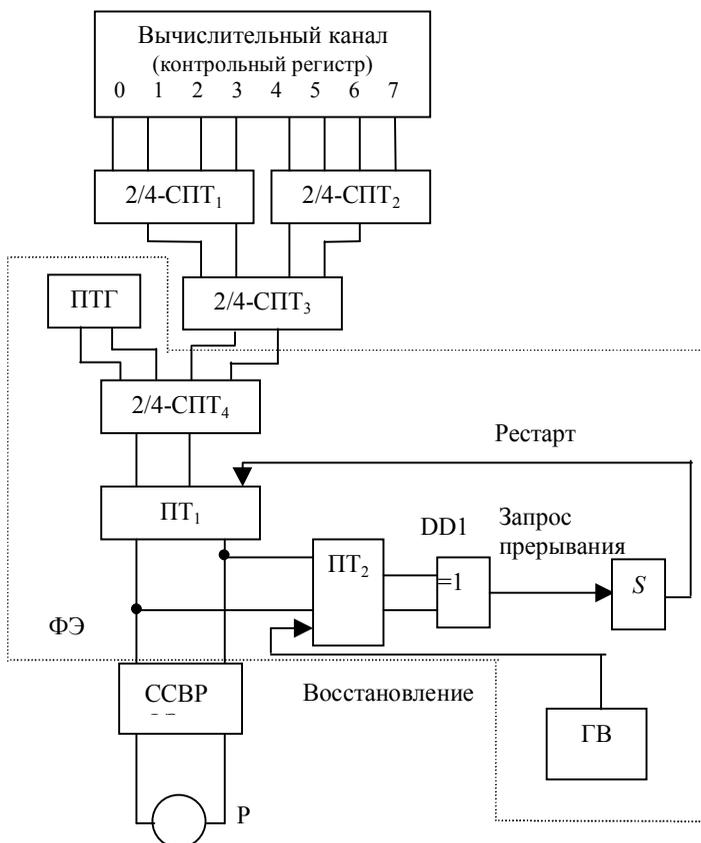


Рисунок 1 – Функциональная схема восьмиразрядного устройства контроля вычислительного канала

Безопасные схемы сравнения в многоканальных структурах выполняют сравнение соответствующих сигналов на шинах (в памяти) каналов между собой. Для реализации безопасных схем сравнения можно воспользоваться свойствами самопроверяемых тестеров для равновесных кодов. Пример функциональной схемы устройства сравнения шин дублированной системы приведен на рисунке 2.

Сигналы от второго микропроцессора поступают на устройство сравнения в инверсном виде. На каждый 2/4-СПТ поступают по два соответствующих сигнала с каждого канала. Таким образом, формируется равновесный код.

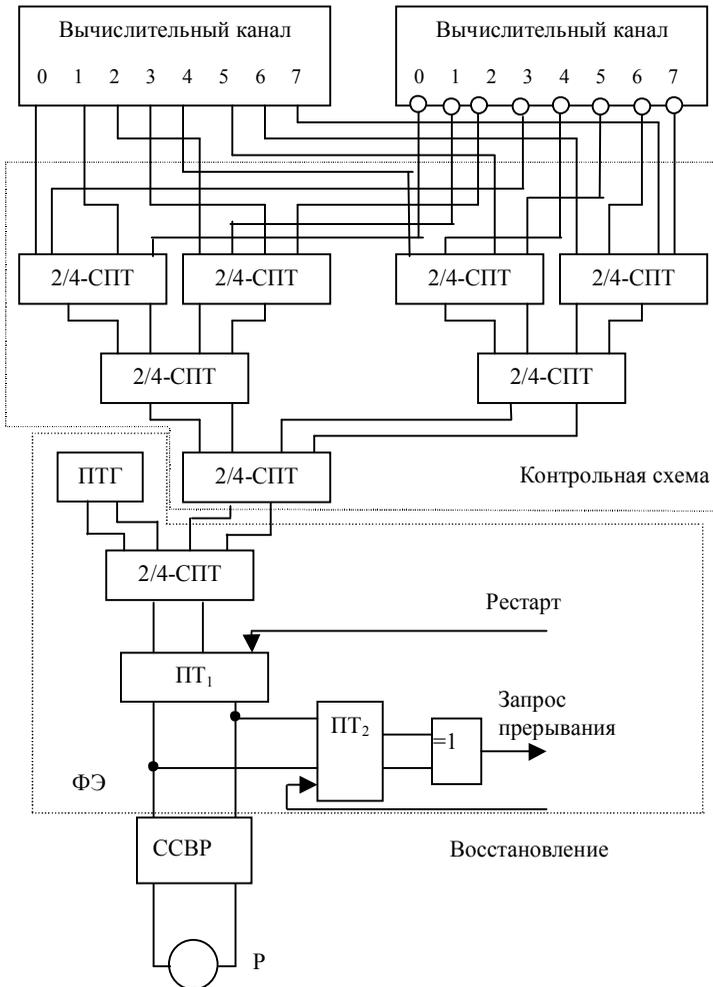


Рисунок 2 – Функциональная схема устройства сравнения шин дублированной системы

При нарушении согласованной работы микропроцессоров обоих каналов на выходах контрольной схемы появляется не парафазный сигнал, который регистрируется фиксирующим элементом (ФЭ). Структура фиксирующего элемента аналогична описанной в лабораторной работе №1.

Устройство контроля шин трехканальной структуры может быть также выполнено на основе самопроверяемых тестеров (рисунок 3). Сигналы на

шинах микропроцессоров попарно сравниваются, так же как и в дублированной структуре, с помощью тестеров 2/4-СПТ.

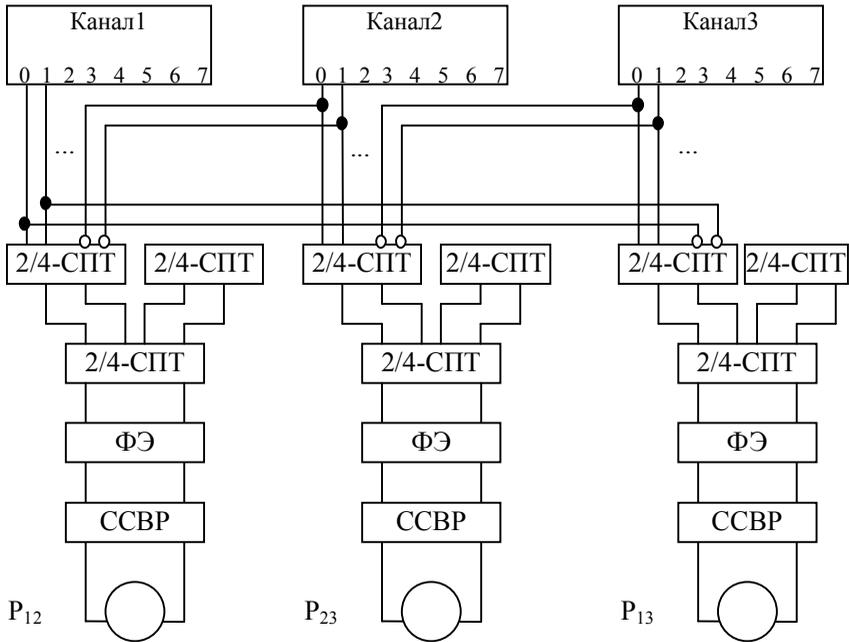


Рисунок 3 – Функциональная схема устройства сравнения шин трехканальной системы

При отказе одного из микропроцессоров выключаются два из трех контрольных реле. Например, при отказе первого канала отключатся реле  $P_{12}$  и  $P_{13}$ , т. к. реле  $P_{12}$  контролирует синхронную работу первого и второго каналов, а реле  $P_{13}$  – первого и третьего каналов. С помощью контактов контрольных реле осуществляется дешифрация номера неисправного канала и его отключение (рисунок 4).

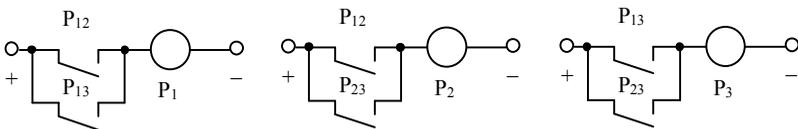


Рисунок 4– Схема дешифрации номера неисправного канала

Выключение двух контрольных реле влечет за собой выключение одного из питающих реле, которое своими контактами отключает питание неисправного канала. Система при этом деградирует до двухканальной системы, сохраняя свою работоспособность. При восстановлении неисправного канала, он может быть включен в работу только при участии человека. Момент включения восстановленного канала должен быть синхронизирован с работой остальных каналов.

Если до восстановления неисправного канала произойдет еще один отказ, то произойдет рассогласование работы двух оставшихся каналов. Это приведет к выключению последнего контрольного реле, которое выключит оба оставшихся питающих реле. Все три канала будут выключены и система перейдет в защитное состояние.

## **2 Индивидуальное задание**

Изучить схемы параллельных устройств контроля шин и исследовать их работу в различных режимах функционирования (нормальном, при сбоях аппаратуры одного из каналов и восстановлении нормальной работы, при отказе аппаратуры одного из каналов и блокировке этого канала, блокировка при отказах элементов устройств контроля) согласно индивидуальному заданию, выдаваемому преподавателем.

## **3 Порядок выполнения работы**

1 Изучить теоретические сведения;

2 Оформить схему фиксирующего элемента, разработанную в лабораторной работе №1 в виде иерархического блока;

3 Собрать схему параллельного устройства контроля согласно заданию, используя иерархические блоки тестера, парафазного триггера и фиксирующего элемента;

4 Продемонстрировать работу параллельного устройства контроля шин в следующих режимах:

- ✓ режим нормальной работы;
- ✓ режим обработки сбоя аппаратуры в одном канале;
- ✓ режим обработки отказа аппаратуры в одном канале;
- ✓ режим обработки отказов аппаратуры в двух каналах (для трехканальной системы).
- ✓ режим обработки отказов элементов устройства контроля шин.

5 По заданию преподавателя дополнить схему элементами, моделирующими отказы. Порядок внесения отказов в схему см. в лабораторной работе №1.

6 Продемонстрировать работу параллельного устройства контроля шин с внесенными в схему отказами элементов.

7 Оформить отчет. Сделать выводы по влиянию отказов и сбоев на безопасность работы схемы.

### **Содержание отчета**

Отчет оформляется в электронном виде в виде документа *Word* и содержит: фамилию, имя, отчество и группу студента, выполнившего работу, наименование и цель работы; описание функционирования исследуемой схемы; индивидуальное задание; экранные формы с исследуемой схемой; осциллограммы и показания приборов; выводы по работе. К отчету прилагаются файлы *OrCAD* с результатами работы.

## **Лабораторная работа № 3**

### **ИССЛЕДОВАНИЕ РАБОТЫ ПОСЛЕДОВАТЕЛЬНЫХ УСТРОЙСТВ КОНТРОЛЯ ШИН**

**Цель работы.** Изучить принципы построения и обеспечения безопасности в схемах последовательного контроля шин.

#### **1 Краткие сведения из теории**

Сократить число элементов и значительно повысить надежность устройства контроля микропроцессорных модулей можно за счет сравнения кодовых последовательностей на шинах не в параллельном виде, а в последовательном. С этой целью для мультиплексирования сигналов на шинах микропроцессора можно использовать универсальные сдвиговые регистры (рисунок 1).

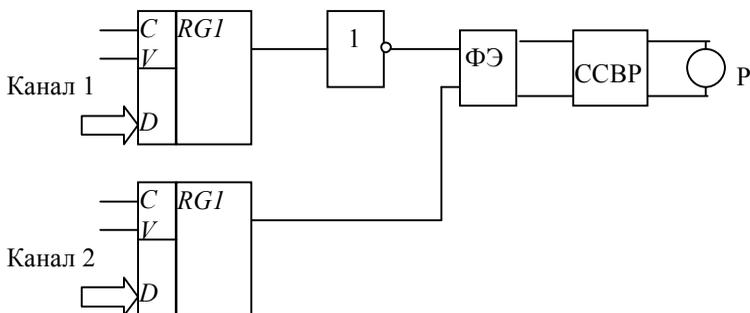


Рисунок 1 – Последовательное устройство контроля дублированной структуры

В один и тот же момент времени производится запись информации с шин вычислительных каналов в соответствующие сдвиговые регистры. Затем по импульсам с тактового генератора производится поразрядное сравнение данных в обоих регистрах. При обнаружении рассогласования данных блокируется ФЭ и выключается питающее реле.

Структурная схема устройства контроля шин мажоритарно-резервированных микропроцессорных моделей приведена на рисунке 2. В данном случае сигналы каждого канала сравниваются с выходом мажоритарного элемента «2 из 3». Сигнал на выходе мажоритарного элемента определяется большинством входных сигналов. В устройстве контроля не требуется дешифратор неисправного канала, т. к. контрольное реле подключено к соответствующему каналу обработки информации. Поэтому, при отказе вычислительного канала, выключается соответствующее реле.

Для повышения отказоустойчивости устройства контроля мажоритарный элемент может быть выполнен резервированным, как это показано на рисунке 3.

Последовательные устройства контроля для обеспечения высокой достоверности должны выполнять операции сравнения сигналов в течение одного такта (одной команды) работы микропроцессора в зависимости от степени синхронизации каналов.

При выполнении лабораторной работы в качестве регистра в схеме последовательного устройства контроля шин многоканальных систем рекомендуется использовать *PSpice*-модель регистра 74165 (библиотека серии 74). Данная модель обеспечивает работу в следующих режимах: режим записи – параллельная загрузка данных в регистр, сигнал *SH/LD* – 0, на информационных входах (*A – H*) – данные подлежащие загрузке в регистр; режим

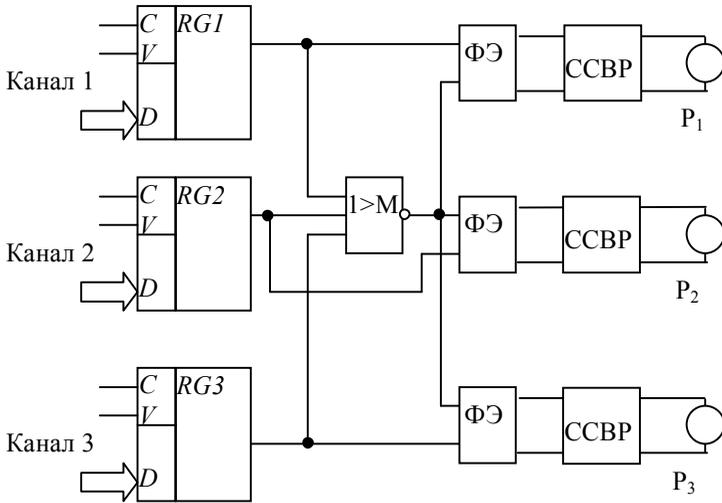


Рисунок 2 – Последовательное устройство контроля мажоритарной структуры

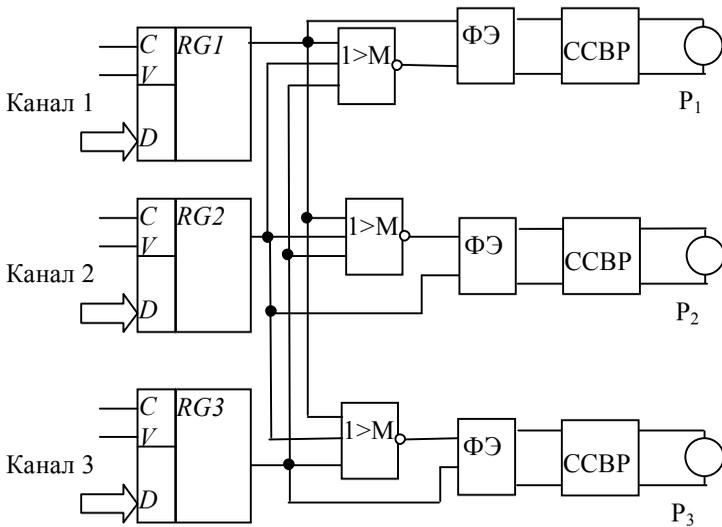


Рисунок 3 – Последовательное устройство контроля мажоритарной структуры с резервированным мажоритарным элементом

последовательного сдвига – сигнал  $SH/LD = 1$ , по фронту сигнала  $CLK$  осуществляется сдвиг содержимого регистра на один разряд влево, старший разряд сдвигается на выход регистра, на место младшего разряда записывается сигнал с входа  $SER$ . Оба режима осуществляют свою работу по тактовым импульсам с входа  $CLK$ .

Таким образом, алгоритм работы последовательного устройства контроля будет выглядеть следующим образом: на каждый канал выделяется отдельный загрузочный регистр. По сигналу низкого уровня на входе  $SH/LD$  по фронту сигнала  $CLK$  происходит параллельная загрузка данных в регистр. Все каналы строго синхронизированы импульсами на входах  $CLK$  и  $SH/LD$ . Во время присутствия на входе  $SH/LD$  сигнала высокого уровня по каждому такту на входе  $CLK$  осуществляется последовательная выдача информационных разрядов регистра, начиная со старшего, со сдвигом содержимого регистра в

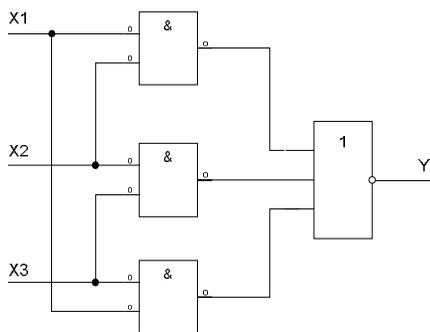


Рисунок 4 – Схема мажоритарного элемента

сторону старших разрядов. На место освободившегося младшего разряда записывается сигнал, присутствующий на входе  $SER$ . Выходные сигналы всех каналов трехканальной структуры поступают на входы мажоритарного элемента, работающего по принципу «большинства»: значение сигнала на выходе совпадает со значением, присутствующем на большинстве (хотя бы на двух) входах. Один из вариантов схемы мажоритарного элемента представлен на рисунке 4.

Для обеспечения парафазности сигналов, поступающих на входы фиксирующих элементов, выход мажоритарного элемента инвертируется. Выходные сигналы с регистров каждого канала поступают на соответствующие фиксирующие элементы. Таким образом, на каждый фиксирующий элемент поступает сигнал с выхода регистра и инвертированный сигнал с мажоритарного элемента. Эти два сигнала образуют парафазный сигнал, поступающий на фиксирующий элемент.

В связи с тем, что реальные элементы имеют конечное время срабатывания  $\Delta t$ , сигналы, поступающие на ФЭ, могут оказаться сдвинутыми друг относительно друга на время  $\Delta t$ . Существует два способа избежать этого расгласования:

- ✓ при построении мажоритарного элемента пользоваться только идеальными элементами. При этом предполагается, что элемент срабатывает мгновенно;
- ✓ на пути прохождения сигнала с регистра на фиксирующий элемент ставить задержку на время  $\Delta t$ , эквивалентное времени срабатывания мажоритарного элемента.

Имитацию сбоя аппаратуры вычислительного канала необходимо осуществлять в момент времени, когда происходит параллельная загрузка данных в регистр (по фронту сигнала  $CLK$ , при низком уровне сигнала на входе  $SH/LD$ ). В этом случае ошибка выявляется в момент появления на выходе регистра разряда, в который было внесено искажение. На входе фиксирующего элемента образуется не парафазный сигнал, что приводит к блокировке фиксирующего элемента (см. лабораторную работу №1).

## **2 Индивидуальное задание**

Изучить схемы последовательных устройств контроля шин и исследовать их работу в различных режимах функционирования (нормальном, при сбоях аппаратуры одного из каналов и восстановлении нормальной работы, при отказе аппаратуры одного из каналов и блокировке этого канала, блокировка при отказах элементов устройств контроля) согласно индивидуальному заданию, выдаваемому преподавателем.

## **3 Порядок выполнения работы**

- 1 Изучить теоретические сведения;
- 2 Создать иерархический блок мажоритарного элемента;
- 3 Собрать схему последовательного устройства контроля согласно заданию, используя иерархические блоки фиксирующего и мажоритарного элементов;
- 4 Продемонстрировать работу последовательного устройства контроля шин многоканальной системы в следующих режимах:
  - ✓ режим нормальной работы;
  - ✓ режим обработки сбоя в одном канале;
  - ✓ режим обработки отказа в одном канале;
  - ✓ режим обработки отказов в двух каналах (для трехканальной системы).

5 По заданию преподавателя дополнить схему элементами, моделирующими отказы. Порядок внесения отказов в схему см. в лабораторной работе №1.

6 Продемонстрировать работу последовательного устройства контроля с внесенными в схему отказами;

7 Оформить отчет. Сделать выводы по влиянию отказов и сбоев на безопасность работы схемы.

### **Содержание отчета**

Отчет оформляется в электронном виде в виде документа *Word* и содержит: фамилию, имя, отчество и группу студента, выполнившего работу, наименование и цель работы; описание функционирования исследуемой схемы; индивидуальное задание; экранные формы с исследуемой схемой; осциллограммы и показания приборов; выводы по работе. К отчету прилагаются файлы *OrCAD* с результатами работы.

## Лабораторная работа № 4

### **ИССЛЕДОВАНИЕ РАБОТЫ БЕСКОНТАКТНЫХ УСТРОЙСТВ СОПРЯЖЕНИЯ С ОБЪЕКТОМ**

**Цель работы.** Изучить принципы построения и обеспечения безопасности в схемах бесконтактных устройств сопряжения с объектом.

#### **1 Краткие сведения из теории**

К безопасным устройствам сопряжения с объектом (УСО) предъявляются следующие основные требования [1, 2]:

- обеспечение минимально допустимой вероятности возникновения ложного сигнала включения исполнительного объекта (ИО) на выходе УСО при любом отказе его элементов;
- выполнение временного и энергетического согласования электронных схем и ИО;
- сохранение временных и энергетических параметров УСО в заданных пределах в течение всего срока эксплуатации;
- обеспечение минимально допустимой чувствительности к электромагнитным помехам и влияниям;

- высокая технологичность производства в сочетании с низкой стоимостью.

Схемные решения устройств сопряжения с объектами (УСО) СЖАТ не должны иметь опасных отказов, т. е. с определенной вероятностью должны исключать ложное включение ИО на выходе УСО при любом отказе его элементов. Обычно учитываются следующие отказы:

- короткое замыкание;
- обрыв элементов или соединений;
- трансформация одного типа полупроводникового элемента в другой;
- самовозбуждение электронных схем;
- кратковременное или длительное отключение источника питания;
- повреждение источника питания, при котором на его шинах появляется значительная переменная составляющая;
- изменение параметров элементов или режимов их работы в установленных пределах;
- появление двух или более отказов элементов или соединений, не выявленных за время нахождения схемы в статическом состоянии.

Для исключения накопления отказов УСО, как правило, строятся по принципу обеспечения динамической работы всех элементов, что позволяет диагностировать электронные элементы путем периодического переключения их из состояния логической «1» в логический «0» и обратно.

Условно УСО можно разделить на две части: устройства вывода управляющей информации и устройства ввода контрольной информации о состоянии исполнительных объектов. В зависимости от используемой элементной базы УСО можно разделить на релейные и электронные (бесконтактные).

По способам обеспечения безопасности бесконтактные УСО делятся на три вида: с периодическим программным тестовым контролем дублированных коммутирующих устройств (КУ), с аппаратным контролем исправности дублированных КУ и программным тестированием контрольных элементов (КЭ); бесконтактные функциональные преобразователи с несимметричным отказом. Исправность коммутационных УСО с периодическим программным тестовым контролем дублированных КУ проверяется параллельно или последовательно соединенными с ними контрольными элементами.

При параллельном соединении КУ и КЭ (рисунок 1) для предотвращения последовательных во времени отказов типа «пробой» обоих ключей КУ ЭВМ периодически опрашивает контрольные входы. Если КУ закрыты, то на выходах КЭ появляются импульсные последовательности, а в открытом состоянии поступает постоянный сигнал «1» (рисунок 2).

При последовательном соединении КУ и КЭ (рисунок 3) также осуществляется периодическая проверка их исправности поочередным тестовым

включением одного из двух КУ. В этом случае с помощью КЭ проверяется отсутствие тока в рабочей цепи исполнительного объекта.

Считается, что вероятность пробоя обоих КУ за время  $t_d$  мала, однако необходимо учитывать возможность одновременного пробоя полупроводниковых ключей, например при воздействии перенапряжений. При этом может возникнуть ложный сигнал включения ИО в течение времени  $t_d$ , что может привести к опасной ситуации.

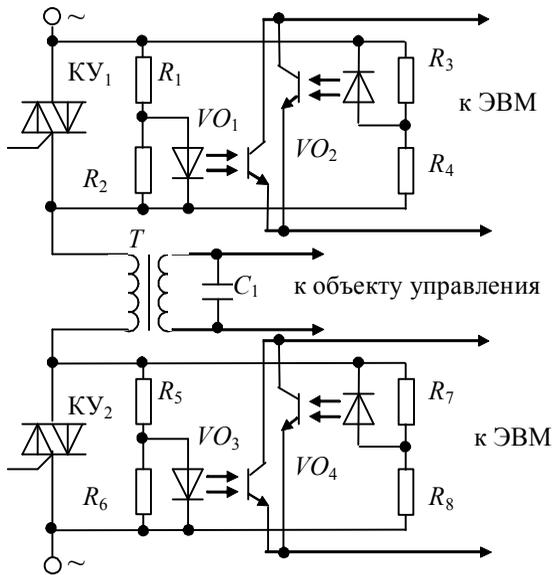


Рисунок 1 – Схема параллельного включения КЭ и КУ

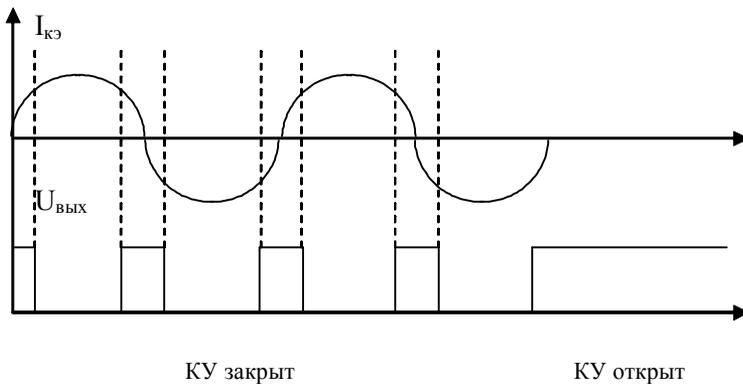


Рисунок 2 – Диаграмма работы КЭ

Поэтому для обеспечения безопасности функционирования такого рода коммутационных устройств длительность периода диагностирования (тестирования)  $t_d$  должна быть меньше времени включения ИО.

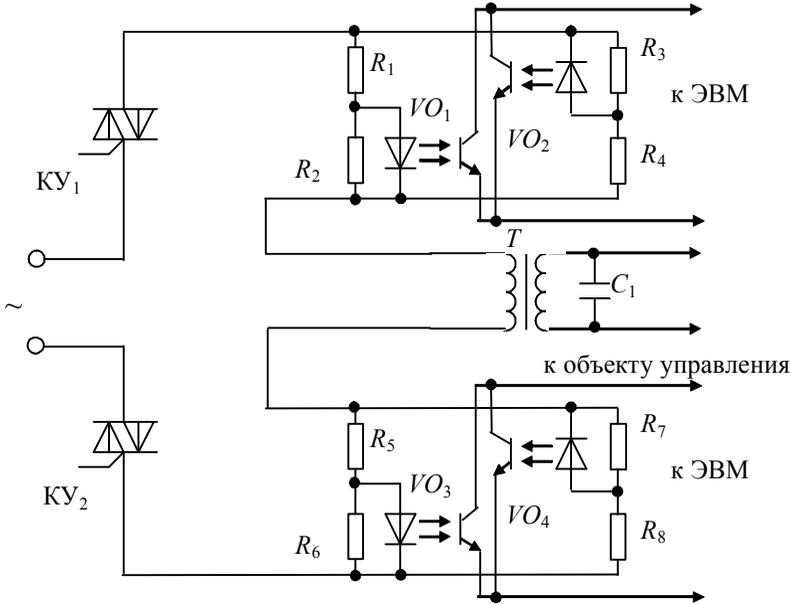


Рисунок 3 – Схема последовательного включения КЭ и КУ

Рассмотренные схемы УСО являются в значительной мере универсальными, но применяются также узкоспециализированные УСО на основе функциональных преобразователей (ФП).

Примером УСО на основе ФП может служить двухтактный усилитель с гальванической развязкой, выполняющий преобразование постоянного тока в переменный. Усилитель управляется двумя парафазными импульсными последовательностями  $X_1$  и  $X_2$  (01 или 10) (рисунок 4). Под действием сигнала  $X_1=1$  открывается ключ  $K_1$  и через цепь ИО протекает ток одного направления, а под действием сигнала  $X_2=1$  открывается ключ  $K_2$  и через цепь ИО протекает ток другого направления.

Таким образом, в рабочей цепи ИО формируется переменный ток. Ложное включение невозможно, т.к. при любом отказе через рабочую цепь протекает постоянный ток.

Для обеспечения необходимой достоверности контрольной информации о состоянии исполнительных объектов в безопасных системах используются различные виды избыточного кодирования последовательного или параллельного вида. Наиболее широко применяется парафазное импульсное кодирование.

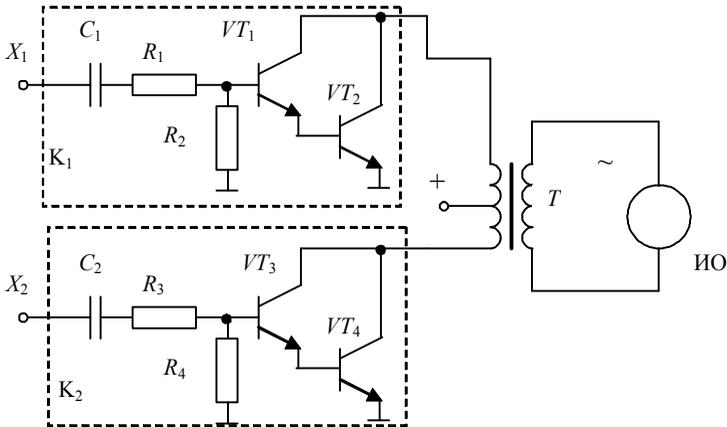


Рисунок 4 – Двухтактный усилитель с гальванической развязкой

Рассмотрим примеры построения устройств безопасного ввода информации о состоянии релейных датчиков (рисунок 5).

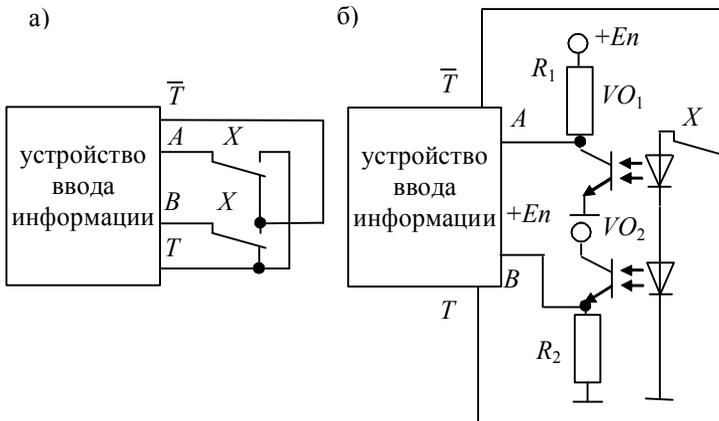


Рисунок 5 – Устройства безопасного ввода информации

На выходах устройства ввода информации  $T$  и  $\bar{T}$  генерируются последовательности парафазных импульсов. Достоверность информации подтверждается парафазностью импульсных последовательностей, поступающих на входы  $A$  и  $B$ . Значение переменной  $X$  определяется следующим образом. Если на вход  $A$  приходит сигнал  $\bar{T}$ , а на вход  $B$  – сигнал  $T$ , то контакт реле замкнут, в противоположном случае – контакт разомкнут.

При неисправности нарушается парафазность или импульсный характер сигналов на входах  $A$  и  $B$ , что фиксируется с помощью программных или аппаратных средств контроля устройства ввода информации.

Аналогично выполняется контроль исправности нити лампы светофора (рисунок 6). При подаче на базу транзистора  $VT_1$  импульсного сигнала управления в цепи лампы  $L$  протекает переменный ток, который приводит к поочередному переключению оптронов  $VO_1$  и  $VO_2$ . Таким образом, при поступлении сигналов управления исправность нити его лампы в горячем состоянии контролируется благодаря динамическому характеру парафазных сигналов на выходах 1 и 2.

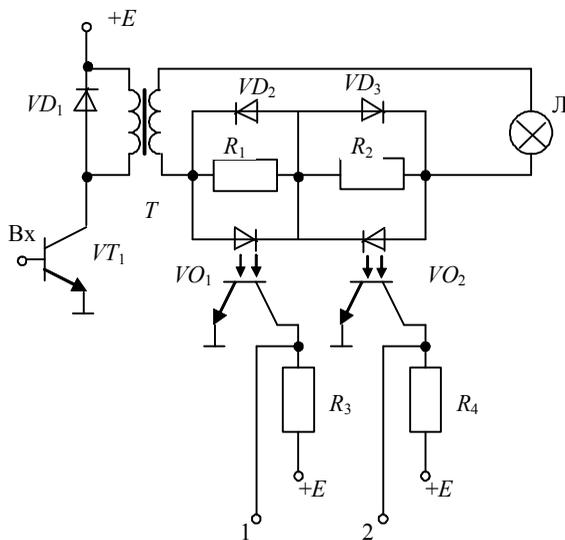


Рисунок 6 – Схема устройства контроля исправности нити лампы светофора

## 2 Индивидуальное задание

Изучить схему бесконтактного устройства сопряжения с объектом и исследовать его работу в различных режимах (в том числе при отказах элементов) согласно индивидуальному заданию, выдаваемому преподавателем.

### **3 Порядок выполнения работы**

- 1 Изучить теоретические сведения;
- 2 Собрать схему бесконтактного устройства сопряжения с объектом, указанную преподавателем;
- 3 Продемонстрировать работу данной схемы в различных режимах;
- 4 По заданию преподавателя дополнить схему элементами, моделирующими отказы. Порядок внесения отказов в схему см. в лабораторной работе №1.
- 5 Продемонстрировать работу бесконтактного устройства сопряжения с объектом с внесенными в схему отказами;
- 6 Оформить отчет. Сделать выводы по влиянию отказов на безопасность работы схемы.

### **Содержание отчета**

Отчет оформляется в электронном виде в виде документа *Word* и содержит: фамилию, имя, отчество и группу студента, выполнившего работу, наименование и цель работы; описание функционирования исследуемой схемы; индивидуальное задание; экранные формы с исследуемой схемой; осциллограммы и показания приборов; выводы по работе. К отчету прилагаются файлы *OrCAD* с результатами работы.

## **Лабораторная работа № 5**

### **ИССЛЕДОВАНИЕ БЕЗОПАСНЫХ СХЕМ ВКЛЮЧЕНИЯ ИСПОЛНИТЕЛЬНЫХ РЕЛЕ**

**Цель работы.** Изучить принципы построения и обеспечения безопасности в схемах включения исполнительных реле с трансформаторной и конденсаторной гальванической развязкой.

#### **1 Краткие сведения из теории**

Концепцию безопасности релейных СЖАТ можно сформулировать как совокупность следующих положений, в соответствии с которыми выполняется построение систем:

1 Правильный выбор исходного положения реле;

2 В цепях релейных устройств, обеспечивающих условия безопасности движения поездов, должны, как правило, использоваться замыкающие (фронтные) контакты реле 1 класса надежности;

3 При использовании в цепях, обеспечивающих условия безопасности движения поездов, размыкающих (тыловых) контактов реле 1 класса и любых контактов реле более низкого класса надежности их исправная работа должна контролироваться при нормальном функционировании устройств;

4 Реле, исполнительные и контрольные элементы и устройства, имеющие внешние (воздушные или кабельные) линии связи, должны иметь двухполюсное (многополюсное) отключение от источников электропитания (принцип последовательного резервирования элементов);

5 Любые неисправности элементов электрических схем СЖАТ, вероятность которых выше вероятности опасного отказа реле 1 класса надежности, должны приводить к защитному отказу.

Реализация приведенной концепции безопасности релейных СЖАТ обеспечивает выполнение стратегии безопасного поведения при отказах. Для сопряжения микроэлектронных систем с релейными схемами, построенными на реле 1 класса надежности используются устройства включения исполнительных реле (УВИР).

Преимуществами УВИР над бесконтактными УСО является то, что реле имеют высокую устойчивость к электромагнитным помехам и перенапряжениям, являясь элементами идеальной гальванической развязки с несимметричным отказом. Недостатки реле состоят в ограниченном ресурсе и потребности в профилактическом обслуживании релейно-контактных схем, а также специфичности производства релейных приборов.

По сути УВИР являются функциональными преобразователями, работа которых в общем виде описывается выражением:

$$F(x) = \begin{cases} 0 & \text{при } x = 0, A_i = 0; \\ u < u_{n2} & \text{при } A_i = 1; \\ u > u_{n1} & \text{при } x = 1, A_i = 0, \end{cases}$$

где  $F(x)$  – функция, отражающая закон преобразования входных сигналов  $x$ ;  $A_i = \{0, 1\}$  – переменная, отражающая отсутствие или наличие отказов в функциональном преобразователе;  $u$  – значение сигнала на выходе ФП;  $u_{n1}$ ,  $u_{n2}$  – соответственно напряжения срабатывания и отпущения реле.

Анализ поведения УВИР при отказах его элементов заключается в проверке выполнения этих условий.

Рассмотрим основные принципы построения безопасных устройств включения исполнительных реле. Наиболее распространена схема УВИР, представленная на рисунке 1. Безопасное поведение этой схемы при отказах обеспечивается за счет двойного преобразования входных импульсных сигналов – дифференцирования с помощью трансформатора и интегрирования с помощью диода и конденсатора. При нарушении любого из этих двух законов преобразования сигналов на выходе схемы либо отсутствует напряжение, либо оно меньше напряжения выключения, поэтому реле ИР отпустит свой якорь.

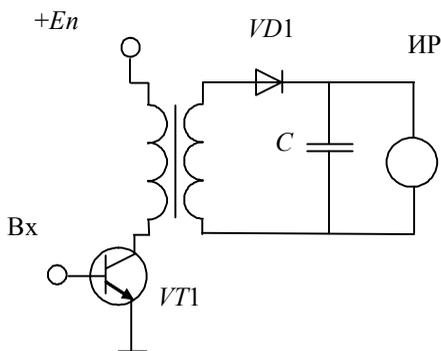


Рисунок 1 – УВИР с трансформаторной гальванической развязкой

Для включения реле ИР, т.е. для достижения напряжения срабатывания, необходимо поступление на вход схемы серии импульсов. Кратковременные случайные сбои в работе СЖАТ не приводят к ложному выключению или включению ИР из-за инерционности заряда и разряда конденсатора. Во включенном состоянии реле находится до тех пор, пока поступают импульсные сигналы.

Недостатком УВИР с трансформаторной гальванической развязкой является то, что импульсные трансформаторы являются нетехнологичными элементами. Поэтому в последнее время разрабатываются УВИР с конденсаторной гальванической развязкой (рисунок 2).

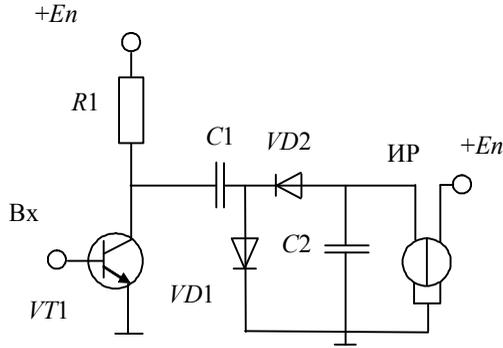


Рисунок 2 – УВИР с конденсаторной гальванической развязкой

Принцип ее работы следующий. На базу транзистора  $VT1$  поступают прямоугольные импульсы от контролируемого устройства. При наличии этих импульсов происходит постепенное нарастание напряжения на конденсаторе  $C2$ . Реле ИР – двухобмоточное, и для его включения необходимо действие обоих обмоток. При достижении напряжения на конденсаторе  $C2$  значения напряжения срабатывания, реле ИР включается.

В случае отказа любого элемента схемы либо отключается реле, либо в схеме перестают проходить импульсы. Это ведет к разряду конденсатора  $C2$  через обмотку реле ИР, падению напряжения на обмотке реле ИР и его отключению. Временная диаграмма работы схемы изображена на рисунке 3.

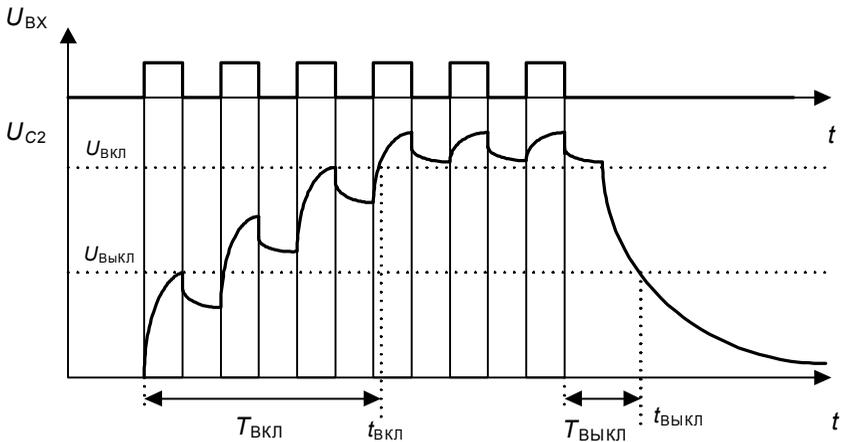


Рисунок 3 – Временная диаграмма работы УСО

Для создания моделей вышеупомянутых схем в пакете *OrCAD* необходимо использовать доступные модели реле. В *PSPICE* реализовано два вида моделей реле: физическая (*Relay\_SPDT\_phy*) и поведенческая (*Relay\_SPDT\_phy\_msrd*). Поведенческая модель пригодна практически для любого вида моделирования, она намного быстрее физической модели и позволяет получить более адекватные результаты. Параметры данной модели отражают «поведение» реле. Однако, физическая модель обладает рядом достоинств, полезных в процессе обучения. Например, параметры физической модели, отражают характеристики реального реле, кроме того связи между данными параметрами, прописанные в физической модели реле, отражают физический смысл этого устройства и позволяют изучить принцип его электромеханического действия. Обе модели расположены в библиотеке *ANL\_MISC* пакета *OrCAD*.

Параметрами физической модели реле являются:

*R\_coil* – сопротивление обмотки реле (*coil resistance*);

*L\_coil* – индуктивность обмотки реле (*coil inductance*);

*R\_open* – сопротивление замкнутого контакта (*contact open resistance*);

*R\_close* – сопротивление разомкнутого контакта (*contact closed resistance*);

*Turns* – количество витков обмотки реле (*number of turns on coil*);

*Arm\_mass* – масса контакта (*contact arm mass (moment)*);

*Spr* – усилие контактного нажатия (*contact arm spring force*);

*MinP* – минимальная магнитная проводимость (*minimum permeance (when arm is away from coil)*);

*MaxP* – максимальная магнитная проводимость (*maximum permeance (when arm is close to coil)*);

*Drag* – величина воздушного или какого-либо другого зазора между контактами (*air and other contact arm drag*);

*Lim\_K* – минимальное усилие замыкания контакта (*limit spring rate*);

*Damping* – максимальное усилие размыкания контакта (*limit damping rate*).

Параметрами поведенческой модели реле являются:

*T\_make* – время замыкания контакта (*time for contact to close when current is turned off/on*);

*T\_break* – время размыкания контакта (*time for contact to open when current is turned off/on*);

*T\_bounce* – длительность дребезга контактов (после замыкания контакта) (*bounce time (after T\_make)*);

*I\_pull* – ток срабатывания (*pull-in current*);

*I\_drop* – ток отпускания (*drop-out current*);

$R_{coil}$  – сопротивление обмотки реле (*coil resistance*);  
 $L_{coil}$  – индуктивность обмотки реле (*coil inductance*);  
 $R_{open}$  – сопротивление замкнутого контакта (*contact open resistance*);  
 $R_{close}$  – сопротивление разомкнутого контакта (*contact closed resistance*).

В ходе выполнения лабораторной работы необходимо откорректировать параметры реле в соответствии с заданием. Редактирование параметров осуществляется в разделе «*Edit Properties*» элемента. Данный раздел содержит параметры модели реле.

## 2 Индивидуальное задание

Изучить схему устройства включения исполнительного реле и исследовать его работу в различных режимах (в том числе при отказах элементов) согласно индивидуальному заданию, выдаваемому преподавателем.

## 3 Порядок выполнения работы

- 1 Изучить теоретические сведения;
- 2 Собрать одну из схем безопасного включения реле, в соответствии с индивидуальным заданием;
- 3 Изменить параметры модели реле в соответствии с индивидуальным заданием;
- 4 Продемонстрировать работу схемы;
- 5 По заданию преподавателя дополнить схему элементами, моделирующими отказы. Порядок внесения отказов в схему см. в лабораторной работе №1;
- 6 Продемонстрировать работу схемы безопасного включения реле с внесенными в схему отказами;
- 7 Оформить отчет. Сделать выводы по влиянию отказов на безопасность схемы.

## Содержание отчета

Отчет оформляется в электронном виде в виде документа *Word* и содержит: фамилию, имя, отчество и группу студента, выполнившего работу, наименование и цель работы; описание функционирования исследуемой схемы; индивидуальное задание; экранные формы с исследуемой схемой; осциллограммы и показания приборов; выводы по работе. К отчету прилагаются файлы *OrCAD* с результатами работы.

## ИССЛЕДОВАНИЕ МНОГОКАНАЛЬНЫХ БЕЗОПАСНЫХ СХЕМ ВКЛЮЧЕНИЯ ИСПОЛНИТЕЛЬНЫХ РЕЛЕ

**Цель работы.** Изучить принципы построения и обеспечения безопасности в многоканальных схемах включения исполнительных реле.

### 1 Краткие сведения из теории

Рассмотренные в предыдущей лабораторной работе УВИР имеют один вход и могут использоваться в микроэлектронных системах, достоверность выходных сигналов которых контролируется специальными средствами. В дублированных системах могут использоваться УВИР, принцип работы которых основан на преобразовании импульсных сигналов малой амплитуды в рабочее напряжение ИР с помощью выпрямителей с умножением напряжения (рисунок 1).

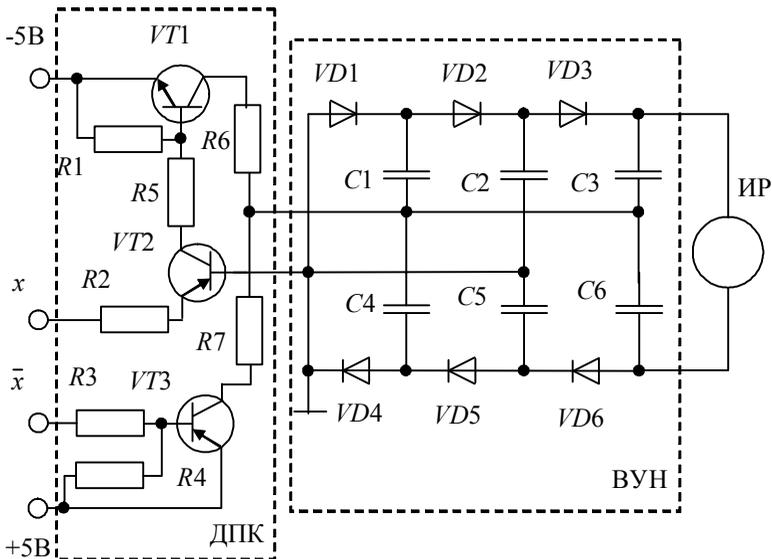


Рисунок 1 – УВИР на основе выпрямителя с умножением напряжения

Входные сигналы от контролируемого устройства в виде прямоугольных импульсов поступают на прямой и инверсный входы двухполюсного ключа (ДПК) на транзисторах  $VT1-VT3$ . При парафазности сигналов, поступающих от разных датчиков, на входе выпрямителя с множителем напряжения (ВУН), собранного на элементах  $C1-C6$ ,  $VD1-VD6$ , появляется переменное прямоугольное напряжение, амплитуду которого выбирают меньшей, чем напряжение отпускания исполнительного реле. ВУН выпрямляет и умножает исходное напряжение до уровня, необходимого для работы реле, при поступлении нескольких импульсов.

Повреждение любого элемента ведёт к прекращению умножения напряжения либо снижению выходного напряжения ВУН и исключает возможность ложного притяжения или удержания якоря реле. В случае повреждения трёх и более элементов к реле может быть подключён один из источников ДПК, однако его напряжения недостаточно не только для притяжения, но и для удержания якоря реле во включённом состоянии. Временная диаграмма работы схемы изображена на рисунке 2.

Кроме того, УВИР контролирует правильность работы двух каналов (парафазность выходных сигналов), выполняя роль выходных компараторов.

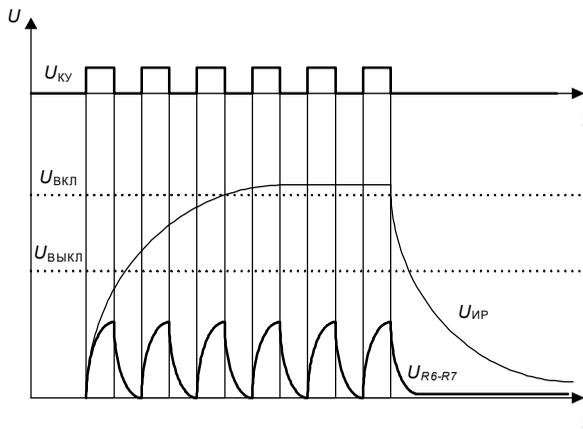


Рисунок 2 – Временная диаграмма работы УСО

В микроэлектронных системах, выполненных по мажоритарной структуре «2 из 3», можно использовать УВИР, представленную на рисунке 3.

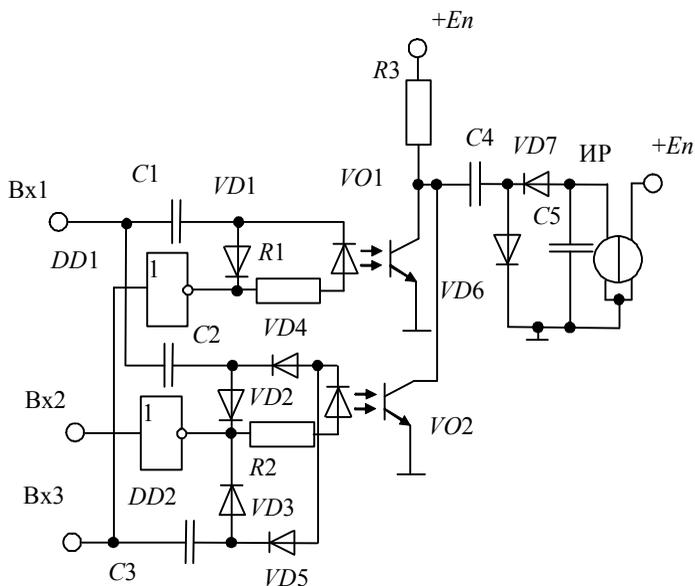


Рисунок 3 – Мажоритарное УВИР

При синхронном поступлении импульсных сигналов на входы 1, 2, 3 происходит заряд конденсаторов  $C_1$ ,  $C_2$ ,  $C_3$  в течение времени действия входных импульсов. Во время паузы они разряжаются на светодиоды оптопар  $VO_1$  и  $VO_2$  через резисторы  $R_1$ ,  $R_2$ . При этом напряжение, воздействующее на них, равно сумме напряжений на конденсаторе и источнике питания. В результате этого фототранзисторы оптопар переключаются и формируют импульсы, поступающие на вход преобразователя полярности (элементы  $C_4$ ,  $C_5$ ,  $VD_6$ ,  $VD_7$ ). Поляризованное реле ИР притягивает якорь.

При отсутствии импульсов на двух входах из трех на светодиоды воздействует только напряжение заряда конденсаторов приблизительно в два раза меньшей величины, чем в случае синхронного поступления импульсных сигналов на все входы. В результате оптроны не переключаются, и ИР отпустит свой якорь. В данной схеме для обеспечения ее безопасного функционирования используются функции дифференцирования, удвоения напряжения и гальванической развязки. Временная диаграмма работы схемы при трёх активных входах изображена на рисунке 4, при двух — на рисунке 5.

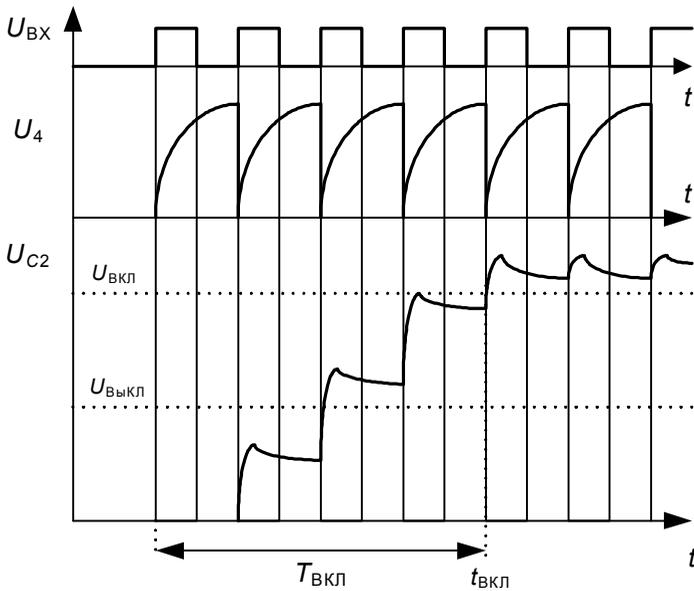


Рисунок 4 – Временная диаграмма работы УСО при трёх активных входах

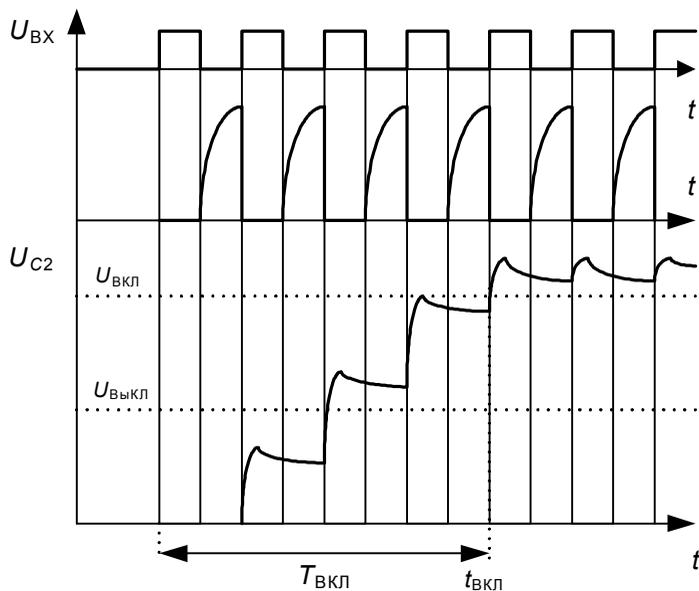


Рисунок 5 – Временная диаграмма работы УСО при двух активных входах

## 2 Индивидуальное задание

Изучить схему многоканального устройства включения исполнительного реле и исследовать его работу в различных режимах (в том числе при отказах элементов) согласно индивидуальному заданию, выдаваемому преподавателем.

## 3 Порядок выполнения работы

- 1 Изучить теоретические сведения;
- 2 Собрать одну из многоканальных схем безопасного включения исполнительных реле;
- 3 Изменить параметры модели реле в соответствии с индивидуальным заданием;
- 4 Продемонстрировать работу схемы;

5 По заданию преподавателя дополнить схему элементами, моделирующими отказы. Порядок внесения отказов в схему см. в лабораторной работе №1;

6 Продемонстрировать работу многоканальной схемы безопасного включения исполнительных реле с внесенными в схему отказами;

7 Оформить отчет. Сделать выводы по влиянию отказов на безопасность схемы.

### Содержание отчета

Отчет оформляется в электронном виде в виде документа *Word* и содержит: фамилию, имя, отчество и группу студента, выполнившего работу, наименование и цель работы; описание функционирования исследуемой схемы; индивидуальное задание; экранные формы с исследуемой схемой; осциллограммы и показания приборов; выводы по работе. К отчету прилагаются файлы *OrCAD* с результатами работы.

### СПИСОК ЛИТЕРАТУРЫ

1 К.А. Бочков, С.Н. Харлап. Микропроцессорные информационно-управляющие системы в железнодорожной автоматике и телемеханике. Методы обеспечения безопасности функционирования: Учебное пособие. – Гомель: БелГУТ, 2002. – 84 с.

2 Методы построения безопасных микроэлектронных систем железнодорожной автоматики/ В.В. Сапожников, Вл. В. Сапожников, Х.А. Христов, Д.В. Гавзов; Под ред. Вл. В. Сапожникова. – М.: Транспорт, 1995. – 272 с.

3 РТМ 32 ЦШ 1115842.01-94. Безопасность железнодорожной автоматики и телемеханики. Методы и принципы обеспечения безопасности микроэлектронных СЖАТ. – СПб.: ПГУ ПС, 1994. – 120 с.

4 Сертификация и доказательство безопасности систем железнодорожной автоматики / В.В. Сапожников, Вл. В. Сапожников, В. И. Талалаев и др.; Под ред. Вл. В. Сапожникова. – М.: Транспорт, 1997. – 288 с.

## ПРИЛОЖЕНИЕ А

(справочное)

### СОЗДАНИЕ ИЕРАРХИЧЕСКИХ БЛОКОВ

Любой фрагмент схемы можно оформить в виде иерархического блока, что позволяет уменьшить размеры конечной схемы, а также избежать многократного копирования повторяющихся участков схемы, таких как фильтры, сумматоры, усилители, тестеры и т. д.

Иерархический блок создается по команде *Place/Hierarchical Block* (значок команды ). При выборе команды открывается окно, показанное на рисунке А.1.

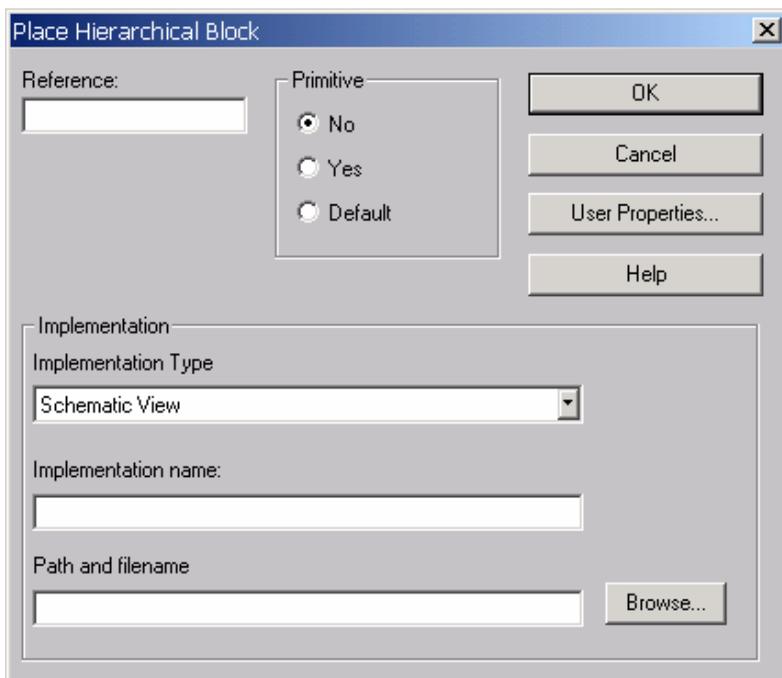


Рисунок А.1 – Окно создания иерархического блока

В данном окне вводятся следующие значения:

- *Reference* – позиционное обозначение иерархического блока;
- *Primitive* – тип блока:

- *No* – блок, имеющий иерархическую структуру;
  - *Yes* – элементарный блок;
  - *Default* – тип блока устанавливается по умолчанию в соответствии с настройкой конфигурации на закладке *Hierarchy* команды *Options>Design Template*;
- *Implementation Type* – тип иерархического блока, принимающий значения:
- *Schematic View* – схема объекта;
  - *VHDL* – описание компонента на языке VHDL;
  - *EDIF* – список соединений в формате EDIF;
  - *Project* – проект ПЛИС;
  - *PSpice Model* – файл математической модели в формате *PSpice*, причем в этом блоке необходимо вручную разместить иерархические выводы;
  - *PSpice Stimulus* – файл внешнего воздействия в формате *PSpice*, причем в этом блоке необходимо вручную разместить иерархические выводы;
- *Implementation name* – имя иерархического блока;
- *Path and filename* – полное имя файла, в котором находится описание иерархического блока (не указывается, если файл размещается в каталоге текущего проекта, в этом случае в качестве имени его папки принимается имя иерархического блока).

После закрытия этого окна курсором на схеме наносятся прямоугольные контуры символа иерархического блока. При выделенном блоке по команде *Place/Hierarchical Pin* (значок команды ) вводятся имена выводов блока. При активизации команды появляется окно, показанное на рисунке А.2.

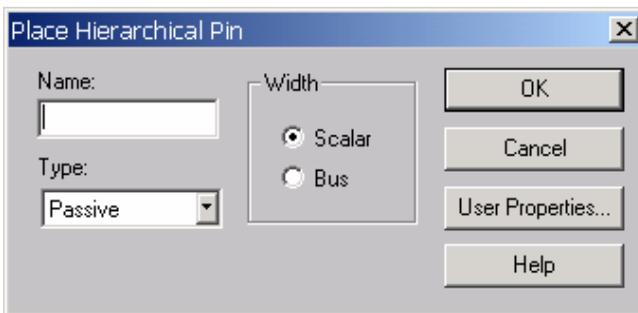


Рисунок А.2 – Окно определения выводов иерархического блока

В данном окне вводятся следующие значения:

- *Name* – имя вывода;
- *Type* – тип вывода (вход, выход, питание и т. д.);
- *Width* – тип цепи (*scalar* – единичная цепь, *bus* - шина).

Затем вывод располагается в необходимом месте внутри контура блока. В контекстном меню, вызываемом нажатием правой кнопки мыши, выбирается строчка *Edit Properties*. В открывшемся окне указываются параметры следующего вывода и т. д. Окончание режима редактирования выводов иерархического блока осуществляется выбором команды *End Mode*.

После создания блока переходят на нижний уровень иерархии (команда *Descend Hierarchy* из контекстного меню). Данная команда доступна при выделении блока. При активизации команды появляется окно, показанное на рисунке А.3.

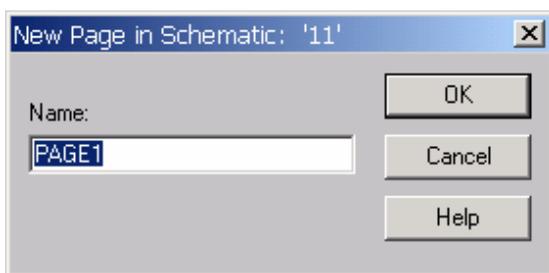


Рисунок 3 – Окно создания страницы для схемы иерархического блока

В поле *Name* указывается имя блока, под которым он будет занесен в менеджер проектов.

На нижнем уровне иерархии располагаются порты, соответствующие выводам созданного блока. Далее рисуется схема блока (или копируется через буфер обмена из другого проекта). Порты перемещаются к соответствующим точкам схемы и соединяются с ними проводниками. В схеме блока нельзя использовать графические обозначения земли и глобальное имя земли *GND*. Переход на верхний уровень иерархии выполняется по команде *Ascend Hierarchy* из контекстного меню.

Если создан блок из цифровых компонентов, в корпусе которых расположено несколько секций, и его предполагается использовать в схеме неоднократно, то блок необходимо записать в библиотеку и затем вставлять в схему как библиотечный элемент. Копировать такой блок через буфер обмена нельзя, так как секции элементов, находящихся в одном корпусе, могут ока-

заться в разных блоках, что недопустимо. Увеличивать количество блоков путем копирования можно для схем, содержащих элементы, не упакованные секциями в корпус (резисторы, транзисторы, конденсаторы, элементы ПЛИС).

Для записи иерархического блока в библиотеку сначала необходимо создать в проекте библиотеку. Для этого при открытом проекте выполняется команда *File/New/Library*. В открывшемся окне выбирается текущий проект. Чтобы библиотека оказалась подключенной к проекту, выполняется команда *File/Save*. Таким образом, в проекте в подкаталоге *Library* создается новая библиотека.

Для того, чтобы записать блок в библиотеку необходимо активизировать изображение блока на схеме и выполнить команду *File/Export Selection*. В появившемся диалоговом окне (рисунок А.4), в поле *Export Selection Name* указывается имя блока, а в поле *Library* – путь к библиотеке, куда заносится блок. После нажатия кнопки «OK» блок заносится в библиотеку.

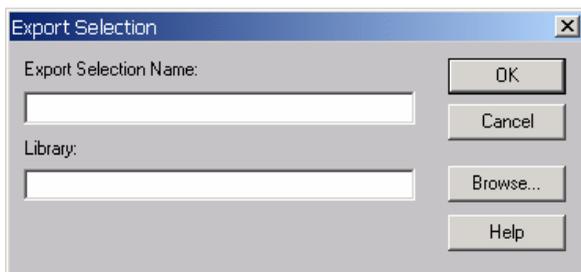


Рисунок А.4 – Окно занесения иерархического блока в библиотеку

Вставка блока из библиотеки в схему осуществляется по команде *File/Import Selection*. В открывшемся окне необходимо, с помощью команды *Add Library*, включить библиотеку, в которой находится блок. При этом появляется имя библиотеки и имена блоков, записанных в библиотеку. Необходимый блок помещается на поле чертежа.

Таким образом, любой иерархический блок представляет собой компонент, содержащий внутреннюю структуру. Возможность редактирования внутренней структуры компонента, добавления дополнительных выводов позволяет использовать созданный компонент не только в конкретной схеме. Кроме того, упрощается отладка схемы, созданной из иерархических блоков.

## Содержание

<b>ВВЕДЕНИЕ</b> .....	<b>3</b>
Лабораторная работа № 1 <b>ИССЛЕДОВАНИЕ РАБОТЫ ФИКСИРУЮЩЕГО ЭЛЕМЕНТА</b> .....	<b>3</b>
Лабораторная работа № 2 <b>ИССЛЕДОВАНИЕ РАБОТЫ ПАРАЛЛЕЛЬНЫХ УСТРОЙСТВ КОНТРОЛЯ ШИН</b> .....	<b>12</b>
Лабораторная работа № 3 <b>ИССЛЕДОВАНИЕ РАБОТЫ ПОСЛЕДОВАТЕЛЬНЫХ УСТРОЙСТВ КОНТРОЛЯ ШИН</b> .....	<b>18</b>
Лабораторная работа № 4 <b>ИССЛЕДОВАНИЕ РАБОТЫ БЕСКОНТАКТНЫХ УСТРОЙСТВ СОПРЯЖЕНИЯ С ОБЪЕКТОМ</b> .....	<b>23</b>
Лабораторная работа № 5 <b>ИССЛЕДОВАНИЕ БЕЗОПАСНЫХ СХЕМ ВКЛЮЧЕНИЯ ИСПОЛНИТЕЛЬНЫХ РЕЛЕ</b> .....	<b>29</b>
Лабораторная работа № 6 <b>ИССЛЕДОВАНИЕ МНОГОКАНАЛЬНЫХ БЕЗОПАСНЫХ СХЕМ ВКЛЮЧЕНИЯ ИСПОЛНИТЕЛЬНЫХ РЕЛЕ</b> .....	<b>35</b>
<b>СПИСОК ЛИТЕРАТУРЫ</b> .....	<b>40</b>
<b>ПРИЛОЖЕНИЕ А. СОЗДАНИЕ ИЕРАРХИЧЕСКИХ БЛОКОВ</b> .....	<b>41</b>

Учебное издание

*ХАРЛАП Сергей Николаевич, ШМЫГОВСКАЯ Ольга Александровна*

**Анализ безопасных схем контроля и сравнения в многоканальных микропроцессорных информационно-управляющих системах**

Лабораторный практикум по дисциплине «Микропроцессорные информационно-управляющие системы на транспорте»

Редактор

Технический редактор В. Н. Кучерова

Корректор М. П. Дежко

Подписано в печать г. Формат бумаги 60x84<sup>1</sup>/<sub>16</sub>.

Бумага газетная. Гарнитура *Times New Roman*. Печать офсетная.

Усл. печ. л. . Уч.-изд. л. . Тираж 150 экз.

Зак. № . Изд. № .

Редакционно-издательский отдел БелГУТа, 246653, г. Гомель, ул. Кирова, 34.

Лицензия ЛВ № 57 от 22.10.2002 г.

Типография БелГУТа, 246022, г. Гомель, ул. Кирова, 34. Лицензия ЛП № 360 от 26.07.99 г.