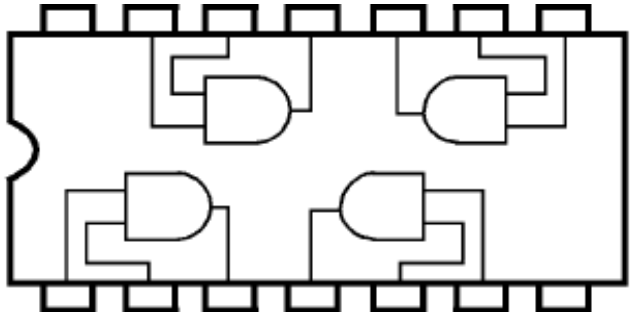


**К. А. БОЧКОВ
Ю. Ф. БЕРЕЗНЯЦКИЙ**

Т е о р и я д и с к р е т н ы х у с т р о й с т в



МИНИСТЕРСТВО ОБРАЗОВАНИЯ РЕСПУБЛИКИ БЕЛАРУСЬ
УЧРЕЖДЕНИЕ ОБРАЗОВАНИЯ
«БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ТРАНСПОРТА»

Кафедра автоматики и телемеханики

К. А. БОЧКОВ, Ю. Ф. БЕРЕЗНЯЦКИЙ

ТЕОРИЯ ДИСКРЕТНЫХ УСТРОЙСТВ

*Допущено Министерством образования Республики Беларусь
в качестве учебного пособия для студентов учреждений,
обеспечивающих получение высшего образования
по транспортным специальностям*

Гомель 2007

УДК 004.31 (075.8)
ББК 22.176+32.965.6
Б86

Р е ц е н з е н т ы: заведующий лабораторией логического проектирования Объединенного института проблем информатики Национальной академии наук Беларуси д-р техн. наук, профессор *П. Н. Библио;*

кафедра информатики факультета радиофизики и электроники учреждения образования «Белорусский государственный университет», канд. техн. наук, доцент *Г. К. Афанасьев.*

Бочков, К. А.

Б86 Теория дискретных устройств : учеб. пособие / К. А. Бочков, Ю. Ф. Березняцкий ; М-во образования Респ. Беларусь, Белорус. гос. ун-т трансп. – Гомель : БелГУТ, 2007. – 162 с.
ISBN 978-986-468-327-0

Рассматриваются вопросы создания схемных реализаций компонентов систем автоматики, телемеханики и связи, предлагаются варианты увязки созданных компонентов для реализации действующих систем с применением интегральных микросхем.

Предназначено для студентов высших и среднеспециальных учебных заведений, обучающихся по специальности «Автоматика, телемеханика и связь на железнодорожном транспорте», в качестве методического руководства по построению систем автоматики, телемеханики и связи на основе интегральных микросхем. Также будет полезно студентам при выполнении курсового проекта.

УДК 004.31 (075.8)
ББК 22.176+32.965.6

ISBN 978-986-468-327-0

© Бочков К. А., Березняцкий Ю. Ф., 2007

ВВЕДЕНИЕ

Данное пособие написано в соответствии с программой для студентов, обучающихся по специальности «Автоматика, телемеханика и связь на железнодорожном транспорте» и содержит основные сведения по синтезу таких узлов систем автоматики и телемеханики, как шифраторы, дешифраторы, преобразователи кодов, мультиплексоры, демультимплексоры, счетчики импульсов, делители частоты, двоичные сумматоры, различные регистры. Для всех указанных дискретных устройств построены временные диаграммы (диаграммы состояний), способствующие анализу функционирования дискретных устройств.

Во втором разделе приводится методика и примеры синтеза компонентов систем автоматики и телемеханики на базе асинхронных и синхронных мультиплексоров, что в ряде случаев позволяет сократить количество используемых для реализации схемы корпусов интегральных микросхем.

Раздел четыре пособия содержит основные положения по анализу комбинационных и многотактных дискретных схем. Здесь рассмотрен анализ электрических схем дискретных устройств как с фиксацией воздействия (релейных), так и без фиксации воздействия (триггерных).

Проработка разделов пять и шесть пособия позволит студенту технически грамотно и квалифицированно оформить принципиальные схемы и пояснительную записку к выполняемому курсовому проекту.

В приложениях к пособию приведены условные обозначения наиболее часто используемых цифровых интегральных микросхем, основные виды надписей на текстовых документах и схемах, сведения о кварцевых резонаторах, применяемых в курсовом проекте по дисциплине «Теория дискретных устройств».

Пособие рассчитано на студентов и специалистов, имеющих начальные знания в теории дискретных устройств, поэтому в нем опущены отдельные детали.

1 СИНТЕЗ КОМПОНЕНТОВ СИСТЕМ АВТОМАТИКИ И ТЕЛЕМЕХАНИКИ

1.1 ШИФРАТОРЫ

Шифратор – комбинационное дискретное устройство, позволяющее получить на выходе кодовую комбинацию, соответствующую номеру одного из десятичных входов, на котором появилась логическая единица [1].

Шифраторы широко применяются для ввода информации в дискретные устройства и системы. Классический пример использования шифраторов – простая клавиатура или пульт-манипулятор, в которых при нажатии оператором определенной клавиши (кнопки управления) на выходе образуется соответствующее, уникальное для данной клавиши, кодовое слово. Также шифраторы часто используются в системах телесигнализации при сборе информации о состоянии объектов. В данном случае выход каждого двухстабильного объекта сигнализации подключается ко входам шифратора. Изменение или подтверждение состояния конкретного объекта выражается в виде кодовой комбинации, состоящей из двух частей – адресной и информационной. *Адресная* часть получается как код на выходе шифратора, а *информационная* может быть представлена в виде логической единицы или логического нуля в дополнительном разряде, в зависимости от состояния объекта сигнализации (двигатель

включен/выключен, лампа горит/погашена, стрелка в минусовом/плюсовом положении, контакт замкнут/разомкнут и т. п.).

Синтез шифратора, как и большинства других дискретных устройств, может быть выполнен по его таблице истинности. В таблице отражаются все возможные входы шифратора и все состояния выходов, им соответствующие. В таблице 1.1 в качестве примера показана таблица истинности шифратора для перевода десятичных чисел от 0 до 6 в двоичный код «3а + 2» [1].

Функции выходов шифратора с использованием свойства независимости входов и выходов могут быть получены как дизъюнкция тех входов, на которых значение рассматриваемого выхода равно единице. В аналитическом виде получим: $Y1 = X5 \vee X6$; $Y2 = X2 \vee X3 \vee X4$; $Y3 = X1 \vee X4 \vee X6$; $Y4 = X0 \vee X3 \vee X4$; $Y5 = X1 \vee X3 \vee X5$.

Таблица 1.1 – Таблица истинности шифратора в код «3а + 2»

Десятичное число		Код «3а+2»					Десятичное число		Код «3а + 2»				
X_i		$Y1$	$Y2$	$Y3$	$Y4$	$Y5$	X_i		$Y1$	$Y2$	$Y3$	$Y4$	$Y5$
0		0	0	0	1	0	4		0	1	1	1	0
1		0	0	1	0	1	5		1	0	0	0	1
2		0	1	0	0	0	6		1	0	1	0	0
3		0	1	0	1	1							

Построим схему шифратора в базисе «И-ИЛИ-НЕ» [1] по полученным формулам (рисунок 1.1, а).

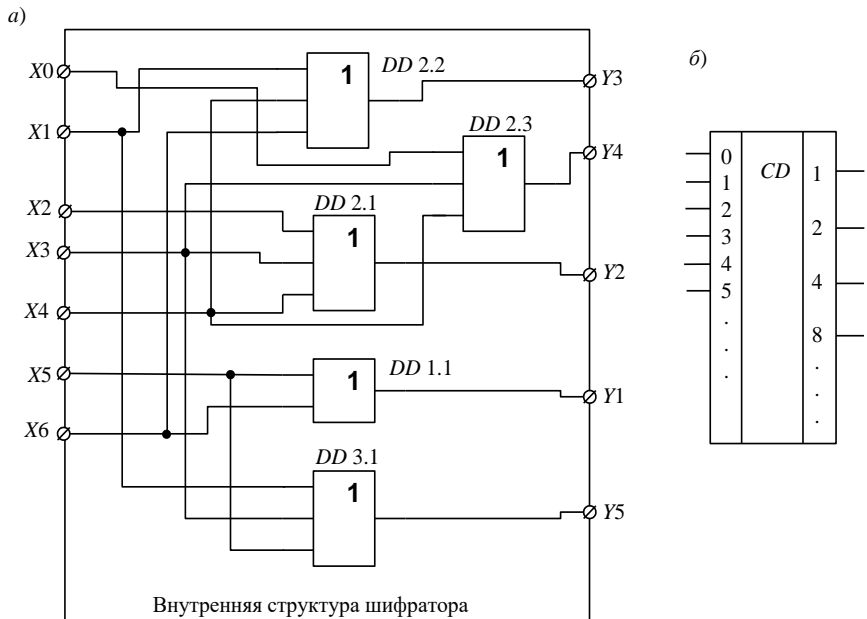


Рисунок 1.1 – Схема шифратора (а) и его условное обозначение (б)

Шифратор имеет условное графическое обозначение, показанное на рисунке 1.1, б.

Рассмотрим пример построения шифратора, заданного таблицей 1.2 и предназначенного для получения кода «2 из 5» с использованием элементов базиса «И-НЕ» [1] для чисел десятичного кода от 8 до 14.

Поскольку код «2 из 5» определен для десятичных чисел от 0 до 9, а нам требуется использовать числа больше 9, то применим двоично-десятичный принцип построения шифратора. Тогда каждое десятичное число будет представлено соответствующей ему кодовой комбинацией из единиц и десятков, что и отражено в таблице 1.2.

Таблица 1.2 – Таблица истинности шифратора в код «2 из 5»

Десятичные числа	Код «2 из 5»									
	десятки					единицы				
X_i	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7	Y_8	Y_9	Y_{10}
8	1	1	0	0	0	1	0	0	1	0
9	1	1	0	0	0	0	1	0	0	1
10	0	1	1	0	0	1	1	0	0	0
11	0	1	1	0	0	0	1	1	0	0
12	0	1	1	0	0	0	0	1	1	0
13	0	1	1	0	0	0	0	0	1	1
14	0	1	1	0	0	1	0	0	0	1

Запишем формулы связи между входами и выходами и преобразуем их с использованием закона двойственности к виду, удобному для представления в базисе «И-НЕ»:

$$Y_1 = X_8 \vee X_9 = \overline{\overline{X_8 X_9}} = \overline{X_8} | \overline{X_9};$$

$$Y_2 = X_8 \vee X_9 \vee \dots \vee X_{14} = 1; \quad Y_3 = X_{10} \vee X_{11} \vee X_{12} \vee X_{13} \vee X_{14} =$$

$$= \overline{X_{10}} | \overline{X_{11}} | \overline{X_{12}} | \overline{X_{13}} | \overline{X_{14}}; \quad Y_4 = 0; \quad Y_5 = 0; \quad Y_6 = X_8 \vee X_{10} \vee X_{14} =$$

$$= \overline{X_8} | \overline{X_{10}} | \overline{X_{14}}; \quad Y_7 = \overline{X_9} | \overline{X_{10}} | \overline{X_{11}}; \quad Y_8 = \overline{X_{11}} | \overline{X_{12}}; \quad Y_9 = \overline{X_8} | \overline{X_{12}} | \overline{X_{13}};$$

$$Y_{10} = \overline{X_9} | \overline{X_{13}} | \overline{X_{14}}.$$

Схема шифратора представлена на рисунке 1.2.

Рассмотрим далее примеры построения дешифраторов – устройств по действию обратных шифраторам.

1.2 ДЕШИФРАТОРЫ

Дешифратор – комбинационное дискретное устройство, позволяющее получить на одном из десятичных выходов логическую

единицу, эквивалентную поданному на входы двоичному коду [1].

Существует также разновидность дешифраторов, у которых логическая единица образуется не на одном, а на нескольких выходах.

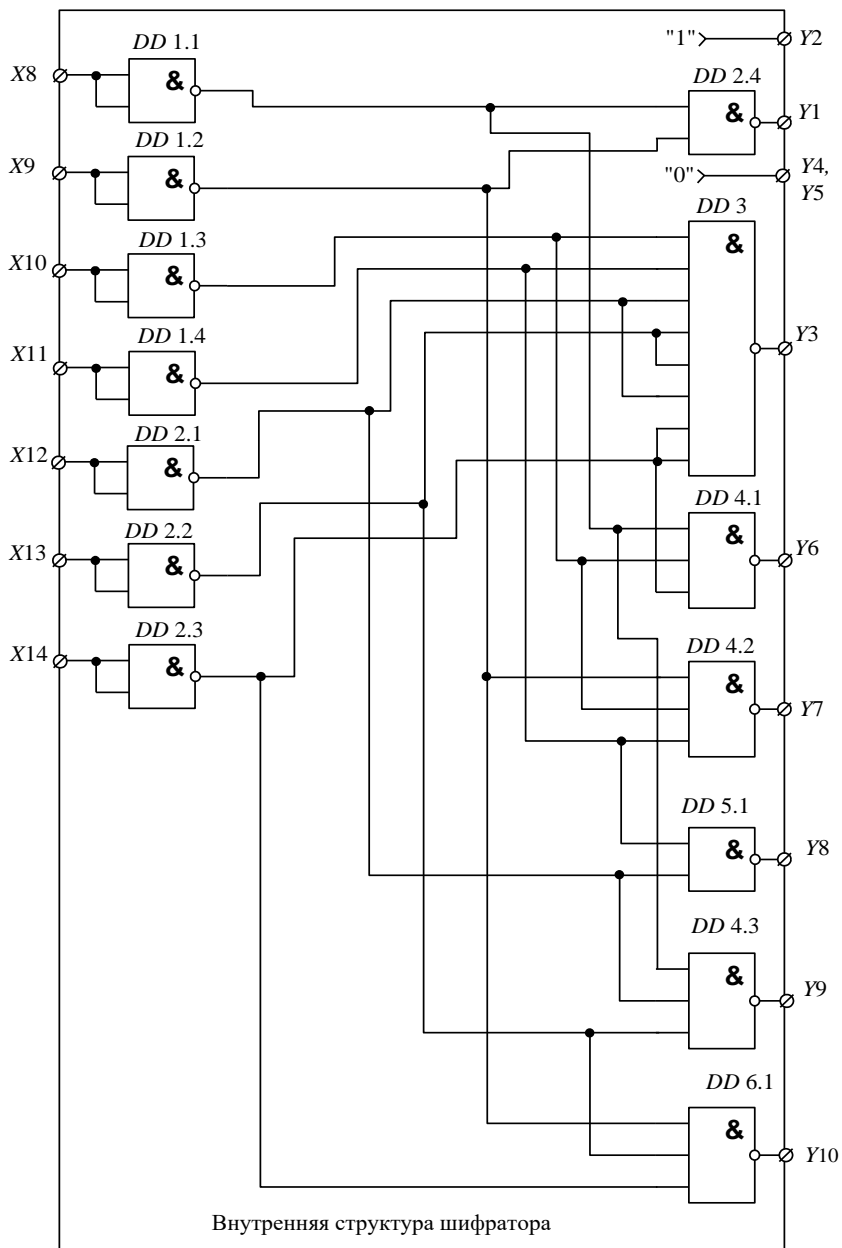


Рисунок 1.2 – Схема шифратора для кода «2 из 5»

Они ближе к преобразователям кодов по структуре, чем к дешифраторам, но в технической (справочной) литературе их называют дешифраторами [2, 3]. Это так называемые преобразователи двоичного кода в семисегментный (код семисегментного индикатора). Также существуют дешифраторы, позволяющие преобразовать двоичный код в код матричного индикатора, образующего числа или буквы в виде совокупности точек матричного поля.

Дешифраторы широко применяются для вывода информации из дискретных устройств и систем. Основная функция дешифраторов заключается в том, чтобы информация, выдаваемая цифровыми устройствами, была понятна человеку, выполняющему обслуживание цифровой системы либо устройства.

Дешифраторы являются компонентами цифровых распределителей в совокупности со счетчиками импульсов (рисунок 1.3).

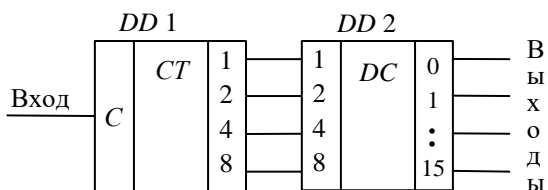


Рисунок 1.3 – Реализация распределителя с применением дешифратора

При использовании суммирующего счетчика логическая единица будет появляться по очереди на выходных разрядах 0, 1, 2 и т. д. до 15, а в случае применения вычитающего счетчика логическая единица будет появляться в обратном порядке (по такому принципу строятся так называемые распределители прямого и обратного ходов).

Часто дешифраторы в системах автоматики и телемеханики и других микропроцессорных системах применяются для выбора элемента схемы, который должен выполнить необходимую функцию (рисунок 1.4).

К выходам дешифратора подключены различные дискретные устройства (Э0 – Э15). В зависимости от того, какой код подан на входы дешифратора, выбирается тот дискретный компонент Э_і схемы, работа которого в данный момент разрешена. Это определяется сигналом логической единицы на входе разрешения

записи (работы) “V” соответствующего компонента, выдаваемым дешифратором.

В таблице истинности дешифратора, по отношению к таблице истинности шифратора, входы и выходы меняются местами. В таблице 1.3 в качестве примера показана таблица истинности дешифратора, позволяющего преобразовать двоичные слова кода «с избытком 3» в десятичные числа от 0 до 8.

Таблица 1.3 – Таблица истинности дешифратора из кода «с избытком 3»

Кодовые слова «с избытком 3»				Десятичное число
Y1	Y2	Y3	Y4	Zi
0	0	1	1	0
0	1	0	0	1
0	1	0	1	2
0	1	1	0	3
0	1	1	1	4
1	0	0	0	5
1	0	0	1	6
1	0	1	0	7
1	0	1	1	8

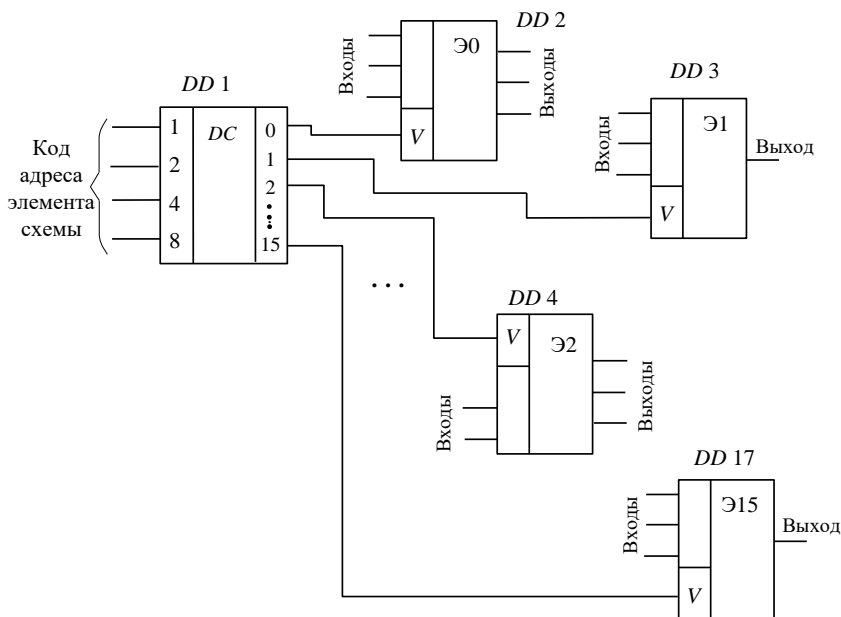


Рисунок 1.4 – Узел системы телемеханики

Функции выходов дешифратора могут быть получены как конъюнкция переменных соответствующих кодовых слов:

$$Z_0 = \bar{Y}_1\bar{Y}_2Y_3Y_4; Z_1 = \bar{Y}_1Y_2\bar{Y}_3\bar{Y}_4; Z_2 = \bar{Y}_1Y_2\bar{Y}_3Y_4; Z_3 = \bar{Y}_1Y_2Y_3\bar{Y}_4; \\ Z_4 = \bar{Y}_1Y_2Y_3Y_4; Z_5 = Y_1\bar{Y}_2\bar{Y}_3\bar{Y}_4; Z_6 = Y_1\bar{Y}_2\bar{Y}_3Y_4; Z_7 = Y_1\bar{Y}_2Y_3\bar{Y}_4; \\ Z_8 = Y_1\bar{Y}_2Y_3Y_4.$$

Построим схему дешифратора в базе «И-ИЛИ-НЕ» по полученным формулам без их упрощения (рисунок 1.5).

Рассмотрим пример реализации схемы дешифратора, заданного таблицей 1.4, предназначенного для расшифровки чисел кода «2421» от 9 до 13 (в десятичном эквиваленте) в базе «ИЛИ-НЕ» [1].

Таблица 1.4 – Таблица истинности дешифратора из кода «2421»

Входной код «2421»								Десятичное число
десятки				единицы				
Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Zi
0	0	0	0	1	1	1	1	9
0	0	0	1	0	0	0	0	10
0	0	0	1	0	0	0	1	11
0	0	0	1	0	0	1	0	12
0	0	0	1	0	0	1	1	13

Так как код «2421» определен для десятичных чисел от 0 до 9, то используем *двоично-десятичный принцип построения кода*. Тогда и дешифратор будет двоично-десятичным.

Запишем формулы связи между входами и выходами и преобразуем их по правилу де Моргана к виду, удобному для реализации в базе «ИЛИ-НЕ». При записи формул учтем, что разряды Y1, Y2 и Y3 всегда равны нулю в таблице, т. е. являются незначащими. В этом случае их можно исключить из рассмотрения, поскольку по этим разрядам выходные функции не разделяются. Таким образом $Z_9 =$

$$= \bar{Y}_4 Y_5 Y_6 Y_7 Y_8 = \overline{Y_4 \vee \bar{Y}_5 \vee \bar{Y}_6 \vee \bar{Y}_7 \vee \bar{Y}_8} = Y_4 \downarrow \bar{Y}_5 \downarrow \bar{Y}_6 \downarrow \bar{Y}_7 \downarrow \bar{Y}_8; \\ Z_{10} = Y_4 \bar{Y}_5 \bar{Y}_6 \bar{Y}_7 \bar{Y}_8 = \bar{Y}_4 \downarrow Y_5 \downarrow Y_6 \downarrow Y_7 \downarrow Y_8; Z_{11} = \bar{Y}_4 \downarrow Y_5 \downarrow \\ \downarrow Y_6 \downarrow Y_7 \downarrow \bar{Y}_8; Z_{12} = \bar{Y}_4 \downarrow Y_5 \downarrow Y_6 \downarrow \bar{Y}_7 \downarrow Y_8; Z_{13} = \bar{Y}_4 \downarrow Y_5 \downarrow \\ \downarrow Y_6 \downarrow \bar{Y}_7 \downarrow \bar{Y}_8.$$

Анализируя данные таблицы 1.4, можно заключить, что она обладает большой избыточностью. Для пяти чисел десятичного кода

используются пять разрядов двоичного кода. В таком случае мы можем упростить выходные функции, используя методику минимизации частично заданных функций на основе карт Карно.

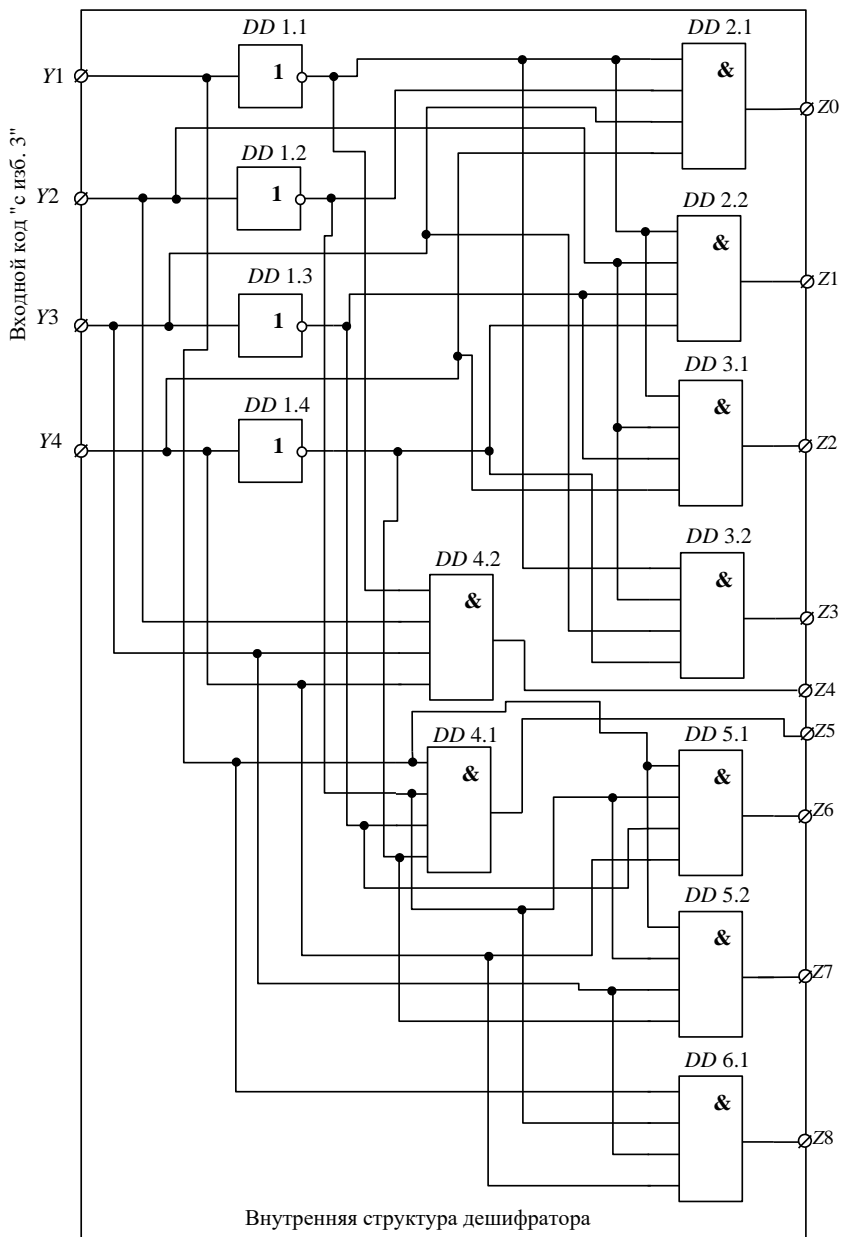


Рисунок 1.5 – Схема дешифратора из кода «с избытком 3»

В данном случае существенным является то, что единице может быть равна только одна из задаваемых клеток карты, а остальные должны быть равны нулю. Карты Карно для функций Z9–Z11 представлены на рисунке 1.6.

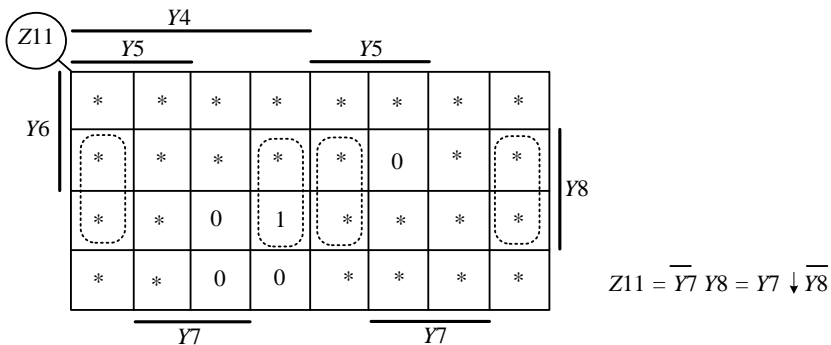
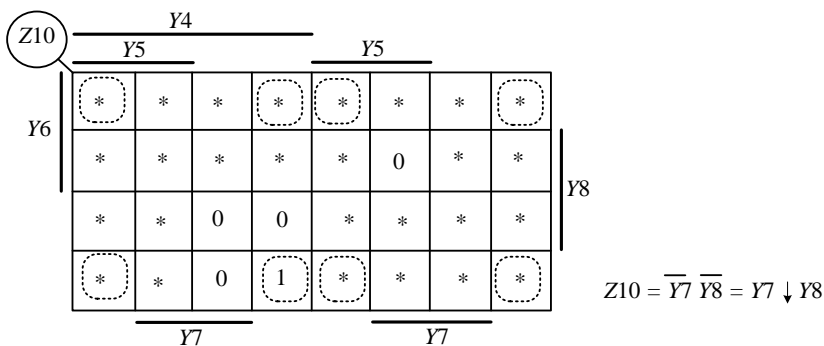
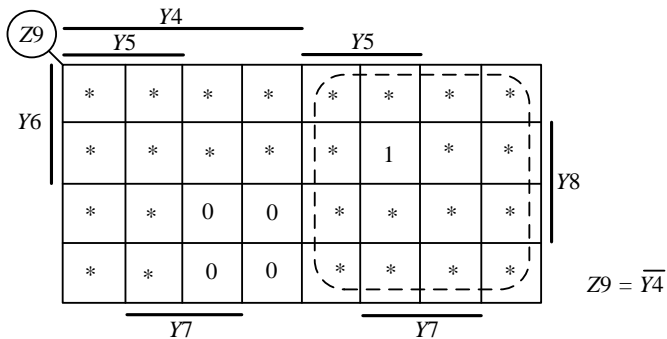


Рисунок 1.6 – Упрощение функций алгебры логики дешифратора из кода «2421»

По аналогии получим упрощенные выражения для функций Z12 и Z13: $Z12 = Y7 \bar{Y}8 = \bar{Y}7 \downarrow Y8$; $Z13 = Y7 Y8 = \bar{Y}7 \downarrow \bar{Y}8$. После упрощения функций видно, что разряды кода Y5 и Y6 также исключены, так как по ним выходные функции не разделяются.

Схема дешифратора в базисе «ИЛИ-НЕ» представлена на рисунке 1.7.

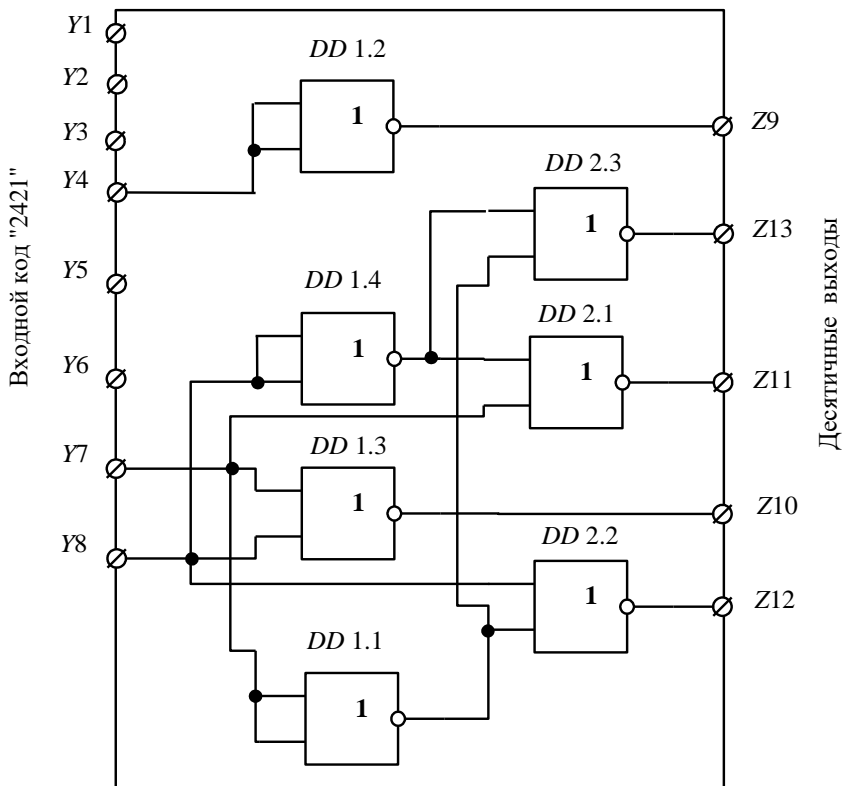


Рисунок 1.7 – Схема дешифратора из кода «2421»

Промышленностью выпускаются дешифраторы с входами разрешения, которые можно использовать для увеличения разрядности обрабатываемых кодов (рисунок 1.8).

Если требуется увеличить значительно количество выходных и входных разрядов, то можно использовать многоступенчатые схемы включения дешифраторов (рисунок 1.9).

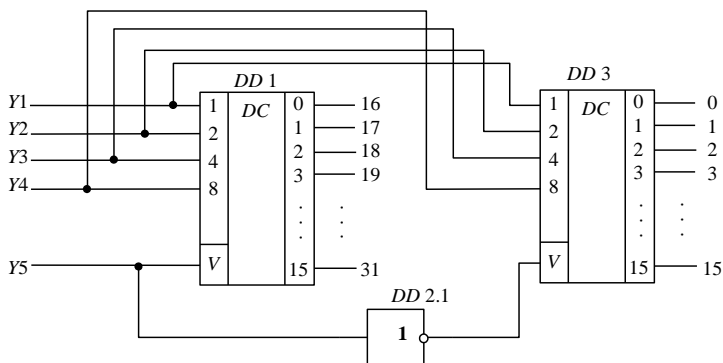


Рисунок 1.8 – Схема включения дешифраторов для увеличения количества выходных разрядов

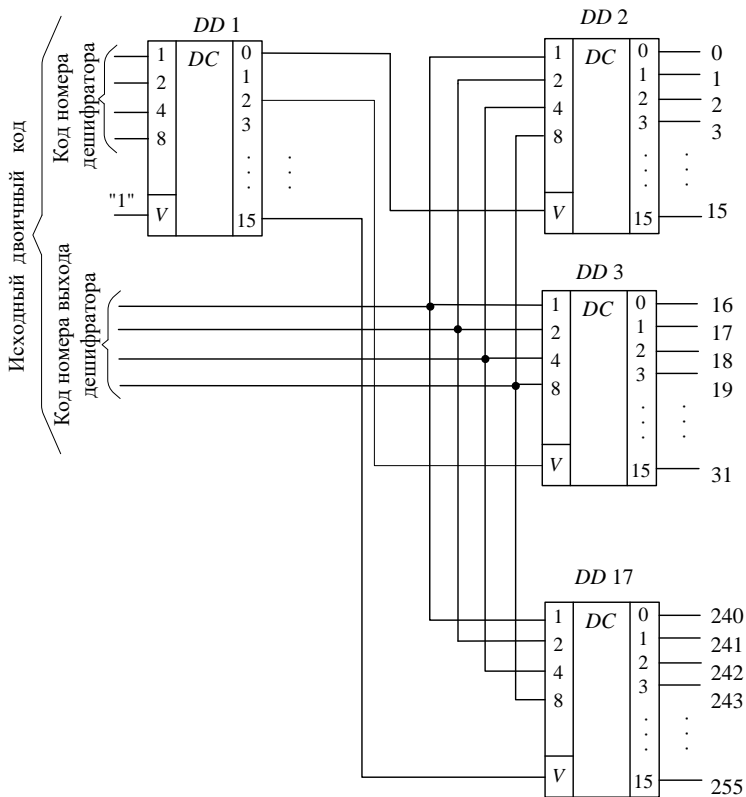


Рисунок 1.9 – Схема двухступенчатого дешифратора

Рассмотрим далее примеры реализации преобразователей кодов и распространенного класса дешифраторов, предназначенного для перевода двоичного кода «8421» в код семисегментного индикатора.

1.3 ПРЕОБРАЗОВАТЕЛИ КОДОВ

Преобразователь кодов – комбинационное дискретное устройство, предназначенное для перевода одного двоичного кода в другой двоичный код [1, 3].

Эти дискретные устройства часто применяются в системах автоматики с целью получения из обычных безыбыточных кодов более сложных избыточных кодов. Избыточные коды позволяют только обнаруживать или обнаруживать и исправлять ошибки в кодовых словах при передаче сигналов по линиям связи на большие расстояния.

Существует два способа синтеза преобразователей кодов: с использованием одной таблицы истинности и свойства независимости входов и выходов и путем последовательного включения дешифратора и шифратора [1, 4].

Рассмотрим **примеры построения преобразователей кодов** на основе свойства независимости входов и выходов по одной таблице истинности.

Пусть требуется построить преобразователь кодов для перевода чисел типового кода «8421» в код «2 из 5» в базе «И-НЕ» для чисел от 0 до 8. Составим таблицу истинности преобразователя (таблица 1.5) в которой отражаются все необходимые комбинации исходного кода «8421» и все соответствующие им комбинации получаемого кода «2 из 5».

Таблица 1.5 – Таблица истинности преобразователя из кода «8421» в код «2 из 5»

Десятичное число	Исходный код (входы)				Получаемый код (выходы)				
	X8	X4	X2	X1	Y5	Y4	Y3	Y2	Y1
0	0	0	0	0	1	1	0	0	0
1	0	0	0	1	0	1	1	0	0
2	0	0	1	0	0	0	1	1	0
3	0	0	1	1	0	0	0	1	1
4	0	1	0	0	1	0	0	0	1
5	0	1	0	1	1	0	1	0	0
6	0	1	1	0	0	1	0	1	0
7	0	1	1	1	0	0	1	0	1

8	1	0	0	0	1	0	0	1	0
---	---	---	---	---	---	---	---	---	---

Для каждой выходной функции составляется совершенная дизъюнктивная нормальная форма от одних и тех же входных переменных на основе свойства независимости выходов:

$$\begin{aligned}
 Y_5 &= \overline{X}8\overline{X}4\overline{X}2\overline{X}1 \vee \overline{X}8X4\overline{X}2\overline{X}1 \vee \\
 &\vee \overline{X}8X4\overline{X}2X1 \vee X8\overline{X}4\overline{X}2\overline{X}1; Y_4 = \overline{X}8\overline{X}4\overline{X}2\overline{X}1 \vee \overline{X}8\overline{X}4\overline{X}2X1 \vee \overline{X}8X4\overline{X}2\overline{X}1; \\
 Y_3 &= \overline{X}8\overline{X}4\overline{X}2X1 \vee \overline{X}8\overline{X}4X2\overline{X}1 \vee \overline{X}8X4\overline{X}2X1 \vee \overline{X}8X4X2X1; Y_2 = \overline{X}8\overline{X}4X2\overline{X}1 \vee \\
 &\vee \overline{X}8\overline{X}4X2X1 \vee \overline{X}8X4X2\overline{X}1 \vee X8\overline{X}4\overline{X}2\overline{X}1; Y_1 = \overline{X}8\overline{X}4X2X1 \vee \overline{X}8X4\overline{X}2\overline{X}1 \vee \\
 &\vee \overline{X}8X4X2X1.
 \end{aligned}$$

Затем полученные функции выходов упрощаются одним из известных методов минимизации. Упростим функцию Y_5 методом Квайна – Мак-Класки. Для этого перепишем ее, заменив переменные их значениями ($\overline{X}i = 0$, а $Xi = 1$). Тогда $Y_5 = 0000 \vee 0100 \vee 0101 \vee 1000$. Кроме того, учтем, что функция Y_5 является частично заданной, в которой кодовые комбинации для чисел 9–15 не используются (поскольку с использованием четырех переменных реализуются $2^4 = 16$ кодовых слов), поэтому при упрощении данной и всех остальных функций в этом случае необходимо применить методику упрощения частично заданных функций [5].

Доопределим функцию Y_5 , добавив в нее кодовые комбинации чисел 9–15, и получим функцию $Y_5^1 = 0000 \vee 0100 \vee 0101 \vee 1000 \vee 1001 \vee 1010 \vee 1011 \vee 1100 \vee 1101 \vee 1110 \vee 1111$.

Разобьем полученные кодовые слова функции по группам в зависимости от числа единиц в них (таблица 1.6). Применим *операцию склеивания* к кодам соседних по номерам групп [1, 5]. Склеиванию подвержены лишь те коды, которые различаются одним из четырех символов на соответствующей позиции. После склеивания на месте склеивания символа проставляется знак прочерк «-», и код перемещается в группу с меньшим номером.

После первой операции склеивания процесс повторяется для тех склеенных кодов, у которых прочерки находятся на одинаковых позициях. После второй итерации склеивания процесс опять повторяется.

Когда операцию склеивания больше применить нельзя, переходим к *операции поглощения*. Для этого составляем таблицу поглощений (таблица 1.7). В столбцах данной таблицы размещаются все исходные коды, а в строках – коды, оставшиеся после склеивания. В клетках

таблицы на пересечении соответствующих строки и столбца проставляются отметки, если совпадают символы строки и столбца на позициях, где нет прочерков.

Таблица 1.6 – Операции склеивания

Номер группы	Исходные коды групп	Коды после первого склеивания
1	2	3
0	0000	0-00, -000
1	0100, 1000	010-, -100, 100-, 10-0, 1-00
2	0101, 1001, 1010, 1100	-101, 10-1, 1-01, 101-, 1-10, 110-, 11-0
3	1011, 1101, 1110	1-11, 11-1, 111-
4	1111	

Продолжение таблицы 1.6

Номер группы	Коды после второго склеивания	Коды после третьего склеивания
1	4	5
0	--00	--00
1	-10-, 10--, 1-0-, 1--0	-10-, 1---
2	1--1, 1-1-, 11--	
3		
4		

Таблица 1.7 – Операции поглощения

Склеенные коды	Исходные коды					
	0000	0100	0101	1000	1001	1010
1	2	3	4	5	6	7
--00						
-10-						
1---						
Строка перекрытий						

Продолжение таблицы 1.7

Склеенные коды	Исходные коды				
	1011	1100	1101	1110	1111
1	8	9	10	11	12
--00					
-10-					
1---					
Строка перекрытий					

В строке перекрытий таблицы 1.7 все клетки должны быть заполнены отметками, снесенными от склеенных кодов (перенос отметок в строку перекрытий в таблице показан стрелками). В первую очередь в строку перекрытий сносятся отметки ядер функции, т.е. тех склеенных кодов, для которых хотя бы в одном столбце есть отметка только от данного склеенного кода. В рассматриваемой таблице все склеенные коды будут ядрами. Поэтому упрощенная функция будет иметь следующий вид $Y_{5\min}^1 = ---00 \vee -10- \vee 1---$.

Поскольку функция задана частично, необходимо проверить ее также на возможность перекрытий с функцией $Y5$ (таблица 1.8).

Работая над данными таблицы, выясняем, что для перекрытия исходной функции достаточно лишь двух из трех склеенных кодов $---00$ и $-10-$. Тогда окончательный результат упрощения функции запишем как $Y_{5\min}^1 = ---00 \vee -10-$. Заменим невычеркнутые значения переменными и получим упрощенную функцию $Y5 = \bar{X}2\bar{X}1 \vee X4\bar{X}2$.

Таблица 1.8 – Перекрытие функций $Y5$ и $Y_{5\min}^1$

$Y_{5\min}^1$	$Y5$			
	0000	0100	0101	1000
-00	∨	∨		∨
-10-		∨	∨	
1---				∨
Строка перекрытий	∨	∨	∨	∨

Функции $Y4$, $Y3$ и $Y2$ упростим с помощью карт Карно (рисунок 1.10), а функцию $Y1$ – методом существенных переменных. В результате упрощения на основе карт Карно получим следующие функции: $Y2 = X8 \vee \bar{X}4X2 \vee X2\bar{X}1$, $Y3 = X4X1 \vee \bar{X}2X1 \vee \bar{X}4X2\bar{X}1$, $Y4 = X4X2\bar{X}1 \vee \bar{X}8\bar{X}4\bar{X}2$.

Для минимизации функции $Y1$ составим таблицу существенных переменных (таблица 1.9) в столбцах которой будут запрещенные (где которых $Y1 = 0$), а в строках – разрешенные (где $Y1 = 1$) наборы переменных [1, 5].

Заполним таблицу 1.9 путем поочередного сравнения разрешенных наборов каждой строки со всеми запрещенными

наборами. В клетках на пересечении разрешенных и запрещенных наборов записываем несовпадающие элементы в таком виде, как они представлены в разрешенном наборе. Затем в таблице определяем клетки, содержащие по одной переменной. Эти переменные обводим кружком и записываем в столбец остатков. Если переменных несколько, в столбец остатков их записываем через знак умножения.

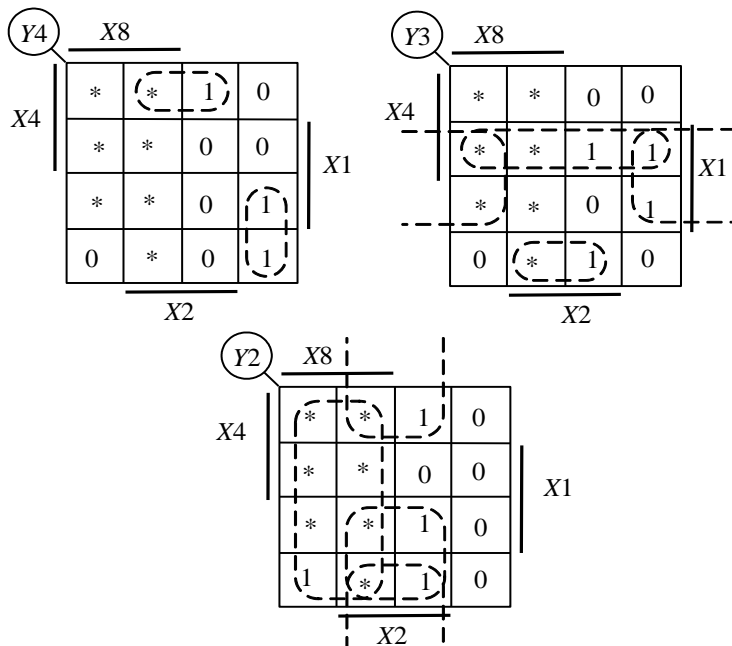


Рисунок 1.10 – Упрощение функций Y2, Y3 и Y4 с помощью карт Карно

Далее отмечаем знаком «v» те члены строки, в которые входят обведенные кружком переменные, и их исключаем из дальнейшего рассмотрения.

Так как в таблице 1.9 оказались отмечены знаком «v» все клетки, в которых переменная не обведена кружком, то далее составляем таблицу покрытий существенных переменных (таблица 1.10). В строках таблицы размещаем остатки, а в столбцах – разрешенные наборы.

Обрабатываем таблицу по аналогии с таблицей покрытий в методе Квайна – Мак-Класки. Результат минимизации функции Y1 методом существенных переменных будет следующим: $Y1 = X2X1v$

$$\vee X4\bar{X}2\bar{X}1.$$

Таблица 1.9 – Таблица существенных переменных

Разрешенные наборы	Запрещенные наборы			
	$\bar{X}\bar{8}\bar{4}\bar{X}2\bar{X}1$	$\bar{X}\bar{8}\bar{4}\bar{X}2\bar{X}1$	$\bar{X}\bar{8}\bar{4}\bar{X}2\bar{X}1$	$\bar{X}\bar{8}\bar{4}\bar{X}2\bar{X}1$
1	2	3	4	5
$\bar{X}\bar{8}\bar{4}\bar{X}2\bar{X}1$	$X2\bar{X}1 \vee$	$(X2)$	$(X1)$	$\bar{X}\bar{4}\bar{X}2 \vee$
$\bar{X}\bar{8}\bar{4}\bar{X}2\bar{X}1$	$(X4)$	$X4\bar{X}1 \vee$	$X4\bar{X}2 \vee$	$(\bar{X}1)$
$\bar{X}\bar{8}\bar{4}\bar{X}2\bar{X}1$	$X4\bar{X}2\bar{X}1 \vee$	$X4\bar{X}2 \vee$	$X4\bar{X}1 \vee$	$(X2)$

Продолжение таблицы 1.9

Разрешенные наборы	Запрещенные наборы		Остатки
	$\bar{X}\bar{8}\bar{4}\bar{X}2\bar{X}1$	$X\bar{8}\bar{4}\bar{X}2\bar{X}1$	
1	6	7	8
$\bar{X}\bar{8}\bar{4}\bar{X}2\bar{X}1$	$\bar{X}\bar{4}\bar{X}1 \vee$	$\bar{X}\bar{8}\bar{X}2\bar{X}1 \vee$	$X1X2$
$\bar{X}\bar{8}\bar{4}\bar{X}2\bar{X}1$	$(\bar{X}2)$	$\bar{X}\bar{8}X4 \vee$	$X4\bar{X}1\bar{X}2$
$\bar{X}\bar{8}\bar{4}\bar{X}2\bar{X}1$	$(X1)$	$\bar{X}\bar{8}\bar{X}4\bar{X}2\bar{X}1 \vee$	$X2\bar{X}1$

Таблица 1.10 – Покрытие существенных переменных

Остатки	Существенные переменные (разрешенные наборы)		
	$\bar{X}\bar{8}\bar{4}\bar{X}2\bar{X}1$	$\bar{X}\bar{8}\bar{4}\bar{X}2\bar{X}1$	$\bar{X}\bar{8}\bar{4}\bar{X}2\bar{X}1$
$X1X2$	\vee		\vee
$X4\bar{X}1\bar{X}2$		\vee	

Преобразуем полученные функции к виду, удобному для представления в базе «И-НЕ» по правилу де Моргана [5]:

$$Y1 = \overline{\bar{X}2\bar{X}1} \overline{\bar{X}4\bar{X}2\bar{X}1} = (X2 | X1) | (X4 | \bar{X}2 | \bar{X}1);$$

$$Y2 = \overline{\bar{X}8} \overline{\bar{X}4\bar{X}2} \overline{\bar{X}2\bar{X}1} = \bar{X}8 | (\bar{X}4 | X2) | (X2 | \bar{X}1);$$

$$Y3 = \overline{\bar{X}4\bar{X}1} \overline{\bar{X}2\bar{X}1} \overline{\bar{X}4\bar{X}2\bar{X}1} = (X4 | X1) | (\bar{X}2 | X1) | (\bar{X}4 | X2 | \bar{X}1);$$

$$Y4 = (X4 | X2 | \bar{X}1) | (\bar{X}8 | \bar{X}4 | \bar{X}2); Y5 = (\bar{X}2 | \bar{X}1) | (X4 | \bar{X}2).$$

Теперь можно построить схему преобразователя кодов на общих входах (рисунок 1.11).

Преобразователь кодов имеет условное графическое обозначение,

показанное на рисунке 1.12, а.

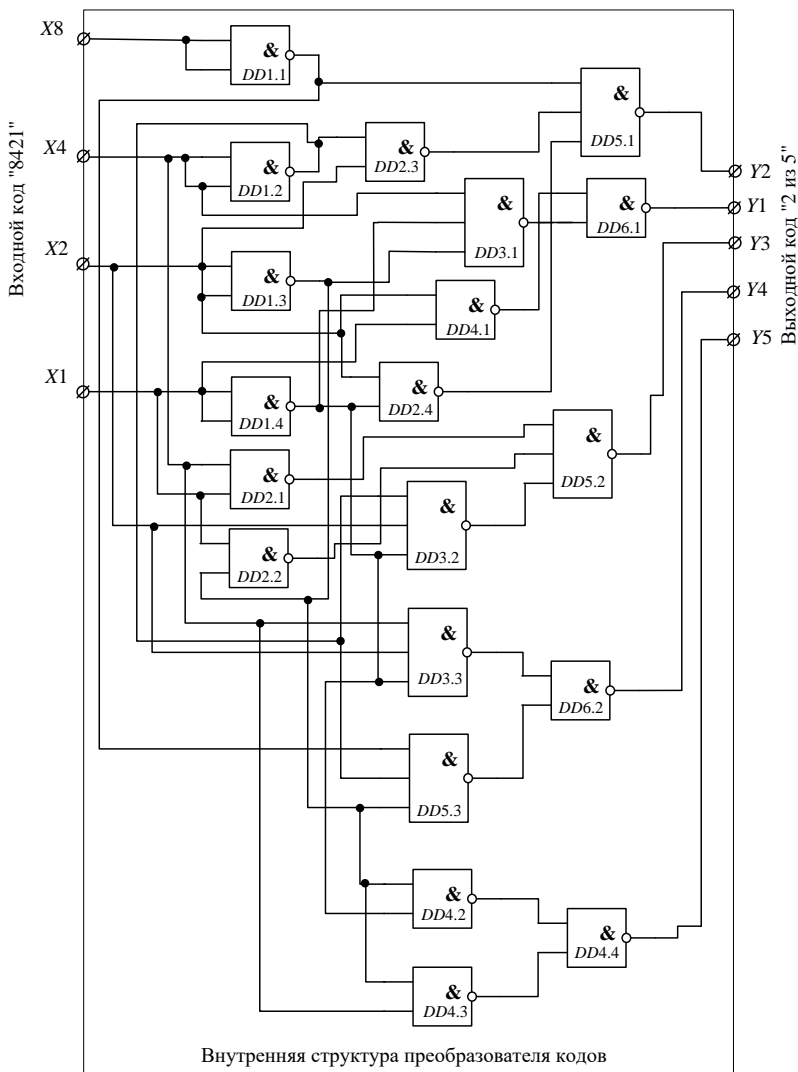


Рисунок 1.11 – Схема преобразователя из кода «8421» в код «2 из 5»

Рассмотрим пример построения преобразователя кодов для вывода двоичных чисел на семисегментный индикатор (рисунок 1.12, б). Если свечение сегмента индикатора отождествлять с

логической единицей на выходе преобразователя кодов, то в таком случае таблица истинности преобразователя для чисел от 0 до 9 в десятичном эквиваленте будет иметь вид, представленный в таблице 1.11.

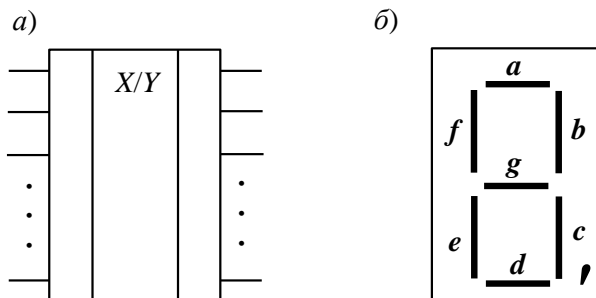


Рисунок 1.12 – Условные обозначения преобразователя кодов (а) и семисегментного индикатора (б)

Таблица 1.11 – Таблица истинности преобразователя в код семисегментного индикатора

Десятичное число	Входной код «8421»				Выходной код (состояния сегментов индикатора)						
	X8	X4	X2	X1	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

Упростим выходные частично заданные функции с помощью карт Карно (рисунок 1.13) и построим схему преобразователя в базе «ИЛИ-НЕ».

В результате упрощения на основе карт Карно получим следующие выражения:

$$a = (\bar{X}4 \vee X2 \vee X1)(X8 \vee X4 \vee X2 \vee \bar{X}1), \quad b = (\bar{X}4 \vee \bar{X}2 \vee X1)(\bar{X}4 \vee X2 \vee \bar{X}1), \quad c = X4 \vee \bar{X}2 \vee X1, \quad d = (\bar{X}4 \vee X2 \vee X1) \times$$

$\times (\bar{X}4 \vee \bar{X}2 \vee \bar{X}1)(X8 \vee X4 \vee X2 \vee \bar{X}1)$, $e = \bar{X}1(\bar{X}4 \vee X2)$, $f = (\bar{X}1 \vee \vee \bar{X}2)(X4 \vee \bar{X}2)(X8 \vee X4 \vee \bar{X}1)$, $g = (\bar{X}4 \vee \bar{X}2 \vee \bar{X}1)(X8 \vee X4 \vee X2)$.

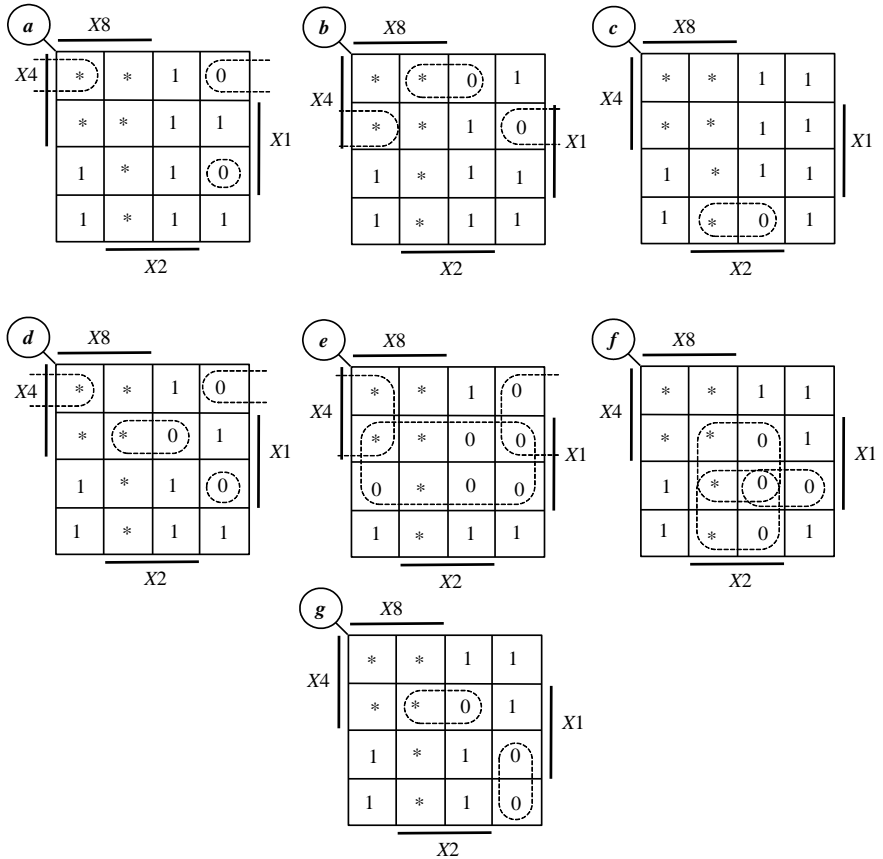


Рисунок 1.13 – Упрощение функций преобразователя в семисегментный код

Преобразуем полученные функции к виду, удобному для построения в базе «ИЛИ-НЕ»:

$$\begin{aligned}
 a &= \overline{\overline{\overline{\overline{\overline{\overline{\overline{X}4 \vee X2 \vee X1 \vee X8 \vee X4 \vee X2 \vee \bar{X}1}}}}}}}} \\
 &= (\bar{X}4 \downarrow X2 \downarrow X1) \downarrow (X8 \downarrow X4 \downarrow X2 \downarrow \bar{X}1), \quad b = (\bar{X}4 \downarrow \bar{X}2 \downarrow X1) \downarrow \\
 &\downarrow (\bar{X}4 \downarrow X2 \downarrow \bar{X}1), \quad c = \overline{\overline{\overline{\overline{\overline{X}4 \downarrow \bar{X}2 \downarrow X1}}}}}, \quad e = X1 \vee \overline{\overline{\overline{\overline{\overline{X}4 \vee X2}}}}} = X1 \downarrow (\bar{X}4 \downarrow X2),
 \end{aligned}$$

$$d = (\bar{X}4 \downarrow X2 \downarrow X1) \downarrow (\bar{X}4 \downarrow \bar{X}2 \downarrow \bar{X}1) \downarrow (X8 \downarrow X4 \downarrow X2 \downarrow \bar{X}1),$$

$$f = (\bar{X}1 \downarrow \bar{X}2) \downarrow (X4 \downarrow \bar{X}2) \downarrow (X8 \downarrow X4 \downarrow \bar{X}1), \quad g = (\bar{X}4 \downarrow \bar{X}2 \downarrow \bar{X}1) \downarrow$$

$$\downarrow (X8 \downarrow X4 \downarrow X2).$$

Построим схему преобразователя из кода «8421» в семисегментный код (рисунок 1.14) на базе общей шины.

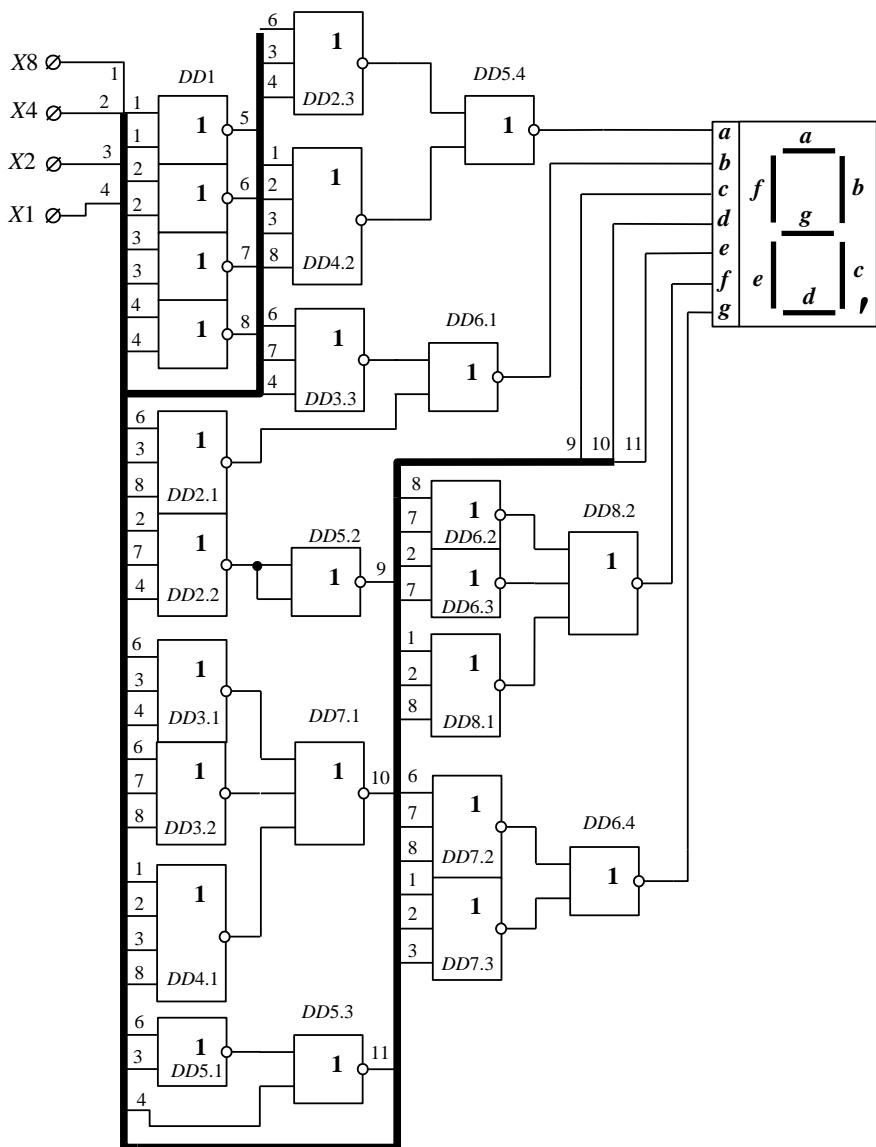


Рисунок 1.14 – Схема преобразователя из кода «8421» в семисегментный код и ее подключение

Далее рассмотрим процесс синтеза коммутирующих комбинационных устройств – мультиплексоров.

1.4 МУЛЬТИПЛЕКСОРЫ

Мультиплексор – комбинационное дискретное устройство, имеющее в общем случае входы данных D_n , адресные входы A_k , вход синхронизации C и выход Q [1]. Количество входов данных и адресных входов связано соотношением $n \leq 2^k - 1$ (рисунок 1.15).

В процессе функционирования мультиплексор подключает к выходу Q один из множества входов данных, номер которого задан на адресных входах при наличии сигнала синхронизации, который выступает в роли сигнала разрешения коммутации информации мультиплексором.

Вход синхронизации может отсутствовать, тогда мультиплексор будет асинхронным.

В устройствах и системах автоматики, телемеханики и связи мультиплексоры находят широкое применение не только в качестве устройств коммутации информации с нескольких входов на один выход, но также совместно со счетчиками импульсов их применяют для преобразования данных из параллельной формы представления в последовательную форму (в так называемых распределителях). Преобразователи формы применяются в системах телемеханики с распределительной и кодовой селекцией (избиранием объектов). Также мультиплексоры являются компонентами цифровых систем передачи информации.

Для построения мультиплексора необходимо составить его таблицу истинности, по которой получаем выражение функции выхода мультиплексора в зависимости от множеств входных сигналов A , D и C .

Пусть требуется получить схему синхронного мультиплексора на четыре входа данных в базисе «И-ИЛИ-НЕ». В этом случае необходимы два адресных входа, а таблица истинности мультиплексора имеет следующий вид (таблица 1.12):

Таблица 1.12 – Таблица истинности синхронного мультиплексора на 4 входа данных

Адресные входы		Вход синхронизации	Выход
A1	A2	C	Q

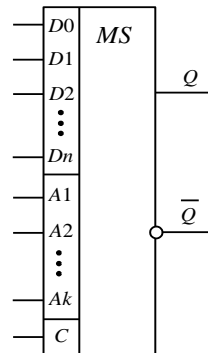


Рисунок 1.15 – Условное обозначение мультиплексора

0	0	1	$D0$
0	1	1	$D1$
1	0	1	$D2$
1	1	1	$D3$
*	*	0	0

Получим выражение функции выхода в виде совершенной дизъюнктивной нормальной формы $Q = \bar{A}1\bar{A}2CDO \vee \bar{A}1A2CD1 \vee \vee A1\bar{A}2CD2 \vee A1A2CD3 = C(\bar{A}1\bar{A}2D0 \vee \bar{A}1A2D1 \vee A1\bar{A}2D2 \vee A1A2D3)$.

На основе формулы построим схему мультиплексора (рисунок 1.16).

Рассмотрим процесс синтеза асинхронного мультиплексора на девять входов данных в базисе «И-НЕ». Асинхронный мультиплексор не имеет входа синхронизации и поэтому его используют в медленнодействующих схемах. Его функционирование определяется таблицей 1.13. Количество адресных входов из соотношения $n \leq 2^k - 1$ или $9 \leq 2^4 - 1$ равно четырем.

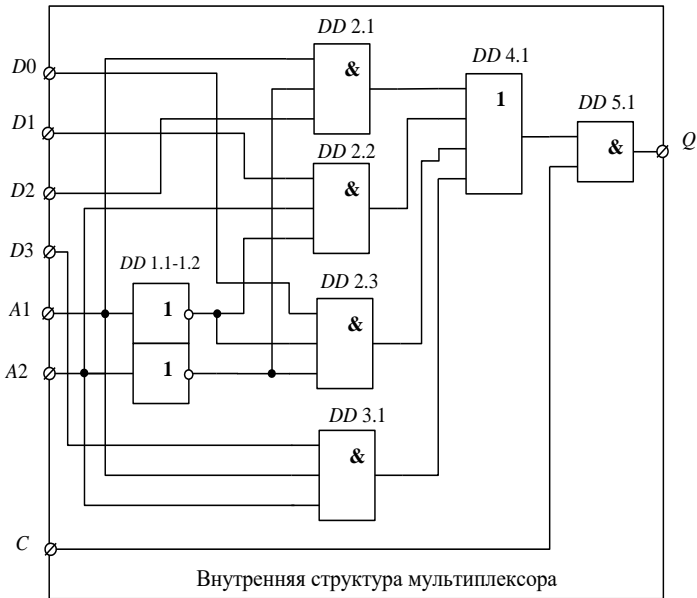


Рисунок 1.16 – Схема синхронного мультиплексора на четыре входа данных

Таблица 1.13 – Таблица истинности асинхронного мультиплексора на 9 входов данных

Адресные входы	Выход
----------------	-------

A1	A2	A3	A4	Q
0	0	0	0	D0
0	0	0	1	D1
0	0	1	0	D2
0	0	1	1	D3
0	1	0	0	D4
0	1	0	1	D5
0	1	1	0	D6
0	1	1	1	D7
1	0	0	0	D8

Поскольку не все комбинации адресных входов задействованы для синтеза мультиплексора, то выходная функция задана частично и мы можем ее упростить с помощью карты Карно (рисунок 1.17). В карте будет столько контуров, сколько входов данных у синтезируемого мультиплексора. Звездочками в карте отмечены незадействованные комбинации адресных входов.

В результате обработки карты Карно получаем функцию выхода мультиплексора

$$\begin{aligned}
 Q = & \bar{A}1\bar{A}2\bar{A}3\bar{A}4 D0 \vee \\
 & \bar{A}2\bar{A}3A4 D1 \vee \bar{A}2A3\bar{A}4 D2 \vee \\
 & \bar{A}2A3A4D3 \vee A2\bar{A}3\bar{A}4D4 \vee \\
 & A2\bar{A}3A4D5 \vee A2A3\bar{A}4D6 \\
 & \vee A2A3A4D7 \vee A1D8 .
 \end{aligned}$$

С помощью закона двойственности преобразуем полученную функцию к виду, удобному для построения в базисе «И-НЕ»:

$$\begin{aligned}
 Q = & (\bar{A}1 | \bar{A}2 | \bar{A}3 | \bar{A}4 | D0) | (\bar{A}2 | \bar{A}3 | A4 | D1) | (\bar{A}2 | A3 | \bar{A}4 | D2) | \\
 & | (\bar{A}2 | A3 | A4 | D3) | (A2 | \bar{A}3 | \bar{A}4 | D4) | (A2 | \bar{A}3 | A4 | D5) | (A2 | A3 | \\
 & | \bar{A}4 | D6) | (A2 | A3 | A4 | D7) | (A1 | D8) .
 \end{aligned}$$

На основе полученной формулы построим схему мультиплексора (рисунок 1.18) с использованием шинной структуры.

На схеме у элемента DD2 использованы только пять входов из восьми, поэтому неиспользуемые входы подключены параллельно к используемым входам (ножки 14, 15 и 5). По формуле выхода мультиплексора необходимо реализовать функцию Шеффера на 9

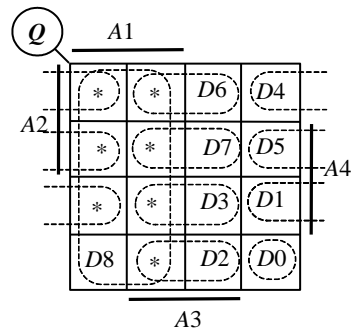


Рисунок 1.17 – Упрощение функции выхода мультиплексора на девять входов данных

входов. Данная функция реализована на элементах *DD8*, *DD6.2* и *DD6.3*, так как отсутствует микросхема на девять входов. При этом выполнено преобразование исходной функции по принципу

$$F = \overline{X1X2X3X4X5X6X7X8X9} = \overline{X1X2X3X4X5X6X7X8X9} = \overline{(X1|X2|X3|X4|X5|X6|X7|X8)|X9}.$$

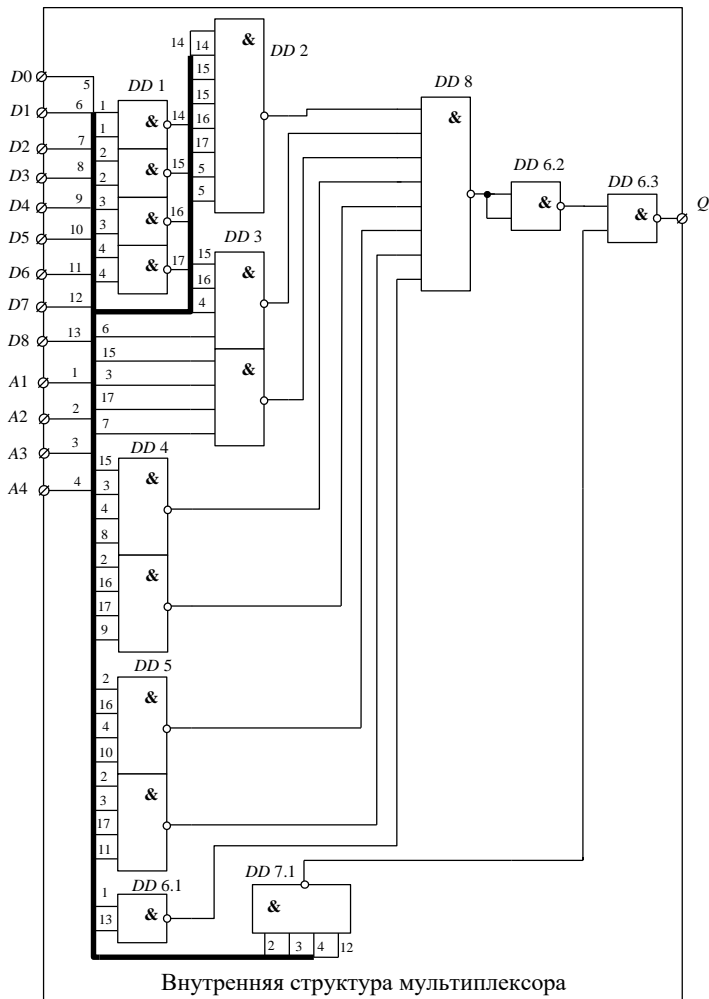


Рисунок 1.18 – Схема асинхронного мультиплексора на 9 входов данных

Рассмотрим далее процесс построения демультиплексоров –

устройств, выполняющих обратную мультиплексорам задачу.

1.5 ДЕМУЛЬТИПЛЕКСОРЫ

Демультиплексор – комбинационное дискретное устройство, имеющее в общем случае вход данных D , адресные входы A_k , вход синхронизации C и выходы Q_n [4]. Количество выходов и адресных входов связано соотношением $n \leq 2^k - 1$ (рисунок 1.19).

В процессе функционирования демультиплексор подключает вход данных к тому из выходов, номер которого задан на адресных входах при наличии сигнала синхронизации. Демультиплексоры также бывают и асинхронными. В таком случае у них отсутствует вход C .

В системах и устройствах автоматики, телемеханики и связи демультиплексоры широко используют не только в качестве устройств коммутации с одного входа на несколько выходов, но также совместно со счетчиками импульсов их применяют для преобразования данных из последовательной формы

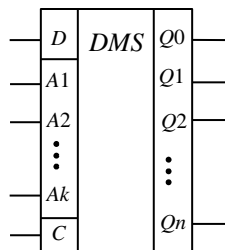


Рисунок 1.19 – Условное обозначение демультиплексора

представления в параллельную. Как правило, такое преобразование выполняется на приемной стороне систем телемеханики и связи.

При построении демультиплексора составляют его таблицу истинности, по которой получают выражения функций выходов демультиплексора в зависимости от множества входных сигналов A , D и C .

Пусть необходимо построить схему синхронного демультиплексора на пять выходов данных в базисе «И-НЕ». В этом случае необходимы три адресных входа, а функционирование демультиплексора определяется в соответствии с таблицей 1.14.

Поскольку при трех адресных входах можно коммутировать данные на восемь выходов по формуле $n = 2^k$, а в данном случае используется лишь пять выходов, то их функции будут частично заданы и мы упростим их с помощью карт Карно (рисунок 1.20).

Таблица 1.14 – Таблица истинности демультиплексора на 5 выходов данных

Входы				Выходы				
A1	A2	A3	C	Q0	Q1	Q2	Q3	Q4
0	0	0	1	D	0	0	0	0
0	0	1	1	0	D	0	0	0
0	1	0	1	0	0	D	0	0
0	1	1	1	0	0	0	D	0
1	0	0	1	0	0	0	0	D
*	*	*	0	0	0	0	0	0

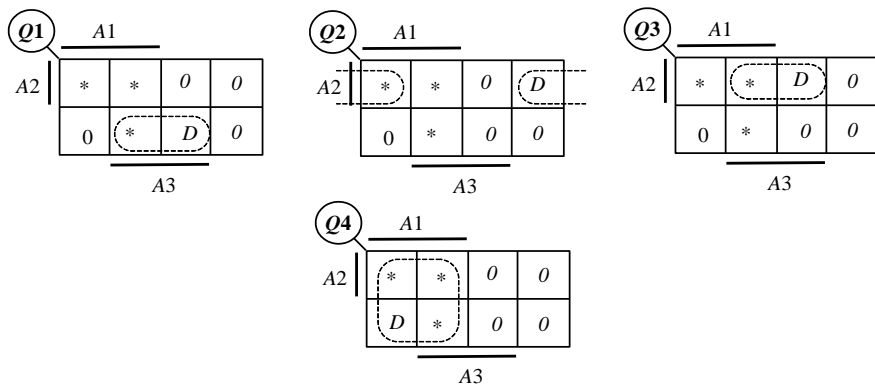


Рисунок 1.20 – Упрощение функций выходов демультиплексора

Неопределенные состояния в картах $A1\bar{A}2A3$, $A1A2\bar{A}3$ и $A1A2A3$. Конъюнкция для выхода $Q0$ не упрощается, а для остальных выходов получаем следующие выражения: $Q1 = \bar{A}2A3D$, $Q2 = A2\bar{A}3D$, $Q3 = A2A3D$, $Q4 = A1D$. Тогда выходные функции с учетом входа синхронизации будут иметь следующий вид: $Q0 = \bar{A}1\bar{A}2\bar{A}3CD$; $Q1 = \bar{A}2A3CD$, $Q2 = A2\bar{A}3CD$, $Q3 = A2A3CD$, $Q4 = A1CD$. Преобразуем полученные функции к виду, удобному для построения в базе «И-НЕ», с помощью закона двойного отрицания $Q0 = \overline{\overline{A1A2A3CD}} = \overline{A1|A2|A3|C|D}$, $Q1 = \overline{\overline{A2A3CD}} = \overline{A2|A3|C|D}$, $Q2 = \overline{\overline{A2\bar{A}3CD}} = \overline{A2|A3|C|D}$, $Q3 = \overline{\overline{A2A3CD}} = \overline{A2|A3|C|D}$, $Q4 = \overline{\overline{A1CD}} = \overline{A1|C|D}$.

Построим схему демультиплексора (рисунок 1.21).

Рассмотрим процесс синтеза асинхронного демультиплексора на девять выходов данных в базе «ИЛИ-НЕ», представленного таблицей 1.15.

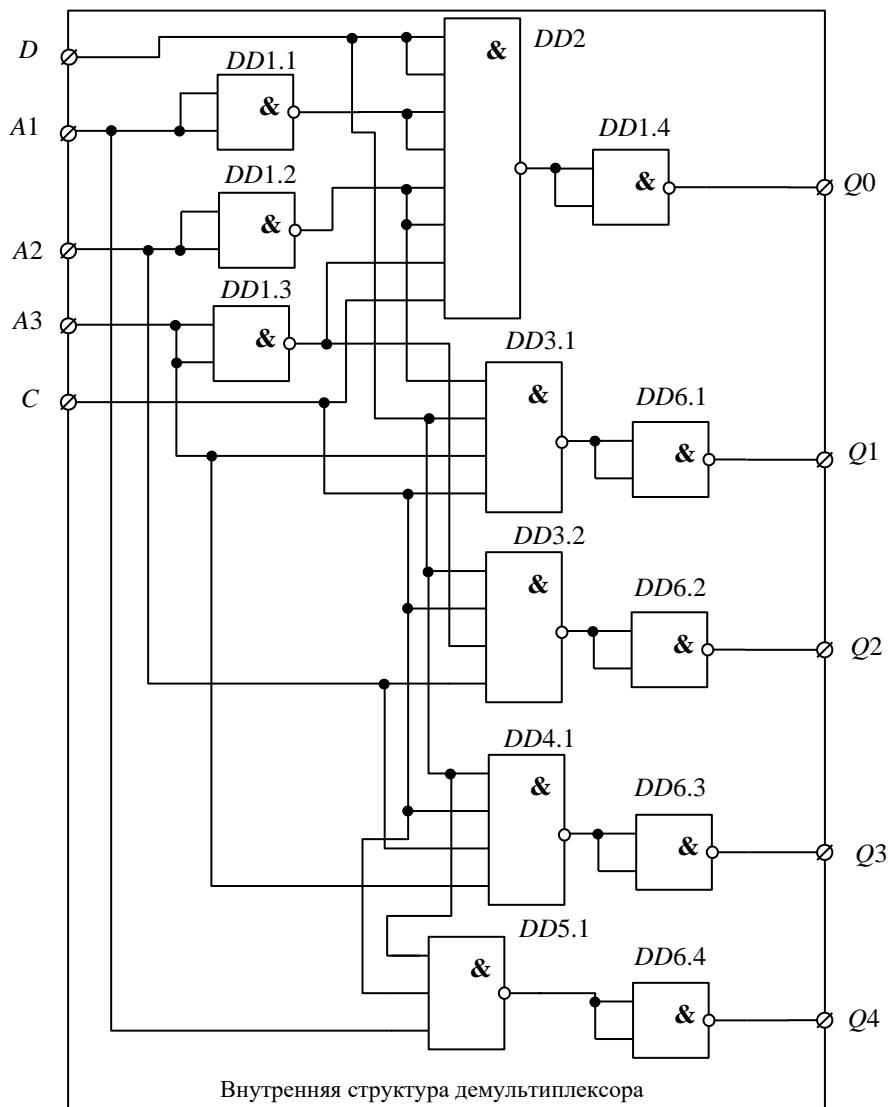


Рисунок 1.21 – Схема синхронного демультиплексора на 5 выходов данных в базисе «И-НЕ»

Таблица 1.15 – Таблица истинности асинхронного демультиплексора на 9 выходов данных

Входы				Выходы								
A1	A2	A3	A4	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8
0	0	0	0	D	0	0	0	0	0	0	0	0
0	0	0	1	0	D	0	0	0	0	0	0	0
0	0	1	0	0	0	D	0	0	0	0	0	0
0	0	1	1	0	0	0	D	0	0	0	0	0
0	1	0	0	0	0	0	0	D	0	0	0	0
0	1	0	1	0	0	0	0	0	D	0	0	0
0	1	1	0	0	0	0	0	0	0	D	0	0
0	1	1	1	0	0	0	0	0	0	0	D	0
1	0	0	0	0	0	0	0	0	0	0	0	D

Поскольку в таблице истинности задействованы не шестнадцать, а девять кодовых слов при четырех адресных переменных, выходные функции будут частично заданы и большинство из них упростятся. Упрощение функций аналогично тому, как это выполнено при построении демультиплексора на пять выходов данных. Только в данном случае используются карты Карно на 16 клеток (так как есть четыре адресных входа). Запишем функции выходов (с учетом упрощения) и преобразуем их к виду, удобному для построения в базисе «ИЛИ-НЕ» с применением закона двойственности:

$$Q0 = \overline{A1A2A3A4}D = \overline{A1 \vee A2 \vee A3 \vee A4 \vee \overline{D}} = A1 \downarrow A2 \downarrow A3 \downarrow A4 \downarrow \overline{D},$$

$$Q1 = \overline{A2A3A4}D = A2 \downarrow A3 \downarrow \overline{A4} \downarrow \overline{D}, \quad Q2 = \overline{A2A3A4}D = A2 \downarrow \overline{A3} \downarrow A4 \downarrow \overline{D},$$

$$Q3 = A2 \downarrow \overline{A3} \downarrow \overline{A4} \downarrow \overline{D}, \quad Q4 = \overline{A2} \downarrow A3 \downarrow A4 \downarrow \overline{D}, \quad Q5 = \overline{A2} \downarrow A3 \downarrow \overline{A4} \downarrow \overline{D},$$

$$Q6 = \overline{A2} \downarrow \overline{A3} \downarrow A4 \downarrow \overline{D}, \quad Q7 = \overline{A2} \downarrow \overline{A3} \downarrow \overline{A4} \downarrow \overline{D}, \quad Q8 = \overline{A1} \downarrow \overline{D}.$$

По полученным формулам построим схему мультиплексора с использованием общей шины (рисунок 1.22). Соединяя последовательно выход мультиплексора и вход данных демультиплексора, можно получить устройство, позволяющее коммутировать любой из входов данных к любому из выходов – **многоканальный селектор** (рисунок 1.23).

Многоканальные селекторы часто используются в цифровых автоматических телефонных станциях для соединения различных абонентов друг с другом.

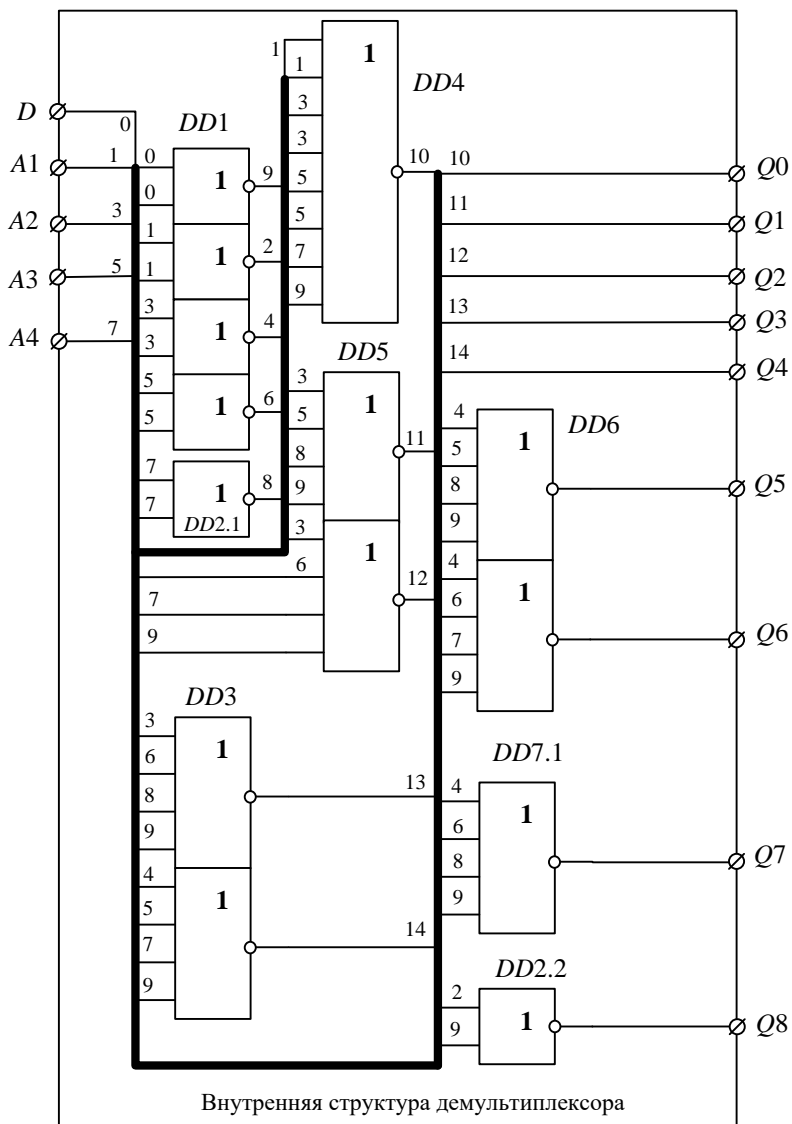


Рисунок 1.22 – Схема асинхронного демультиплексора на девять выходов данных в базисе «ИЛИ-НЕ»

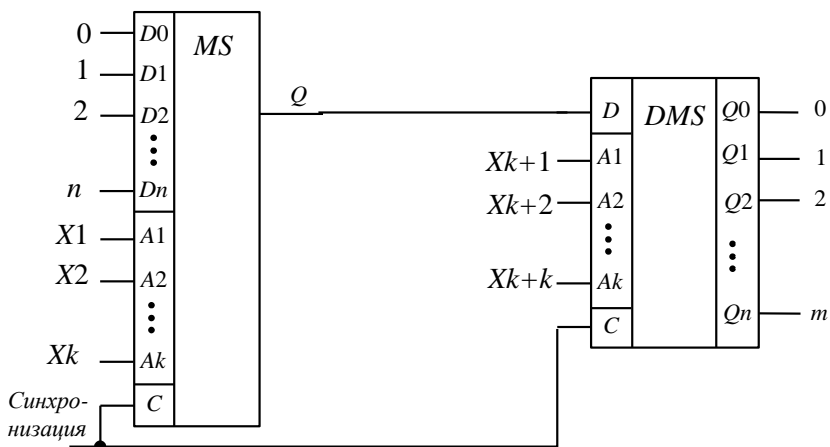


Рисунок 1.23 – Схема многоканального синхронного селектора

1.6 СЧЕТЧИКИ ИМПУЛЬСОВ

Счетчики импульсов – это дискретные устройства с памятью, осуществляющие подсчет числа поступающих входных импульсов и хранящих подсчитанное число в виде двоичного кода [3, 6, 7].

Счетчики характеризуются такими параметрами, как быстродействие и информационная емкость. Быстродействие счетчика определяется разрешающей способностью t_p и временем установки t_y очередного состояния.

Разрешающая способность обратно пропорциональна частоте входных сигналов ($t_p = 1/f_{вх}$). Поэтому под разрешающей способностью счетчика понимают минимально допустимый интервал времени между двумя входными сигналами, при котором не происходит потеря информации.

Время установки счетчика есть промежуток времени от момента поступления входного сигнала до момента завершения переключения счетчика в новое состояние.

Информационная емкость счетчика или коэффициент счета – максимальное количество импульсов, которое может подсчитать счетчик.

По направлению счета счетчики разделяют на суммирующие,

вычитающие и реверсивные. В *суммирующих* счетчиках с каждым последующим импульсом увеличивается на единицу число, подсчитанное счетчиком. В *вычитающих* счетчиках с каждым последующим импульсом уменьшается на единицу число, подсчитанное счетчиком. *Реверсивные* счетчики могут работать как в режиме суммирования, так и вычитания, в зависимости от настроек схемы управления счетчика.

Простейшим счетчиком, коэффициент счета которого равен двум, является *счетный триггер*. Коэффициент счета (максимальное количество состояний, включая начальное) $K_{сч}$ связан с количеством триггеров m соотношением $K_{сч} \leq 2^k$. Если $K_{сч} = 2^k$ ($k \geq 0$), то счетчик относят к двоичным, а если $K_{сч} = 10^k$ ($k > 0$) – к десятичным. Существуют также счетчики с произвольным модулем счета N , для которых $K_{сч} = N^k$ ($k > 0$). Например, в устройствах счета времени используют счетчики, у которых $N = 60$.

Быстродействие схемы счетчика определяется используемым переносом сигнала между разрядами. По способу переноса различают счетчики с *последовательным*, *параллельным* и *смешанным* (комбинированным) переносом. В счетчиках с последовательным переносом (асинхронных) сигнал передается последовательно с выхода триггера младшего разряда на вход триггера старшего разряда. В счетчиках с *параллельным* переносом (синхронных) информация передается одновременно всем триггерам. В *комбинированных* счетчиках, используемых при больших коэффициентах счета, разряды разбиваются на группы, в которых реализуется параллельный перенос, а между группами – последовательный.

В устройствах и системах автоматики, телемеханики и связи счетчики используют также при построении распределителей, преобразователей формы сигнала (совместно с мультиплексорами и демультиплексорами), при построении устройств отсчета интервалов времени, устройств избирания (совместно с дешифраторами и шифраторами) и ряде других.

Рассмотрим примеры построения различных типов счетчиков.

1.6.1 Счетчики с последовательным переносом

Наиболее просто строятся счетчики с последовательным переносом.

При этом триггеры счетчиков приводятся к счетным. Так D -триггер приводится к счетному соединением инверсного выхода со входом D , а счетным входом является вход C . Для включения JK -триггера в счетный режим соединяют вместе входы J и K и подают на них логическую единицу, а счетным входом является также вход C триггера.

При построении асинхронных счетчиков следует учитывать, как переключается используемый для их построения тип триггеров. Если триггеры переключаются по фронту входного импульса, то для построения суммирующего счетчика необходимо соединить инверсный выход каждого из младших разрядов (триггеров) со счетным входом старшего разряда, а для построения вычитающего счетчика соединяется со счетным входом старшего разряда прямой выход триггера младшего разряда.

В том случае, если применяются триггеры с переключением по срезу входного импульса, то прямой и инверсный выходы триггеров меняются местами при подключении по отношению к тому, как это выполняется для случая с триггерами, переключающимися по фронту.

Пусть, например, требуется построить суммирующий счетчик с коэффициентом счета $K_{сч} = 17$ (счет ведется от 0 до 16) на D -триггерах, переключающихся по фронту входного импульса. Для построения счетчика требуется $k = \text{int}[\log_2 K_{сч}]$ триггеров, где “int” обозначает ближайшее целое число, с округлением до целого числа в большую сторону. Также для определения количества триггеров на практике часто используют соотношение $2^{k-1} \leq K_{сч} \leq 2^k$. При $K_{сч} = 17$ получим $k = \text{int}[\log_2 17]$ или $2^{5-1} \leq 17 \leq 2^5$ ($16 < 17 < 32$), т.е. потребуется $k = 5$ триггеров. Кроме того, при построении схемы счетчика следует учесть, что 5 триггеров позволяют обеспечить $K_{сч} = 32$ (от 0 до 31), а нам требуется только до 16. Поэтому в схему счетчика (рисунок 1.24) добавим узел автоматического сброса, срабатывающий при достижении числа 16.

Для того чтобы счетчик мог четко зафиксировать число шестнадцать, при определении условия сброса используется следующее за ним число семнадцать, т. е. конъюнкция $Q5\bar{Q}4\bar{Q}3\bar{Q}2Q1$, реализованная на элементе $DD4$. Кроме того, узел сброса дополним логическим элементом $DD5.1$ и кнопкой «SB», подключенной через ограничивающий резистор R . Использование

элемента *DD5.1* позволяет по выбору осуществлять как автоматический сброс сигналом с элемента *DD4*, так и выполнить ручной сброс с помощью нажатия на кнопку «*SB*» и подачи, таким образом, сигнала логической единицы на входы сброса *R* триггеров счетчика.

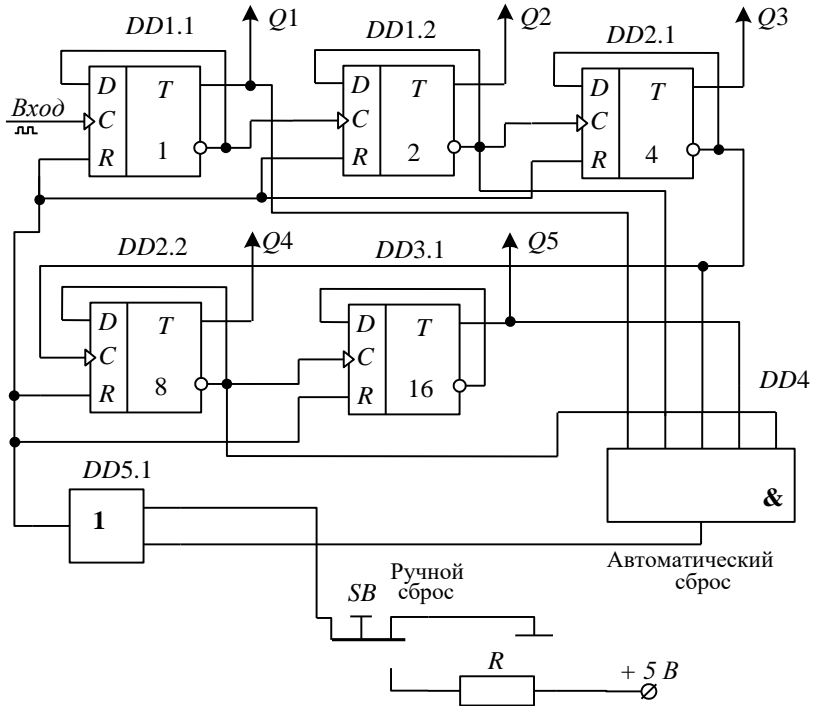


Рисунок 1.24 – Схема суммирующего счетчика на *D*-триггерах с коэффициентом счета 17

Если же нам необходимо построить счетчик при тех же условиях, но вычитающий, то схема изменится в части организации межтриггерных связей и схемы включения элементов управления. Для организации режима вычитания сигнал переноса будет подаваться на каждый из старших разрядов с прямого (а не инверсного, как у суммирующего счетчика) выхода триггера младшего разряда. Кроме того, нам необходимо реализовать схему установки (а не сброса, как у суммирующего счетчика) триггеров счетчика для получения того числа, от которого следует начать

вычитание. Поскольку некоторые триггеры потребуется устанавливать в единичное состояние, то используем такие триггеры, у которых, кроме входа сброса R , есть вход асинхронной установки S (рисунок 1.25).

При нажатии на кнопку установки “ SB ” на входы R первого, второго, третьего и четвертого триггеров и на вход S пятого триггера будет подана логическая единица. Это приведет к тому, что на выходах триггеров счетчика установится число шестнадцать, от которого и будет выполняться вычитание. Все незадействованные входы S и R триггеров подключаем к «земле» для обеспечения устойчивой работы счетчика. Подключение к «земле», представляющей собой логический нуль, неинверсных входов асинхронной установки триггеров делает их менее восприимчивыми к помехам. При этом также не произойдет нарушения алгоритма работы триггеров, так как по асинхронным входам они управляются логической единицей, а не логическим нулем.

Схема счетчика реализована таким образом, что после достижения числа «нуль» (когда все триггеры установились в нуль), со следующим входным импульсом все триггеры переключатся в единицу и счетчик окажется в состоянии 31. Однако это нам не требуется, поскольку $K_{сч}$ в таком случае будет равен 32, а не 17. Поэтому схему управления следует дополнить логическим элементом $DD5$, который будет отслеживать число 31 (конъюнкция $Q1Q2Q3Q4Q5$) и выполнять автоматическую переустановку счетчика в число 16 для обеспечения $K_{сч} = 17$.

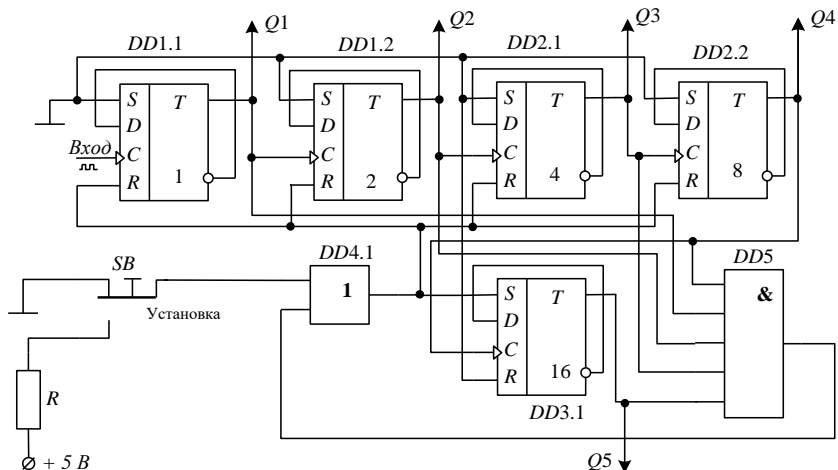


Рисунок 1.25 – Схема вычитающего счетчика на D -триггерах с коэффициентом счета 17

Реализуем схему асинхронного суммирующего счетчика с $K_{сч} = 12$ на JK -триггерах, переключающихся по срезу (рисунок 1.26). Для обеспечения требуемого $K_{сч}$ необходимо $k = \text{int}[\log_2 12] = 4$ триггера.

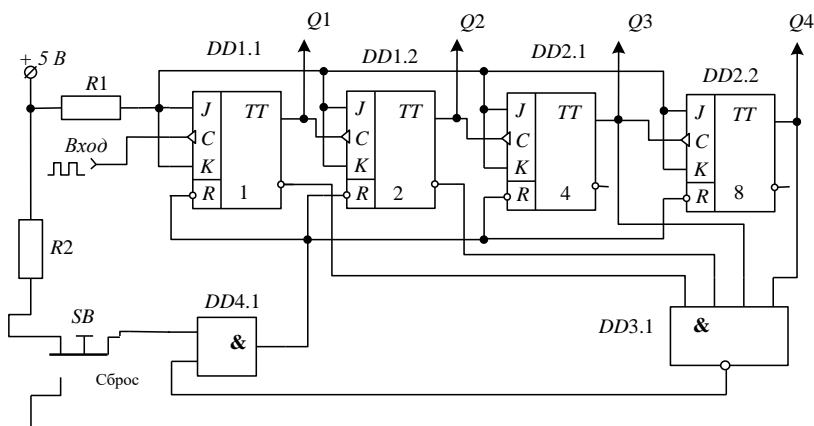


Рисунок 1.26 – Схема суммирующего счетчика на JK -триггерах с коэффициентом счета, равным двенадцати

Включим триггеры в счетный режим, соединив вместе входы J и K и подав на них логическую единицу. Поскольку триггеры двухступенчатые и переключаются по срезу, то для организации

режима суммирования необходимо соединять прямые выходы младших триггеров со счетными входами триггеров старших разрядов. Схема управления счетчиком состоит из кнопки ручного сброса SB , логического элемента $DD3.1$, вычисляющего сигнал автоматического сброса по достижении числа двенадцать (согласно $K_{сч}$) и элемента увязки $DD4.1$, выбирающего режим сброса (ручной или автоматический).

Хотя счетчики с последовательным переносом легко синтезируются и обладают схемной простотой, они являются относительно медленнодействующими. В таких счетчиках сигнал переключения (переноса) прежде чем дойдет до i -го разряда должен пройти через $(i - 1)$ разряд, что накладывает ограничение на интервал между соседними входными импульсами. Этот интервал должен быть больше, чем $t_n(k - 1)$, где t_n – время переключения триггера, k – количество триггеров (разрядов) схемы счетчика.

Другой недостаток асинхронных счетчиков заключается в том, что в ходе переключения младшие разряды принимают новые состояния, в то время как старшие еще находятся в прежнем. Из-за этого счетчик при смене одного числа другим проходит ряд промежуточных состояний, каждое из которых может быть принято за код числа пришедших на вход счетчика импульсов.

В том случае, когда для дискретной системы, в которую входит асинхронный счетчик, отмеченные недостатки являются существенными, используют синхронный счетчик.

1.6.2 Счетчики с параллельным переносом

В отличие от асинхронных в синхронных счетчиках ко всем разрядам информация о состоянии предыдущих разрядов поступает параллельно так же, как и входные (подсчитываемые) импульсы. Триггеры счетчиков с параллельным переносом переключаются, вследствие этого, одновременно. Из-за того, что необходимо обеспечивать одновременность переключений разрядов синхронных счетчиков, логические цепи между триггерами усложнены и процесс синтеза синхронных счетчиков более трудоемок по сравнению с процессом синтеза асинхронных счетчиков. Рассмотрим примеры.

Построим суммирующий счетчик с параллельным переносом на JK -триггерах и $K_{сч} = 7$. Логические связи между триггерами

реализуем в базисе «И-НЕ».

Для синтеза данного счетчика необходимо построить таблицу истинности, в которую включаются столбцы текущих и последующих состояний триггеров счетчика, столбцы определения функций возбуждения (вызывающих переключения) триггеров и столбец номера входного импульса. Количество триггеров счетчика определяется по той же формуле, что и для асинхронных счетчиков.

Заполнение столбцов функций возбуждения триггеров осуществляется на основе таблицы переходов *JK*-триггера (таблица 1.16).

Таблица 1.16 – Таблица переходов *JK*-триггера

Изменение сигнала на выходе Q	Что подать на вход J	Что подать на вход K
$0 \rightarrow 0$	0	\sim
$0 \rightarrow 1$	1	\sim
$1 \rightarrow 0$	\sim	1
$1 \rightarrow 1$	\sim	0

Количество триггеров для $K_{сч} = 7$ будет равно $k = \text{int}[\log_2 7] = 3$. Заполним таблицу истинности счетчика (таблица 1.17). В последней строке таблицы зададим переход триггеров в исходные (нулевые) состояния, что равносильно автоматическому сбросу счетчика.

Таблица 1.17 – Таблица истинности счетчика с $K_{сч} = 7$ на *JK*-триггерах

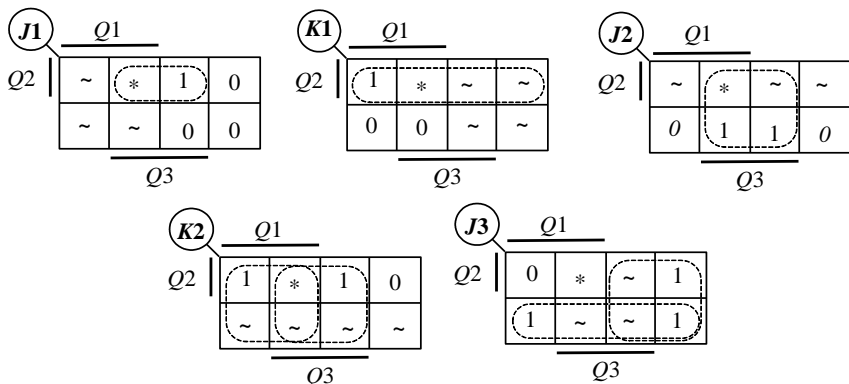
Номер входного импульса	Текущие состояния триггеров			Последующие состояния триггеров			Функции возбуждения					
	Q_1	Q_2	Q_3	Q_1	Q_2	Q_3	J_1	K_1	J_2	K_2	J_3	K_3
0	0	0	0	0	0	1	0	\sim	0	\sim	1	\sim
1	0	0	1	0	1	0	0	\sim	1	\sim	\sim	1
2	0	1	0	0	1	1	0	\sim	\sim	0	1	\sim
3	0	1	1	1	0	0	1	\sim	\sim	1	\sim	1
4	1	0	0	1	0	1	\sim	0	0	\sim	1	\sim
5	1	0	1	1	1	0	\sim	0	1	\sim	\sim	1
6	1	1	0	0	0	0	\sim	1	\sim	1	0	\sim

Поскольку счетчик должен быть суммирующим, то в столбце с номером входного импульса десятичное число все время увеличивается на единицу. Столбцы текущих состояний показывают

код десятичного числа в столбце с номером входного импульса, а столбцы последующих состояний показывают увеличенный на единицу код десятичного числа столбца с номером входного импульса. По сути таблицу истинности строят для определения функций возбуждения J и K триггеров таким образом, чтобы они вызвали реализацию триггерами алгоритма суммирования в двоичной интерпретации. После того как текущие и последующие состояния триггеров заполнены, приступают к определению функций J_i и K_i для каждого из триггеров счетчика.

Для каждой строки таблицы истинности смотрим, как должны переключаться из текущего состояния в последующее триггеры $Q1$, $Q2$ и $Q3$ в отдельности и соответственно этим переключениям проставляем значения соответствующих им функций $J1, K1; J2, K2$ и $J3, K3$ по таблице 1.16. Так для первой строки таблицы истинности имеем: $Q1$ должен остаться в нулевом состоянии ($0 \rightarrow 0$), тогда получаем, что $J1 = 0$ и $K1 = \sim$; $Q2$ должен также остаться в нулевом состоянии ($0 \rightarrow 0$), тогда $J2 = 0$ и $K2 = \sim$; $Q3$ должен перейти в единичное состояние ($0 \rightarrow 1$), тогда $J3 = 1$ и $K3 = \sim$.

После заполнения таблицы истинности выполняем упрощение функций J_i и K_i с учетом того, что эти функции заданы частично (кроме того, что есть безразличные состояния входов триггеров « \sim », существует также незадействованное состояние «*»: $Q1 = 1, Q2 = 1, Q3 = 1$, в которое счетчик по алгоритму не попадет). Учитывая, что для функции $K3$ в таблице истинности нет нулей, можно сразу записать $K3 = 1$. Остальные функции упростим при помощи карт Карно (рисунок 1.27). Адресные переменные для карт – текущие состояния триггеров счетчика.



$$J1 = Q2Q3; \quad K1 = Q2; \quad J2 = Q3; \quad K2 = Q1 \vee Q3; \quad J3 = \overline{Q1} \vee \overline{Q2}.$$

Рисунок 1.27 – Упрощение функций суммирующего счетчика с коэффициентом счета семь на JK-триггерах

Преобразуем полученные функции к базису «И-НЕ», используя законы двойного отрицания и двойственности: $J1 = \overline{Q2} \overline{Q3} = \overline{Q2 | Q3}$; $K2 = \overline{Q1} \overline{Q3} = \overline{Q1 | Q3}$; $J3 = \overline{Q1} \overline{Q2} = \overline{Q1 | Q2}$. Схема счетчика приведена на рисунке 1.28.

Поскольку в таблице истинности был задан переход счетчика в исходное состояние при достижении им максимального числа счета, то не требуется и специальная схема сброса. Однако, так как счетчики являются составными частями более сложных дискретных устройств, то должна присутствовать возможность их произвольного сброса согласованно с остальными частями общей схемы дискретного устройства. Поэтому в схему счетчика добавляют в таких случаях и узел сброса, задействовав входы R асинхронной установки триггеров в нуль. Выполняется этот этап по аналогии с построением схем управления асинхронных счетчиков (на рисунке 1.28 узел сброса не представлен).

Построим вычитающий счетчик на D -триггерах с параллельным переносом и $K_{сч} = 11$. Логические связи между триггерами реализуем в базисе «ИЛИ-НЕ».

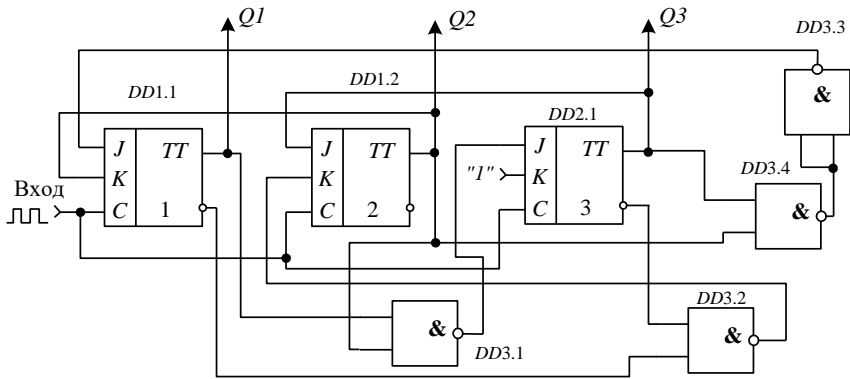


Рисунок 1.28 – Схема суммирующего счетчика с коэффициентом счета семь на *JK*-триггерах

Методика синтеза счетчика на *D*-триггерах отличается от методики синтеза счетчика на *JK*-триггерах использованием таблицы переходов для *D*-триггера (таблица 1.18). Поскольку счетчик должен быть вычитающим, то в столбце с номером входного импульса десятичное число все время уменьшается на единицу, начиная от значения $(K_{сч} - 1)$, т.е. от десяти.

Столбцы текущих состояний в таблице истинности счетчика (таблица 1.19) показывают код десятичного числа в столбце с номером входного импульса, а столбцы последующих состояний – уменьшенный на единицу код десятичного числа столбца с номером входного импульса.

Таблица 1.18 – Таблица переходов *D*-триггера

Изменение сигнала на выходе Q	Что подать на вход D	Изменение сигнала на выходе Q	Что подать на вход D
$0 \rightarrow 0$	0	$1 \rightarrow 0$	0
$0 \rightarrow 1$	1	$1 \rightarrow 1$	1

Для построения счетчика необходимо $k = \text{int}[\log_2 11] = 4$ триггера. Таблицу истинности составляют с целью определения функций возбуждения D_i триггеров таким образом, чтобы они вызвали реализацию триггерами алгоритма вычитания в двоичном эквиваленте. После того как текущие и последующие состояния триггеров заполнены, приступают к определению функций D_i каждого триггера счетчика.

Таблица 1.19 – Таблица истинности вычитающего счетчика с $K_{сч} = 11$ на D -триггерах

Номер входного импульса	Текущие состояния триггеров				Последующие состояния триггеров				Функции возбуждения			
	Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4	D1	D2	D3	D4
10	1	0	1	0	1	0	0	1	1	0	0	1
9	1	0	0	1	1	0	0	0	1	0	0	0
8	1	0	0	0	0	1	1	1	0	1	1	1
7	0	1	1	1	0	1	1	0	0	1	1	0
6	0	1	1	0	0	1	0	1	0	1	0	1
5	0	1	0	1	0	1	0	0	0	1	0	0
4	0	1	0	0	0	0	1	1	0	0	1	1
3	0	0	1	1	0	0	1	0	0	0	1	0
2	0	0	1	0	0	0	0	1	0	0	0	1
1	0	0	0	1	0	0	0	0	0	0	0	0
0	0	0	0	0	1	0	1	0	1	0	1	0

Анализируя данные таблицы 1.19, легко заметить, что значения функций возбуждения совпадают с теми значениями выходов триггеров, в которые они должны переключиться, что облегчает заполнение подобных таблиц в последующем.

Выполним упрощение функций возбуждения триггеров с помощью карт Карно (рисунок 1.29) с учетом того, что наборы 11 – 15 не используются в таблице истинности, и поэтому упрощаемые функции заданы частично.

В результате упрощения получим: $D1 = Q1Q3 \vee Q1Q4$; $D2 = Q2Q4 \vee Q2Q3 \vee Q1\bar{Q}3\bar{Q}4$; $D3 = Q3Q4 \vee \bar{Q}3\bar{Q}4$; $D4 = Q2\bar{Q}4 \vee Q3\bar{Q}4 \vee Q1\bar{Q}4$. Преобразуем полученные функции к виду, удобному для представления в базе «ИЛИ-НЕ» с помощью закона двойственности и закона двойного отрицания:

$$D1 = \overline{\overline{Q1} \vee \overline{Q3} \vee \overline{Q1} \vee \overline{Q4}} = \overline{(\overline{Q1} \downarrow \overline{Q3}) \downarrow (\overline{Q1} \downarrow \overline{Q4})},$$

$$D2 = \overline{(\overline{Q2} \downarrow \overline{Q4}) \downarrow (\overline{Q2} \downarrow \overline{Q3}) \downarrow (\overline{Q1} \downarrow \overline{Q3} \downarrow \overline{Q4})}, \quad D3 = \overline{(\overline{Q3} \downarrow \overline{Q4}) \downarrow (Q3 \downarrow Q4)},$$

$$D4 = \overline{(\overline{Q2} \downarrow \overline{Q4}) \downarrow (\overline{Q3} \downarrow \overline{Q4}) \downarrow (\overline{Q1} \downarrow \overline{Q4})}.$$

Так как в таблице истинности для D -триггера нет безразличных состояний для триггеров, поэтому функции возбуждения получаются более сложными.

В схеме вычитающего счетчика необходимо предусмотреть установку его триггеров в то число, от которого выполняется вычитание, согласно таблице истинности. В рассматриваемом случае

– это число $K_{сч} = 11 - 1 = 10$. Схема счетчика представлена на рисунке 1.30. Поскольку функции D_i относительно сложны, используем вариант построения схемы счетчика с общей шиной.

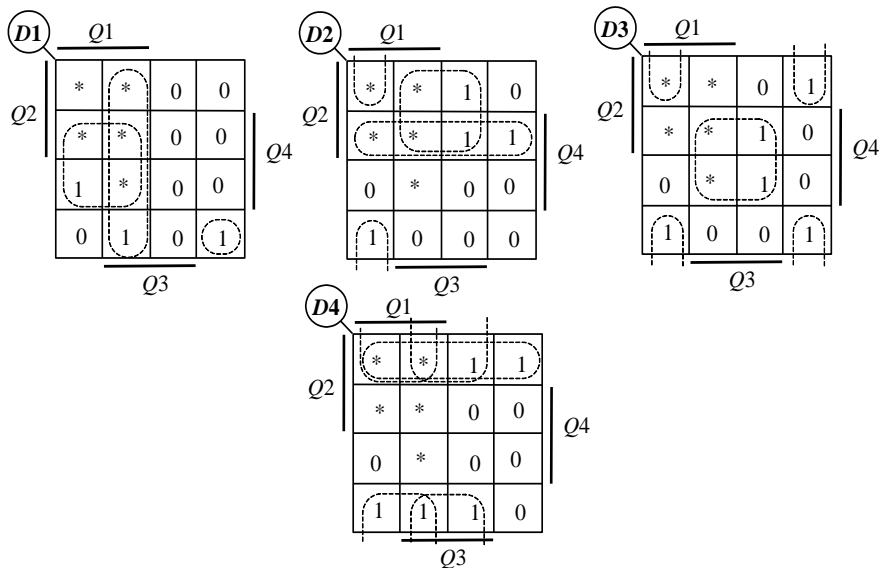


Рисунок 1.29 – Упрощение функций вычитающего счетчика на D -триггерах с $K_{сч} = 11$

В тех случаях, когда необходимо синтезировать счетчики с параллельным переносом и большим $K_{сч}$, строят таблицы истинности с большим количеством строк. В таких таблицах сложно ориентироваться, работа с ними отнимает много времени. Поэтому в ряде случаев используют компромиссный вариант – применение счетчиков со смешанным переносом (параллельно-последовательным). Некоторые варианты таких счетчиков рассмотрены ниже.

1.6.3 Счетчики с параллельно-последовательным переносом

В счетчиках со смешанным переносом используется **двоично-десятичный принцип счета** (рисунок 1.31). При этом каждому десятичному числу соответствует свой двоичный счетчик с $K_{сч} = 10$. Внутри каждой декады производится параллельный, а между

декадами – последовательный перенос.

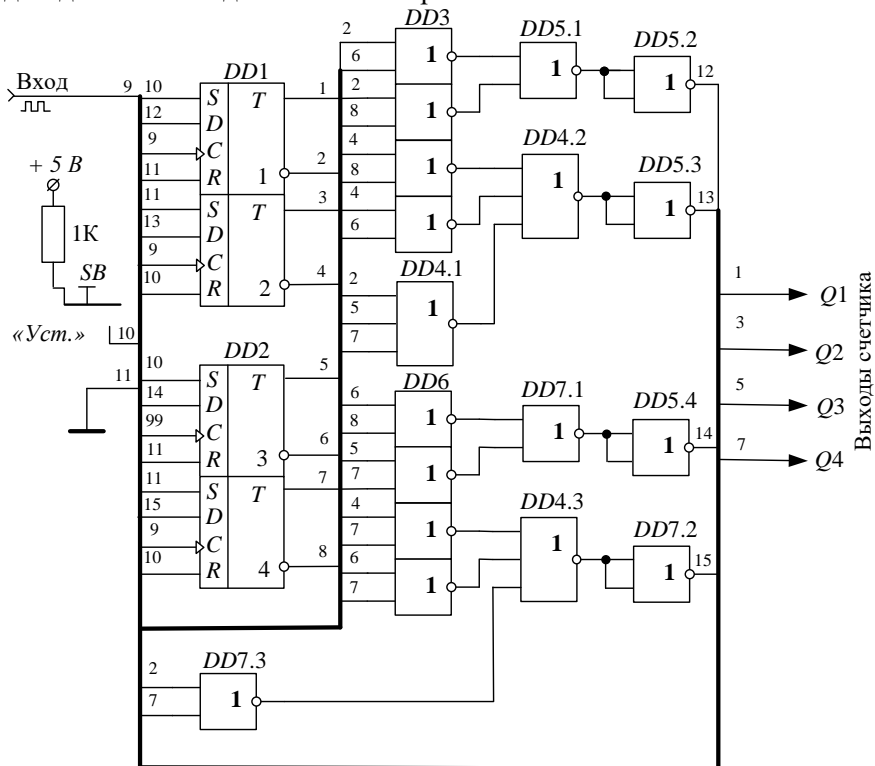


Рисунок 1.30 – Схема вычитающего счетчика на D -триггерах с $K_{сч} = 11$

Так как счетчики всех декад имеют $K_{сч} = 10$, то в этом случае таблица истинности будет одна (реже – две, когда самая старшая декада имеет $K_{сч} < 10$).

Особенностью двоично-десятичных счетчиков является то, что при синтезе их схемы всегда требуется схема сброса/установки (за исключением тех случаев, когда $K_{сч}$ кратен 10), поскольку в таблице истинности не задается согласованный сброс декад.

Пусть требуется построить двоично-десятичный суммирующий счетчик с $K_{сч} = 387$ на D -триггерах. Счетчик имеет три декады: сотни, десятки и единицы. При этом $K_{сч}$ самой старшей декады равен 4 (что меньше десяти), поэтому для этой декады будем использовать отдельную таблицу истинности. Это делается с целью экономии триггеров (для $K_{сч} = 10$ требуется 4 триггера, а для $K_{сч} = 4$ – два). Для

десятков и единиц потребуется общая таблица истинности (таблица 1.20). Она полностью подобна таблице истинности обычного суммирующего счетчика с параллельным переносом.

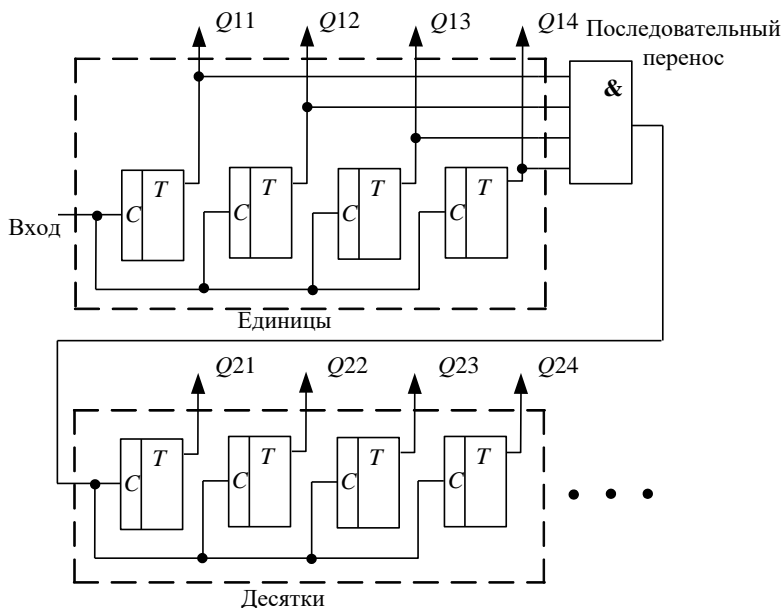


Рисунок 1.31 – Принцип построения двоично-десятичных счетчиков

Таблица 1.20 – Таблица истинности единиц и десятков суммирующего счетчика на D -триггерах с $K_{сч} = 387$

Номер импульса	Текущее состояние триггеров				Последующее состояние триггеров				Функции возбуждения			
	Q_1	Q_2	Q_3	Q_4	Q_1	Q_2	Q_3	Q_4	D_1	D_2	D_3	D_4
0	0	0	0	0	0	0	0	1	0	0	0	1
1	0	0	0	1	0	0	1	0	0	0	1	0
2	0	0	1	0	0	0	1	1	0	0	1	1
3	0	0	1	1	0	1	0	0	0	1	0	0
4	0	1	0	0	0	1	0	1	0	1	0	1
5	0	1	0	1	0	1	1	0	0	1	1	0
6	0	1	1	0	0	1	1	1	0	1	1	1
7	0	1	1	1	1	0	0	0	1	0	0	0
8	1	0	0	0	1	0	0	1	1	0	0	1
9	1	0	0	1	0	0	0	0	0	0	0	0

По таблице истинности получим функции возбуждения триггеров и упростим их с помощью карт Карно (рисунок 1.32).

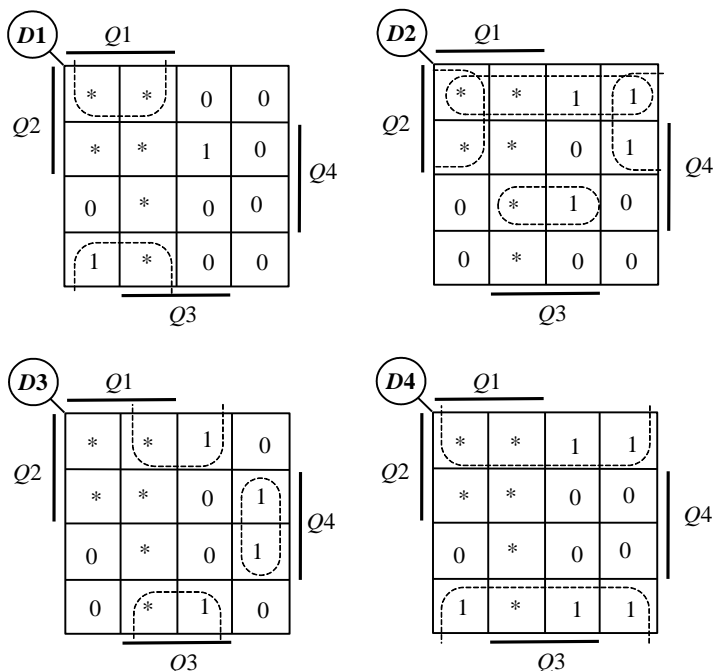


Рисунок 1.32 – Карты Карно для суммирующего счетчика с $K_{сч} = 387$ на D -триггерах

В таком случае для функций возбуждения элементов памяти единиц и десятков получим следующие формулы:

$$D_{e1} = D_{o1} = Q1\bar{Q}4 \vee Q2Q3Q4; \quad D_{e2} = D_{o2} = Q2\bar{Q}4 \vee Q2\bar{Q}3 \vee \bar{Q}2Q3Q4;$$

$$D_{e3} = D_{o3} = Q3\bar{Q}4 \vee \bar{Q}1\bar{Q}3Q4; \quad D_{e4} = D_{o4} = \bar{Q}4.$$

В таблице 1.21 представлена таблица истинности для сотен рассматриваемого двоично-десятичного счетчика.

Таблица 1.21 – Таблица истинности сотен суммирующего счетчика на D -триггерах с $K_{сч} = 387$

№ импульса	Текущее состояние триггеров		Последующее состояние триггеров		Функции возбуждения	
	Q_{c1}	Q_{c2}	Q_{c1}	Q_{c2}	D_{c1}	D_{c2}
0	0	0	0	1	0	1
1	0	1	1	0	1	0
2	1	0	1	1	1	1
3	1	1	0	0	0	0

Анализируя взаимосвязи функций в таблице можно сразу записать

D_{ci} , так как они являются элементарными: $D_{c2} = \bar{Q}_{c2}$; $D_{c1} = Q_{c1} \oplus \oplus Q_{c2} = \bar{Q}_{c1}Q_{c2} \vee Q_{c1}\bar{Q}_{c2}$.

Индексы в функциях возбуждения триггеров обозначают: e – единицы, d – десятки, c – сотни, а числа 1–4 – номер разряда декады.

Схема суммирующего двоично-десятичного счетчика с $K_{сч} = 387$ на D -триггерах представлена на рисунке 1.33. Сброс счетчика выполняется на числе 387, а считает он от 0 до 386.

Перенос счета из декады единиц в декаду десятков выполнен с помощью элемента совпадения $DD7.1$, определяющего максимальное число счета 9 счетчика единиц. Перенос счета из декады десятков в декаду сотен выполнен аналогично на элементе $DD7.2$, определяющим также максимальное число счета 9 счетчика десятков. Автоматический сброс счетчика по достижении им заданного $K_{сч}$ выполнен с использованием элементов совпадения $DD12$ и $DD13.1$ (для расширения по входам), а также элементов инверсии $DD14.1$ и совпадения $DD16.1$. Инвертор нужен, чтобы получить на числе 387 не логическую единицу, а логический нуль, так как в триггерах для сброса используются инверсные входы асинхронного сброса R .

Существует возможность построения параллельно-последовательного счетчика с использованием всего одной таблицы истинности. Это может быть реализовано в том случае, если не требуется оптимизировать его структуру и нет ограничения на количество используемых интегральных микросхем. Для случая с одной таблицей истинности функции возбуждения всех разрядов будут находиться по одинаковым формулам, а аргументами в этих функциях будут выходы триггеров соответственно декад единиц, десятков, сотен и т. д. в зависимости от $K_{сч}$ счетчика.

В том случае, если требуется построить вычитающий двоично-десятичный счетчик, используют те же принципы, что и при построении суммирующего счетчика. Отличия заключаются в следующих позициях:

- 1) в таблице истинности коды последующих состояний записывают не увеличенными, а уменьшенными на единицу;
- 2) перенос счета в старшие декады выполняют при достижении кода числа не 9, а 0;
- 3) в схему добавляют узел предварительной установки триггеров счетчика в то число, от которого следует начать вычитание.

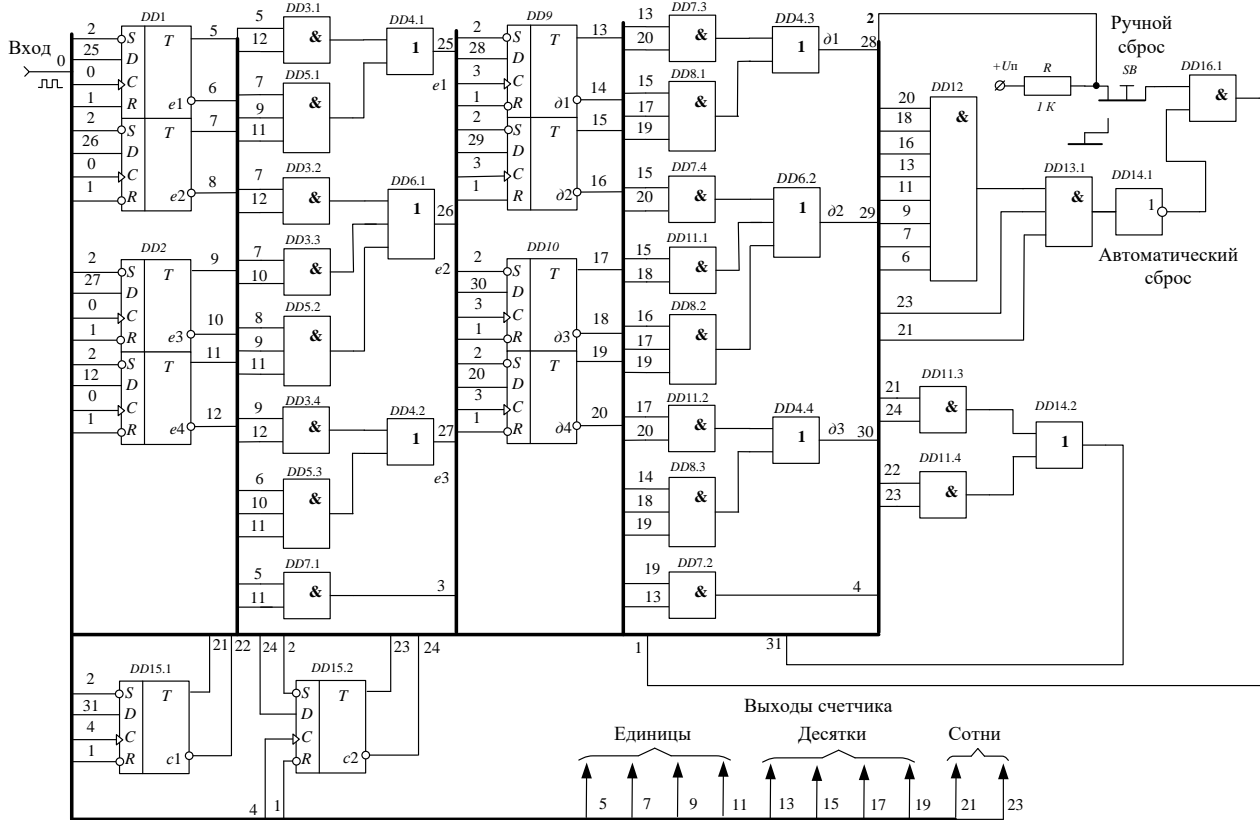


Рисунок 1.33 – Схема суммирующего двоично-десятичного счетчика с $K_{сч} = 387$ на D-триггерах

1.6.4 Интегральные счетчики

Промышленность стран СНГ выпускает разные типы счетчиков в виде интегральных микросхем как на основе ТТЛ, так и на основе КМОП серий [3, 8].

Триггеры этих счетчиков могут быть соединены по схемам с последовательным и параллельным переносами. Так, например, счетчики К155ИЕ5 (рисунок 1.34), –ИЕ2, –ИЕ4 имеют последовательный межразрядный перенос, а К155ИЕ9, –ИЕ6, –ИЕ7 (рисунок 1.35) – параллельный.

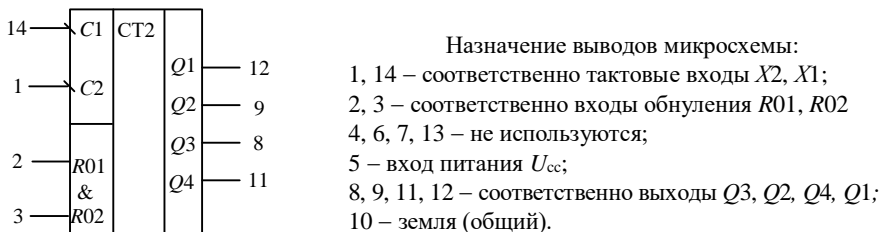


Рисунок 1.34 – Условное графическое обозначение интегральной микросхемы счетчика К155ИЕ5

Назначение выводов микросхемы:
 1, 9, 10, 15 – соответственно входы X_1, X_4, X_3, X_1 ;
 2, 3, 6, 7 – соответственно выходы Y_2, Y_1, Y_3, Y_4 ;
 4 – тактовый вход вычитания;
 5 – тактовый вход суммирования;
 8 – земля (общий);
 11 – вход разрешения записи информации;
 12 – выход переноса;
 13 – выход заема;
 14 – вход сброса;
 16 – вход питания U_{cc} .

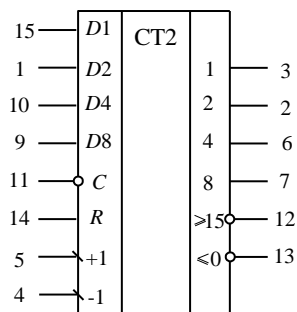


Рисунок 1.35 – Условное графическое обозначение интегральной микросхемы счетчика К155ИЕ7

На рисунке 1.36 представлена интегральная микросхема К155ИЕ2, содержащая счетчик с $K_{сч} = 5$ на триггерах $T_2 - T_4$ и триггер T_1 , которые при последовательном соединении представляют собой десятичный счетчик, работающий в коде 8421.

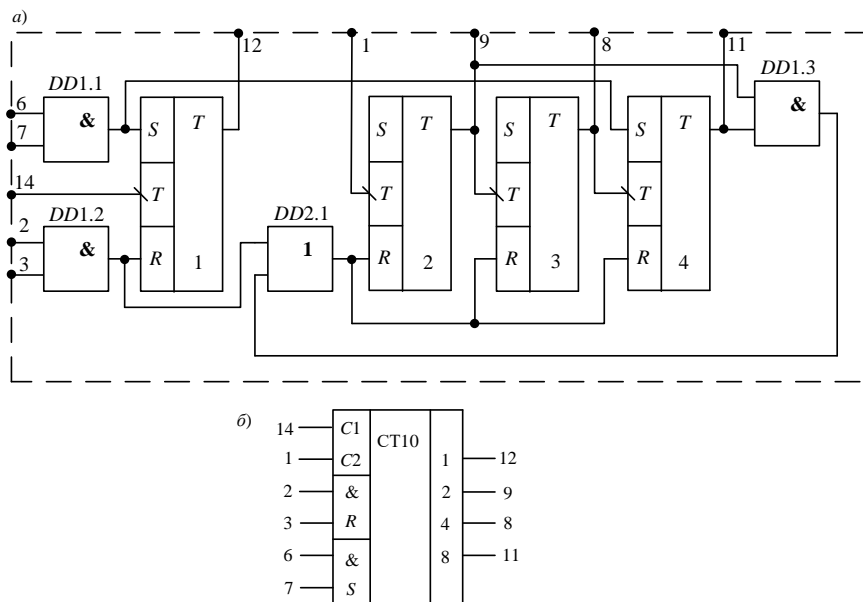


Рисунок 1.36 – Интегральная микросхема K155IE2:
а – внутренняя структура, б – условное графическое обозначение

Счетчик обнуляется при одновременной подаче логической единицы на входы 2 и 3, что отмечено знаком конъюнкции «&». Одновременная подача логической единицы на входы 6 и 7 устанавливает триггеры Т1 и Т4 в состояние логической единицы. Обнуление счетчика на триггерах Т2–Т4 выполняется конъюнктором DD1.2. Запись числа 9 в счетчик выполняется с помощью конъюнктора DD1.1. Для того, чтобы счетчик работал как десятичный, необходимо соединить выход триггера Т1 (вывод 12) с входом счетчика на триггерах Т2–Т4 (вывод 1). При этом счетчик может быть использован как делитель частоты на десять. Выходом делителя при этом будет вывод 11.

Данную интегральную микросхему можно использовать также в качестве делителя частоты на шесть (рисунок 1.37, а) и на семь (рисунок 1.37, б).

Рассматриваемая интегральная микросхема позволяет получить и другие коэффициенты деления от 2 до 10.

Для счетчиков на различных сериях интегральных микросхем существует также возможность изменять коэффициент счета, не нарушая установленных между триггерами связей. При этом счетчик должен иметь входы предварительной (асинхронной) установки D_i

(рисунок 1.38).

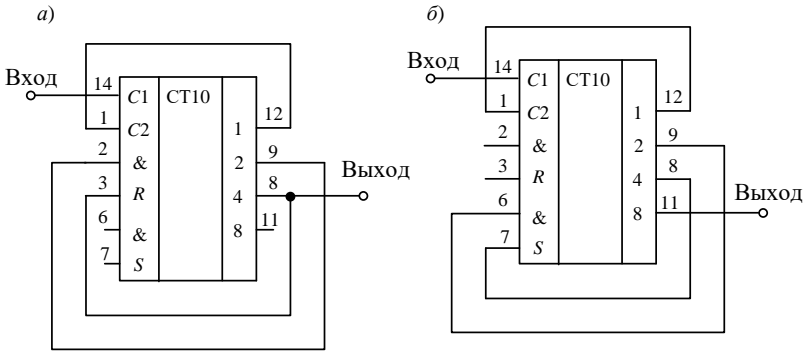


Рисунок 1.37 – Применение интегральной микросхемы K155IE2 в качестве делителя частоты на шесть (а) и на семь (б)

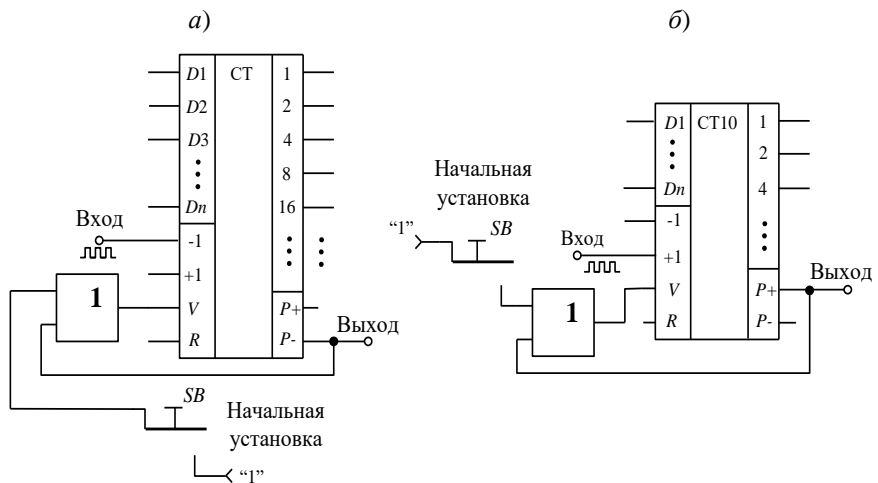


Рисунок 1.38 – Реализация счетчиков с произвольным коэффициентом счета

Коэффициент счета, который должен реализовать счетчик в виде двоичного числа, заносится по входам $D1 - Dn$ (см. рисунок 1.38, а). С приходом на вход разрешения V логической единицы установленный код числа записывается в триггеры счетчика. Входные импульсы на вычитающем входе уменьшают содержимое счетчика. Когда на вход поступает $K_{сч} - 1$ импульсов, счетчик обнуляется. Следующий входной импульс пройдет на выход заема « $P-$ » (выход делителя) и на вход разрешения V , что позволит занести

в счетчик новый коэффициент счета. Таким образом, меняя устанавливаемое на входах $D1 - Dn$ число, можно изменять коэффициенты счета или деления счетчика. Счетчик в данном случае работает как вычитающий.

Аналогично можно построить суммирующий счетчик-делитель, подавая входные импульсы на вход суммирования «+1» и связывая выход переноса « $P+$ » с входом разрешения записи V . При этом на входы $D1 - Dn$ необходимо записать число $K_{сч} = C - N$, где C – емкость счетчика, N – необходимый коэффициент деления.

Существует множество других схем включения интегральных счетчиков, которые приведены в справочниках по интегральным микросхемам.

Далее рассмотрим принципы построения особого класса счетчиков, которые используются для деления частоты входной импульсной последовательности.

1.7 ДЕЛИТЕЛИ ЧАСТОТЫ

Как следует из предыдущего пункта, счетчики также могут быть использованы для деления частоты.

Основное назначение **делителя частоты** – уменьшение частоты следования входных импульсов.

Важное отличие делителя частоты от счетчика заключается в том, что счетчик выдает код числа на своих выходах, которых может быть много, и состояния всех триггеров существенны, а делитель частоты имеет в общем случае всего один выход. При этом нас абсолютно не интересует, как изменяют свое состояние все триггеры, за исключением того триггера, на выходе которого появляется поделенная в заданное число раз частота. Это привносит свою специфику в методику синтеза делителей частоты.

Делители с коэффициентом деления, кратным 2^n , строятся на счетчиках с последовательным переносом (как суммирующих, так и вычитающих, что не имеет значения в данном случае). Наиболее простой делитель с коэффициентом деления, равным 2, – это счетный триггер (рисунок 1.39).

Соединяя последовательно n счетных триггеров, можно получить делитель частоты с коэффициентом деления 2^n . Так, например, делитель на 8 можно получить, соединив последовательно 3 счетных

триггера (рисунок 1.40).

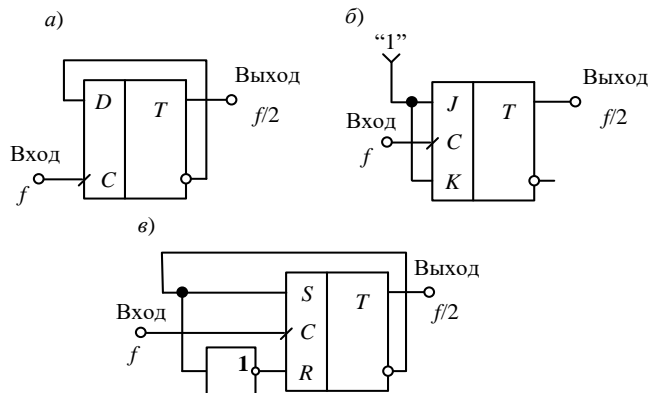


Рисунок 1.39 – Реализация делителя частоты f на два с помощью D -триггера (а), JK -триггера (б) и RS -триггера (в)

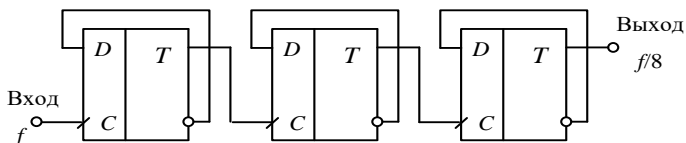


Рисунок 1.40 – Схема делителя частоты на 8

При построении делителей частоты с коэффициентом деления, не кратным 2^n , надо пройти следующие этапы:

- 1) определить требуемое число триггеров делителя по той же формуле, что и для счетчиков;
- 2) построить временную диаграмму работы делителя частоты (для коррекции скважности выходных импульсов);
- 3) по временной диаграмме построить таблицу истинности делителя, по которой определить функции возбуждения триггеров делителя, и построить его схему.

Пусть требуется построить делитель частоты с коэффициентом деления, равным 6, на D -триггерах, управляемых по фронту входного импульса. Скважность выходной последовательности не существенна.

В данном случае не требуется строить временную диаграмму для коррекции скважности выходных импульсов, поэтому построим делитель на основе суммирующего счетчика с последовательным переносом на трех триггерах и выполним сброс на числе 6 для

обеспечения коэффициента деления, равного шести (рисунок 1.41).

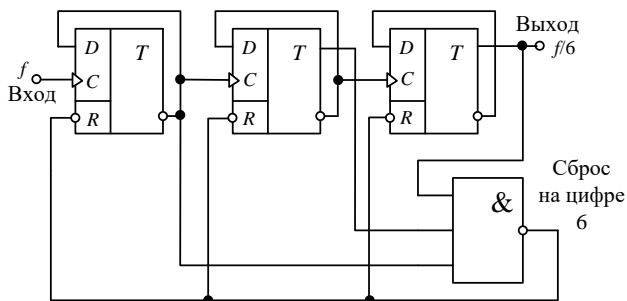


Рисунок 1.41 – Делитель частоты на шесть на основе асинхронного счетчика

Построим делитель частоты также с коэффициентом деления на шесть на *JK*-триггерах, управляемых по срезу импульса со скважностью выходной последовательности 50 % (когда длительность импульса равна длительности интервала между импульсами). Для данного делителя необходимо $k = \text{int}[\log_2 6] = 3$ триггера.

Построим временную диаграмму делителя (рисунок 1.42). На диаграмме укажем состояния промежуточных триггеров Q_1 и Q_2 , а также состояние триггера Q_3 без коррекции скважности и с коррекцией скважности Q_3^k .

Незаштрихованные импульсы в счетчике-делителе на шесть обрезаются посредством выполнения функции сброса. После выполнения сброса счетчика длительность импульса на выходе Q_3 сокращается в 2 раза, что искажает скважность импульсов (длительность импульса $t_{и}$ не равна длительности паузы $t_{п}$). Поэтому на диаграмме мы намеренно увеличиваем длительность импульса на величину Δt в сторону начала координаты времени t таким образом, чтобы $t_{и}$ было равным $t_{п}$. Затем по полученной диаграмме строим таблицу истинности счетчика-делителя (таблица 1.22).

В таблице строку с номером импульса 6 отбрасываем, так как она повторяет строку с номером импульса 0. Заполнение текущих состояний триггеров таблицы на основе данных диаграммы (см. рисунок 1.42) выполняем по срезу (так как триггеры переключаются по условию по срезу) рассматриваемого импульса.

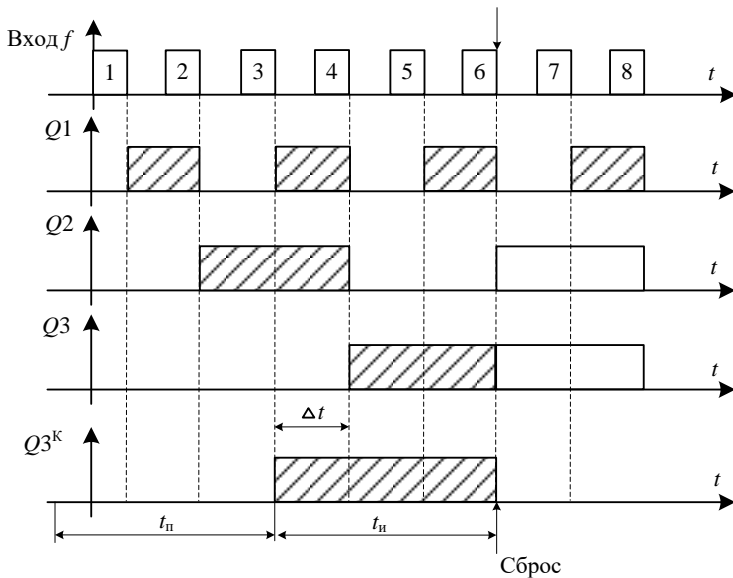


Рисунок 1.42 – Временная диаграмма работы триггеров делителя частоты на шесть

Таблица 1.22 – Таблица истинности счетчика-делителя на шесть на JK-триггерах

Номер импульса	Текущие состояния триггеров			Последующие состояния триггеров			Состояния информационных входов триггеров					
	$Q3^*$	$Q2$	$Q1$	$Q3^*$	$Q2$	$Q1$	$J3^*$	$K3^*$	$J2$	$K2$	$J1$	$K1$
0	0	0	0	0	0	1	0	~	0	~	1	~
1	0	0	1	0	1	0	0	~	1	~	~	1
2	0	1	0	1	1	1	1	~	~	0	1	~
3	1	1	1	1	0	0	~	0	~	1	~	1
4	1	0	0	1	0	1	~	0	0	~	1	~
5	1	0	1	0	0	0	~	1	0	~	~	1
6	0	0	0	0	0	1	0	~	0	~	1	~

Если триггер Q_i по срезу входного импульса переключается в нуль, то принимаем его значение равным нулю, а если он по срезу входного импульса переключается в единицу, то принимаем его значение равным единице. Последующие состояния триггеров таблицы истинности заполним для случая, если счетчик-делитель работает по алгоритму суммирования. Затем заполняем функции J_i и K_i на основе таблицы переходов JK-триггера, упрощаем их (в примере процесс упрощения опущен) и строим схему счетчика-

делителя на шесть (рисунок 1.43).

$$J3^K = Q2; K3^K = Q1\bar{Q}2; J2 = Q1\bar{Q}3^K; K2 = Q1; K1 = J1 = 1.$$

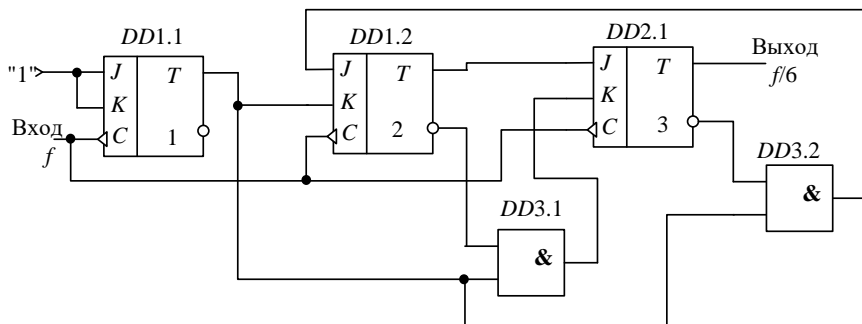


Рисунок 1.43 – Схема счетчика-делителя на шесть на *JK*-триггерах

Далее рассмотрим принципы синтеза двоичных устройств суммирования.

1.8 СУММАТОРЫ

Двоичными сумматорами называют дискретные устройства, выполняющие операцию сложения двух двоичных чисел [3].

Сложение двух двоичных чисел производится по следующим правилам:

$$\begin{array}{r} 1 \text{ слагаемое} \quad 0 \quad 0 \quad 1 \quad 1 \\ \quad \quad \quad + \quad + \quad + \quad + \\ 2 \text{ слагаемое} \quad 0 \quad 1 \quad 0 \quad 1 \end{array}$$

$$\text{сумма} \quad \underline{\quad \quad \quad} \quad 0 \quad 1 \quad 1 \quad 0 \rightarrow 1.$$

В крайнем правом разряде суммы знаком « \rightarrow » показано переполнение разряда и перенос единицы в следующий разряд. Результат суммирования двух единиц равен двум, что вдвое превышает вес единицы в данном разряде. Этот вес равен весу единицы в старшем разряде. Поэтому в данном разряде записывается 0, а результат в виде 1 переносится в следующий разряд.

В зависимости от способа суммирования чисел бывают последовательные и параллельные сумматоры.

1.8.1 Последовательные сумматоры

Эти сумматоры строятся на основе одноразрядного сумматора. Сложение двух чисел выполняется поразрядно, последовательно во времени одной и той же схемой одноразрядного сумматора.

Одноразрядные сумматоры, применяемые для сложения отдельных разрядов, бывают двухходовыми (полусумматоры) и трехходовыми (полные одноразрядные сумматоры).

Работа полусумматора описывается таблицей 1.23, на основе которой получают выражения связи между входами a (первое слагаемое), b (второе слагаемое) и выходами S (сумма), P (перенос) полусумматора.

Таблица 1.23 – Таблица истинности полусумматора

Входы		Выходы	
a	b	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = \bar{a}b \vee a\bar{b}; \quad P = ab.$$

По формулам получим схему полусумматора, представленную на рисунке 1.44.

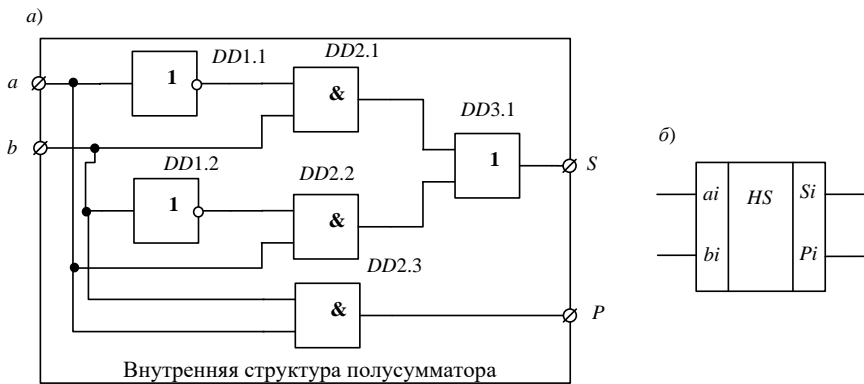


Рисунок 1.44 – Схема полусумматора (а) и его условное графическое обозначение (б)

На основе полусумматоров можно реализовать схему полного сумматора (рисунок 1.45).

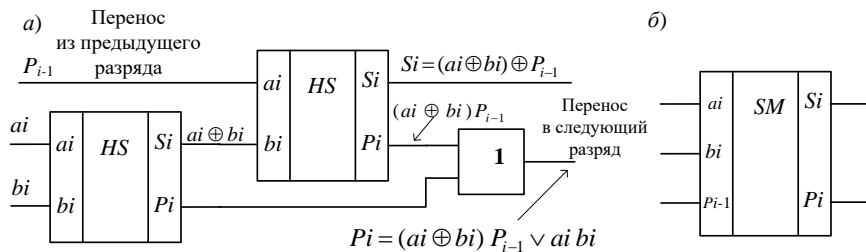


Рисунок 1.45 – Реализация полного одноразрядного сумматора на полусумматорах (а) и условное графическое обозначение полного одноразрядного сумматора (б)

Последовательное суммирование двух чисел с одинаковым количеством разрядов может быть выполнено с помощью схемы, представленной на рисунке 1.46. Складываемые числа представляются в последовательной форме, и одноименные их разряды, начиная с младших, синхронно подаются в полный одноразрядный сумматор.

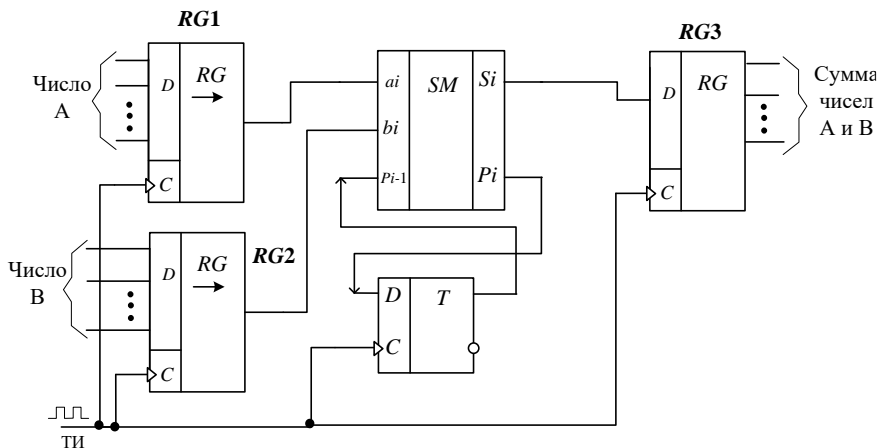


Рисунок 1.46 – Схема сложения двух чисел с применением последовательного суммирования

По тактовым импульсам ТИ из регистров сдвига $RG1$ и $RG2$ на входы ai и bi сумматора попарно последовательно поступают разряды чисел. С выхода Pi сигнал переноса поступает на триггер

задержки, где хранится до следующего такта и поступает на вход P_{i-1} со следующей парой складываемых разрядов, с которой он суммируется. Затем в триггер заносится новый сигнал переноса. Сумма с выхода сумматора последовательно поступает в последовательно-параллельный регистр $RGЗ$, на выходах которого в параллельной форме появляется результат сложения чисел A и B . Суммирование следует выполнять, начиная с младших разрядов, так как до суммирования $P = 0$ и сумма определяется только значениями этих младших разрядов.

Последовательные сумматоры имеют достоинство, заключающееся в относительной простоте их схемы. Однако их недостаток – низкое быстродействие при большом числе складываемых разрядов. Поэтому рассмотрим далее сумматоры параллельного действия, лишенные этого недостатка.

1.8.2 Параллельные сумматоры

Параллельные многоразрядные сумматоры предназначены для одновременного суммирования многоразрядных чисел. Они характеризуются различными способами передачи сигналов переноса от младших разрядов сумматора к старшим.

Различают **три вида межразрядного переноса**: последовательный, одновременный и комбинированный. От вида переноса зависит быстродействие сумматора. Наиболее простой случай переноса – **последовательный** (рисунок 1.47).

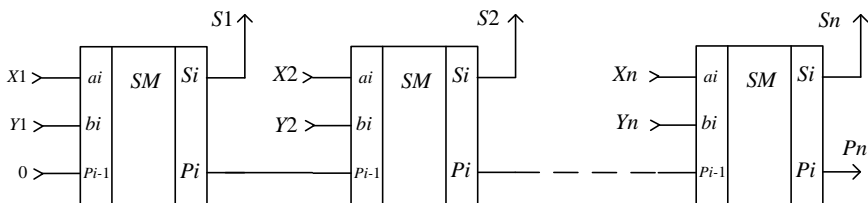


Рисунок 1.47 – Схема параллельного сумматора с последовательным межразрядным переносом

На входы каждого одnorазрядного сумматора поступают два слагаемых и перенос из предыдущего разряда. Сигнал переноса, получившийся в младшем разряде, последовательно распространяется по цепи переноса к старшим разрядам.

Быстродействие такого сумматора при сложении двух n -разрядных чисел для наихудшего случая (когда на всех выходах P_i есть перенос) определяется из соотношения $t_c = (n-1)t_{\Pi} + t_o$, где t_{Π} – время задержки формирования переноса одноразрядным сумматором, t_o – время задержки на формирование суммы одноразрядным сумматором.

Таким образом, быстродействие параллельного сумматора с последовательным переносом определяется в первую очередь разрядностью n слагаемых (чем их больше, тем больше требуется времени на суммирование).

Для ускорения работы многоразрядных сумматоров в интегральных микросхемах часто применяют одновременный перенос. Рассмотрим один из возможных вариантов реализации одновременного переноса.

Запишем в виде совершенной дизъюнктивной нормальной формы функции суммы и переноса полного одноразрядного сумматора на основе его таблицы истинности (таблица 1.24).

Таблица 1.24 – Таблица истинности полного одноразрядного сумматора

Входы			Выходы	
ai	bi	P_{i-1}	Si	Pi
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$\begin{cases} Si = \bar{a}i \bar{b}i P_{i-1} \vee \bar{a}i bi \bar{P}_{i-1} \vee ai \bar{b}i \bar{P}_{i-1} \vee ai bi P_{i-1}, \\ Pi = \bar{a}i bi P_{i-1} \vee ai \bar{b}i P_{i-1} \vee ai bi \bar{P}_{i-1} \vee ai bi P_{i-1}. \end{cases}$$

Преобразуем полученные функции по распределительному закону и закону склеивания:

$$Si = (ai bi \vee \bar{a}i \bar{b}i) P_{i-1} \vee (ai \bar{b}i \vee \bar{a}i bi) \bar{P}_{i-1}, \quad Pi = (\bar{a}i bi \vee ai \bar{b}i) P_{i-1} \vee ai bi.$$

Получены скобочные формы функций Si и Pi . Заметим, что в функциях каждая из скобок реализует элементарные функции эквиваленции (равнозначности) или суммы по модулю два (неравнозначности). Обе эти функции являются инверсными одна другой, т. е. $ai bi \vee \bar{a}i \bar{b}i = ai \bar{b}i \vee \bar{a}i bi$. Тогда функцию Si можно преобразовать, используя лишь одну из отмеченных элементарных

функций, например, неравнозначности

$$S_i = (a_i b_i \vee \bar{a}_i \bar{b}_i) P_{i-1} \vee (a_i b_i \vee \bar{a}_i \bar{b}_i) \bar{P}_{i-1}.$$

Поступим аналогично с функцией переноса $P_i = (a_i b_i \vee \bar{a}_i \bar{b}_i) P_{i-1} \vee \vee a_i b_i$. Далее выполним замену функций равнозначности и конъюнкции $a_i b_i$ их выходными переменными $a_i b_i = y_i$; $a_i b_i \vee \bar{a}_i \bar{b}_i = x_i$ и получим более простую систему функций

$$\begin{cases} S_i = x_i P_{i-1} \vee \bar{x}_i \bar{P}_{i-1}, \\ P_i = y_i \vee \bar{x}_i P_{i-1}. \end{cases}$$

Теперь, используя полученную систему уравнений, реализуем трехразрядный параллельный сумматор с одновременным переносом. Для этого запишем функцию P_i для трех разрядов, увеличивая их на единицу и подставляя значение текущего разряда в последующий:

$$P_1 = y_1 \vee \bar{x}_1 P_0, \quad P_2 = y_2 \vee \bar{x}_2 P_1 = y_2 \vee \bar{x}_2 (y_1 \vee \bar{x}_1 P_0) = y_2 \vee \bar{x}_2 y_1 \vee \bar{x}_2 \bar{x}_1 P_0, \\ P_3 = y_3 \vee \bar{x}_3 P_2 = y_3 \vee \bar{x}_3 (y_2 \vee \bar{x}_2 y_1 \vee \bar{x}_2 \bar{x}_1 P_0) = y_3 \vee \bar{x}_3 y_2 \vee \bar{x}_3 \bar{x}_2 y_1 \vee \bar{x}_3 \bar{x}_2 \bar{x}_1 P_0.$$

В полученных формулах фигурирует только исходный перенос. Функции суммы примут следующий вид: $S_1 = x_1 P_0 \vee \bar{x}_1 \bar{P}_0 = x_1 \oplus P_0$, $S_2 = x_2 \oplus P_1$, $S_3 = x_3 \oplus P_2$. По конечным формулам реализуем схему трехразрядного сумматора с применением общей шины (рисунок 1.48). Быстродействие схемы, представленной на рисунке 1.48, определяется по формуле $t_c = t_n + t_o$.

Анализируя функции разрядов переноса и полученную схему, можно отметить следующее:

1) в формуле для функции переноса присутствует четыре одинаковых последовательных операции для всех трех разрядов (операция равнозначности, ее инверсия, операции конъюнкции и дизъюнкции);

2) в схеме входной сигнал к любому из выходов переноса проходит максимально через четыре логических элемента независимо от того, какого уровня этот перенос по старшинству;

3) чем выше старшинство переноса, тем большее количество входов должен иметь логический элемент при обработке функции переноса [для n -го уровня переноса логический элемент должен

иметь $(n + 1)$ входов].

Таким образом, существует ограничение на реализации параллельного суммирования с одновременным переносом по причине значительного усложнения внутренней структуры сумматора за счет реализации громоздких схем многоурядных переносов. Поэтому часто на практике для сложения многоурядных чисел применяют параллельные схемы суммирования со смешанным (параллельно-последовательным) переносом.

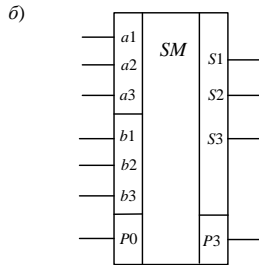
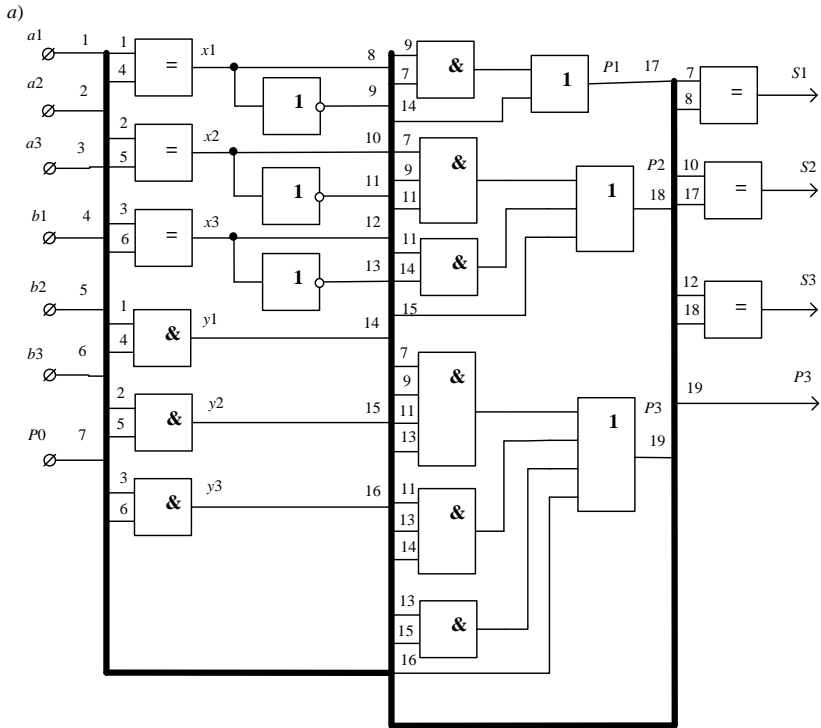


Рисунок 1.48 – Схема трехразрядного параллельного сумматора с одновременным переносом (а) и его условное графическое обозначение (б)

На рисунке 1.49 представлена схема 12-разрядной параллельной схемы суммирования со смешанным переносом. В данной схеме применены три параллельных четырехразрядных сумматора, перенос внутри которых выполняется одновременно. Перенос между четвертым и пятым, а также между восьмым и девятым разрядами складываемых чисел в схеме выполняется последовательно.

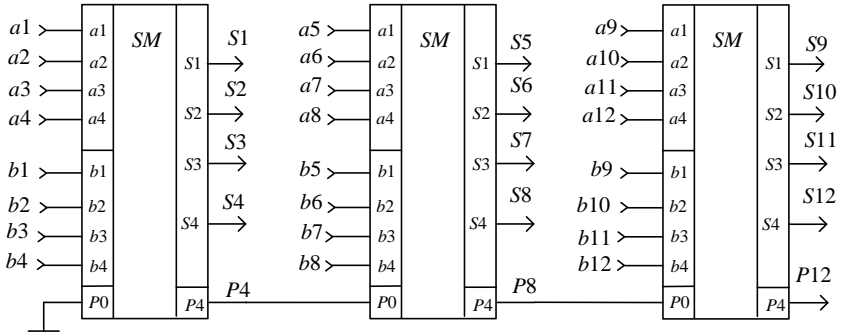


Рисунок 1.49 – Схема 12-разрядной параллельной схемы суммирования со смешанным переносом

Быстродействие рассмотренной схемы $t_c = 2t_n + t_o$. В том случае, если бы был применен параллельный сумматор с последовательным переносом, его быстродействие было бы $t_c = 11t_n + t_o$, что примерно в 4 раза медленнее, чем у рассмотренного параллельного сумматора со смешанным переносом.

На практике бывают также случаи, когда необходимо складывать числа с различной разрядностью. При этом можно применять схемы включения полных одноразрядных сумматоров, как показано на рисунке 1.50.

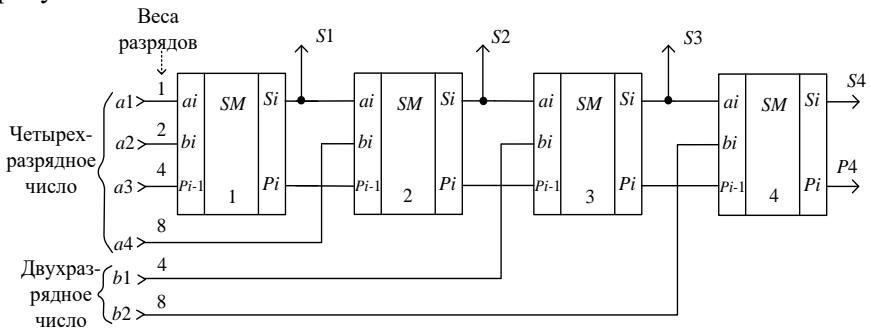


Рисунок 1.50 – Принцип сложения чисел с отличающейся разрядностью

Существует множество нюансов включения подобных схем. Связаны они с приоритетностью суммирования разрядов одинакового веса. Так, например, разряды a_1 и a_2 первого числа, имеющие веса 1 и 2, соответственно могли бы вообще не суммироваться, и схема сумматора в этом случае приняла бы вид, показанный на рисунке 1.51.

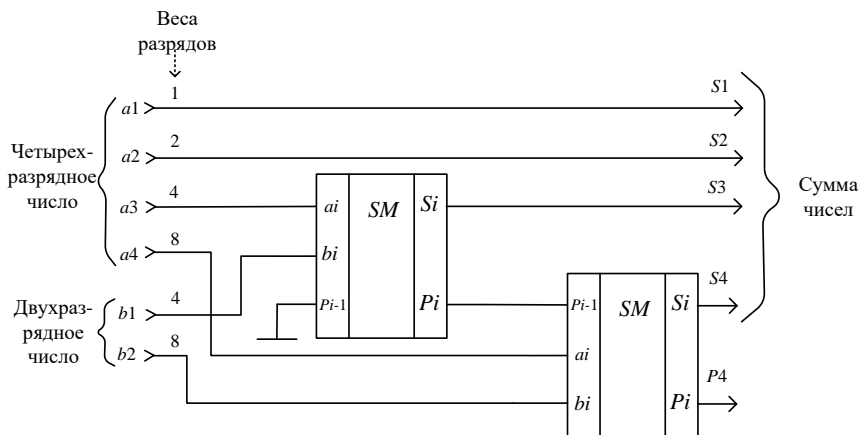


Рисунок 1.51 – Принцип сложения старших разрядов чисел по весам

Далее рассмотрим принципы функционирования и построения устройств хранения и преобразования данных.

1.9 РЕГИСТРЫ

Конструктивно **регистры** представляют собой наборы триггеров со схемами управления.

Различают регистры памяти (параллельные), последовательные (сдвиговые), параллельно-последовательные и последовательно-параллельные [3, 4]. Промышленностью также выпускаются так называемые универсальные регистры, которые могут работать в различных режимах в зависимости от настроек схем управления.

1.9.1 Параллельные регистры

Используются такие регистры для **хранения данных**. Ввод и вывод информации для таких регистров осуществляется в параллельной форме.

Схема параллельного m -разрядного регистра на D -триггерах представлена на рисунке 1.52. Все разряды двоичного числа подаются одновременно на входы регистра. На вход $C1$ подается сигнал управления записью информации, а на вход $C2$ – сигнал управления считыванием информации.

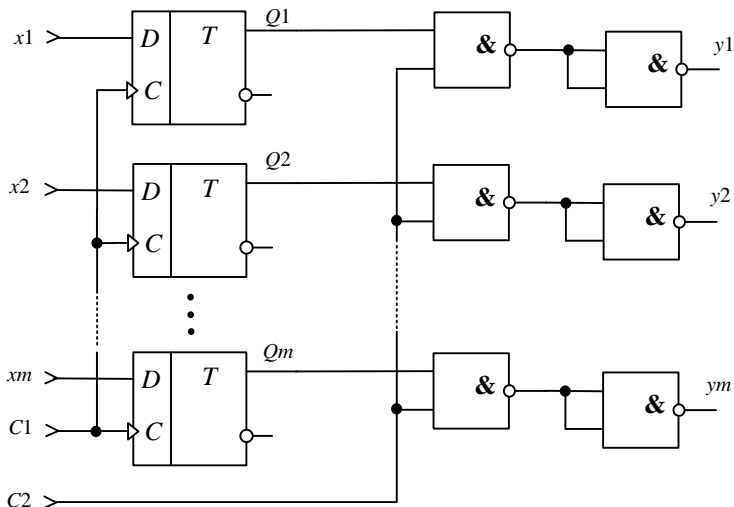


Рисунок 1.52 – Схема параллельного регистра на D -триггерах

Правила работы регистра для n -го такта работы представлены в таблице 1.25.

Таблица 1.25 – Таблица истинности регистра на D -триггерах

Сигналы управления работой регистра		Выходные сигналы	
$C1^n$	$C2^n$	Q_i^n	y_i^n
0	0	Q_i^{n-1}	0
0	1	Q_i^{n-1}	Q_i^n
1	0	x_i^{n-1}	0

Комбинация $C1^n = C2^n = 1$ является запрещенной, т. е. нельзя одновременно записывать и считывать информацию.

Схема параллельного m -разрядного регистра на RS -триггерах с инверсными входами представлена на рисунке 1.53. Схема данного регистра несколько сложнее. Объясняется это тем, что для установки RS -триггера в требуемое состояние необходимо подавать на оба входа S и R инверсные друг другу сигналы. Кроме того, в схему введена синхронизация записи на логических элементах. Правила работы регистра для n -го такта его работы представлены в таблице 1.26.

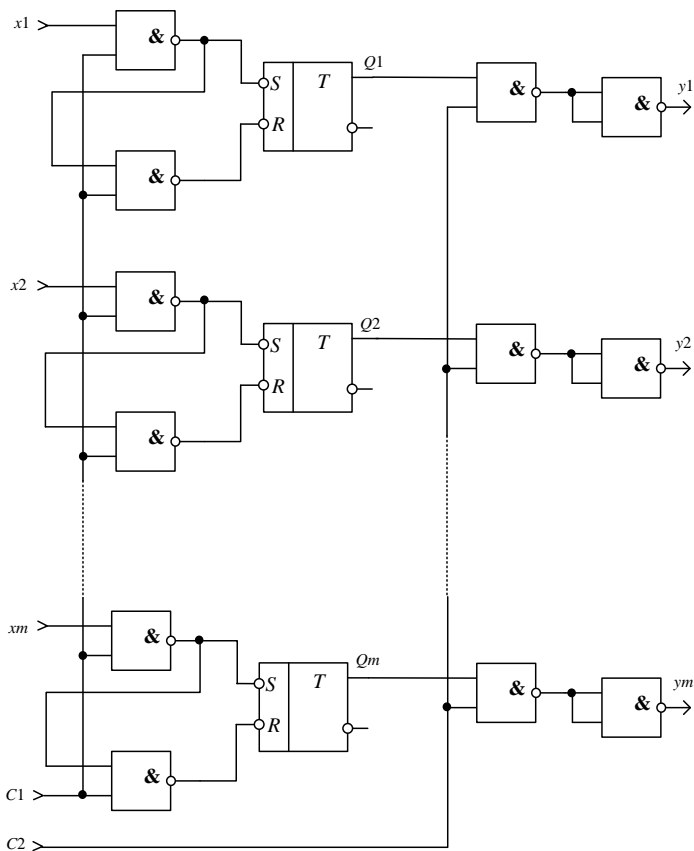
Из сравнения таблиц 1.25 и 1.26 легко заметить, что правила работы регистра на RS -триггерах отличаются от правил для регистра

на D -триггерах в последней строке. В регистре на RS -триггерах данные на выходах триггеров появляются в n -м такте работы при подаче сигнала записи, а в регистре на D -триггерах в $(n+1)$ -м такте.

Таблица 1.26 – Таблица истинности регистра на RS -триггерах

Сигналы управления работой регистра		Выходные сигналы	
$C1^n$	$C2^n$	Q_i^n	y_i^n
0	0	Q_i^{n-1}	0
0	1	Q_i^{n-1}	Q_i^n
1	0	x_i^n	0

Это связано с тем, что D -триггеры выполняют функцию задержки сигнала на один такт (оттого их называют триггерами задержки).



1.9.2 Последовательные регистры

Последовательные регистры **выполняют функцию сдвига информации влево или вправо**, поэтому их называют также **сдвиговыми**.

Данные в сдвиговые регистры вводятся последовательно разряд за разрядом. Выводятся данные из сдвиговых регистров также в последовательной форме. Разряды (триггеры) последовательного регистра соединены последовательно.

Каждый триггер выдает данные в следующий разряд и «одновременно» принимает данные из предыдущего. Поэтому *каждый разряд должен иметь две запоминающие (бистабильные) ячейки*. В первую ячейку принимается информация из предыдущего разряда, а вторая одновременно передает свою информацию в следующий разряд. Затем информация, принятая первой ячейкой, передается во вторую, а первая ячейка высвобождается для приема новой информации. Поэтому для создания сдвиговых регистров применяются двухступенчатые триггеры (имеющие две бистабильные ячейки). При этом в двухступенчатых триггерах запись информации в первую ступень текущего триггера из второй ступени предыдущего производится по фронту тактового импульса, а по его срезу информация из первой ячейки переписывается во вторую, что исключает потерю информации.

Схема четырехразрядного сдвигового (вправо) регистра на D-триггерах приведена на рисунке 1.54. Вход *F* данного регистра используется для установки (сброса) регистра в исходное (обнуленное) состояние, а вход *C* используется для управления сдвигом информации.

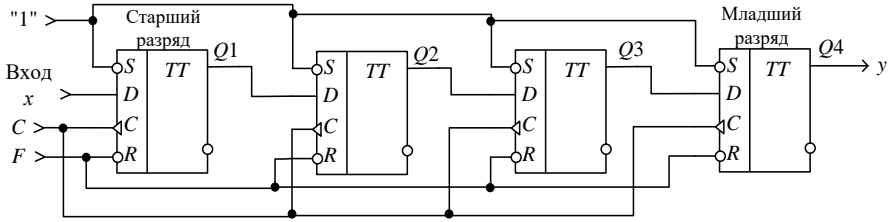


Рисунок 1.54 – Схема сдвигающего (вправо) регистра на *D*-триггерах

Правила работы регистра для *n*-го такта работы представлены в таблице 1.27.

Таблица 1.27 – Правила работы сдвигового регистра на *D*-триггерах

$F^n = 0$	$x^n = C^n = *$	$Q1^n = Q2^n = Q3^n = Q4^n = 0$
$F^n = 1$	$C^n = 0$	$Q1^n = Q1^{n-1}; Q2^n = Q2^{n-1}; Q3^n = Q3^{n-1}; Q4^n = Q4^{n-1}$
$F^n = 1$	$C^n = 1$	$Q1^n = x^{n-1}; Q2^n = Q1^{n-1}; Q3^n = Q2^{n-1}; Q4^n = y^n = Q3^{n-1}$

На рисунке 1.55 представлена схема аналогичного *m*-разрядного регистра на *JK*-триггерах.

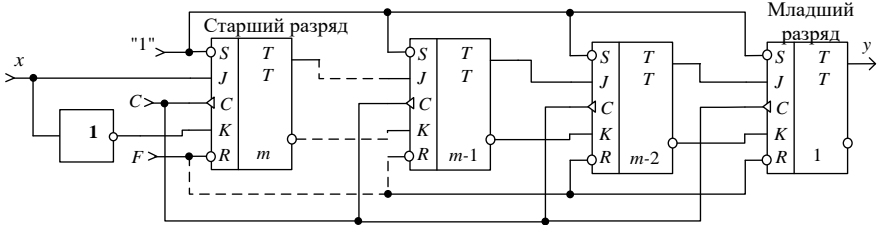


Рисунок 1.55 – Схема регистра сдвига вправо на *JK*-триггерах

В том случае, если требуется реализовать сдвиг влево, то схема регистра примет вид, показанный на рисунке 1.56.

Существуют также реверсивные сдвигающие регистры, которые, в зависимости от управляющих воздействий могут сдвигать данные как влево, так и вправо (рисунок 1.57).

При подаче логической единицы на вход реверса *V* регистр сдвигает информацию вправо. Данные в регистр подаются на вход 1, а снимаются – с выхода 1. Если на вход *V* подать логический ноль, то регистр будет работать в режиме сдвига влево. Данные в регистр в этом случае подаются на вход 2 и снимаются с выхода 2.

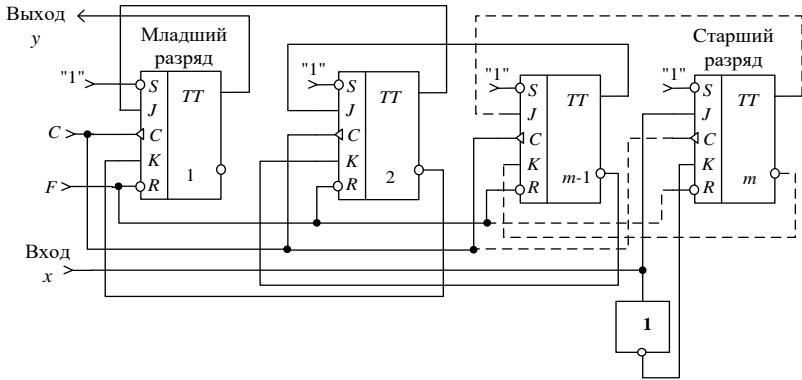


Рисунок 1.56 – Сдвигающий влево регистр на JK-триггерах

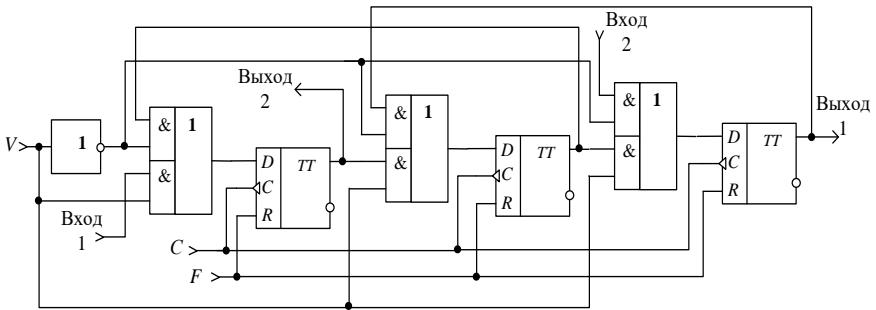


Рисунок 1.57 – Схема трехразрядного реверсивного сдвигающего регистра на D-триггерах

Регистры сдвига могут также использоваться в качестве кольцевых счетчиков. Для этого выходы последнего триггера соединяются с входами первого. Записанная в разряды кольцевого регистра информация под воздействием тактовых импульсов будет циркулировать по замкнутому кольцу.

1.9.3 Параллельно-последовательные регистры

Такие регистры применяют для преобразования двоичной информации из параллельной формы представления в последовательную. На рисунке 1.58 показана схема параллельно-последовательного регистра на JK-триггерах.

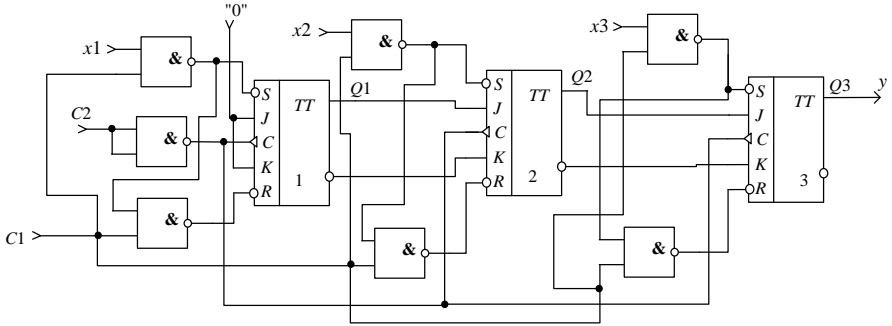


Рисунок 1.58 – Схема трехразрядного параллельно-последовательного регистра на JK-триггерах

На вход $C1$ подается сигнал записи информации, а на вход $C2$ – сигнал считывания информации из регистра. Данные в регистр подаются по входам $x1 - x3$, а считываются – с выхода y . Правила работы регистра представлены в таблице 1.28.

Таблица 1.28 – Правила функционирования параллельно-последовательного регистра на JK-триггерах

$C1^n$	$C2^n$	Q_i^n
0	0	$Q1^n = Q1^{n-1}; Q2^n = Q2^{n-1}; Q3^n = Q3^{n-1} = y^n$
0	1	$Q1^n = 0; Q2^n = Q1^{n-1}; Q3^n = Q2^{n-1} = y^n$
1	0	$Q1^n = x1^n; Q2^n = x2^n; Q3^n = x3^n = y^n$
<i>Примечание – $C1^n \cdot C2^n \neq 1$.</i>		

Похожий регистр на D-триггерах на m разрядов представлен на рисунке 1.59. Однако в данном регистре первым на выходе появится младший разряд, а не старший, как на рисунке 1.58.

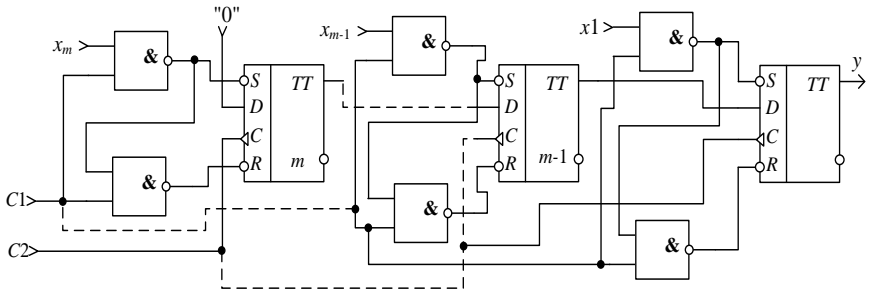


Рисунок 1.59 – Схема параллельно-последовательного регистра на D-триггерах

1.9.4 Последовательно-параллельные регистры

Данный класс регистров используют для преобразования двоичных чисел из последовательной формы представления в параллельную. На рисунке 1.60 показана схема трехразрядного регистра для преобразования данных из последовательной формы в параллельную на *JK*-триггерах.

Вход *C1* регистра, представленного на рисунке 1.60, служит для управления занесением информации в регистр, а вход *C2* – для управления считыванием преобразованной информации. Правила работы регистра для *n*-го такта работы приведены в таблице 1.29.

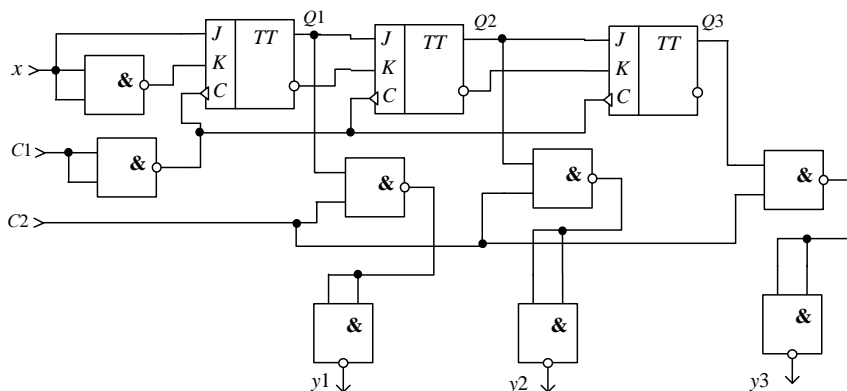


Рисунок 1.60 – Схема трехразрядного последовательно-параллельного регистра

Таблица 1.29 – Правила работы последовательно-параллельного регистра на *JK*-триггерах

$C1^n$	$C2^n$	Q_i^n	y_i^n
0	0	$Q1^n = Q1^{n-1}; Q2^n = Q2^{n-1}; Q3^n = Q3^{n-1}$	$y1^n = y2^n = y3^n = 0$
0	1	$Q1^n = Q1^{n-1}; Q2^n = Q2^{n-1}; Q3^n = Q3^{n-1}$	$y1^n = Q1^n; y2^n = Q2^n; y3^n = Q3^n$
1	0	$Q1^n = x^{n-1}; Q2^n = Q1^{n-1}; Q3^n = Q2^{n-1}$	$y1^n = y2^n = y3^n = 0$
Примечание – $C1^n \cdot C2^n \neq 1$.			

Схема аналогичного *m*-разрядного регистра на *D*-триггерах приведена на рисунке 1.61.

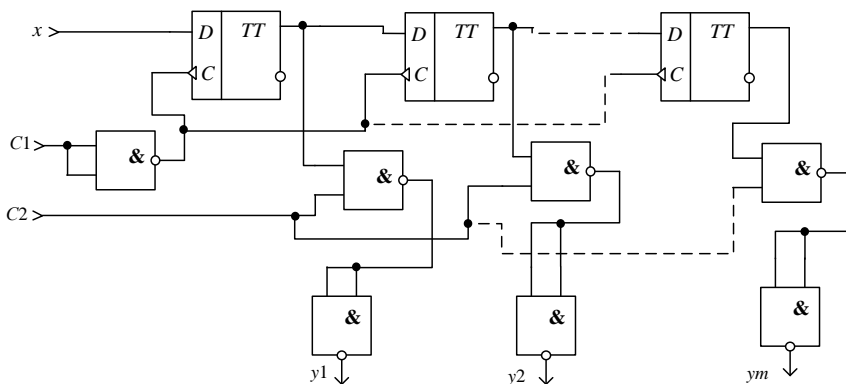


Рисунок 1.61 – Схема m -разрядного последовательно-параллельного регистра на D -триггерах

1.10 ГЕНЕРАТОРЫ ПРЯМОУГОЛЬНЫХ ИМПУЛЬСОВ

В данном разделе рассмотрим некоторые простейшие схемы генераторов прямоугольных импульсов на интегральных микросхемах, которые могут быть использованы для **синхронизации (задания) работы устройств автоматики, телемеханики и связи.**

Широко распространены генераторы на инверторах, так как выходные каскады цифровых микросхем, реализующих функции «И-НЕ», «ИЛИ-НЕ», «НЕ», усиливают электрические сигналы. В схеме генератора развивается лавинообразный процесс за счет положительной обратной связи, благодаря чему выходное напряжение с одного уровня на другой переходит с большой скоростью.

Рассмотрим схему *автоколебательного мультивибратора на элементах транзисторно-транзисторной логики*, представленную на рисунке 1.62 [3].

В схеме генератора элементы $DD1.1$ и $DD1.2$ использованы как усилители-инверторы. Цепи $C1-R2$ и $C2-R1$ образуют обратные связи для инверторов. Диоды $VD1$ и $VD2$ используют для защиты, так как напряжение на них не понижается до значения менее чем $\approx -0,7$ В. Отсутствие диодов может привести к появлению на входах интегральной микросхемы значительных отрицательных перепадов напряжений. В тех случаях, когда интегральная микросхема имеет

встроенные защитные диоды, внешние диоды не устанавливают. Обычно защитные диоды встроены в интегральные микросхемы с КМОП-логикой и для генераторов на этих микросхемах внешние защитные диоды не применяют.

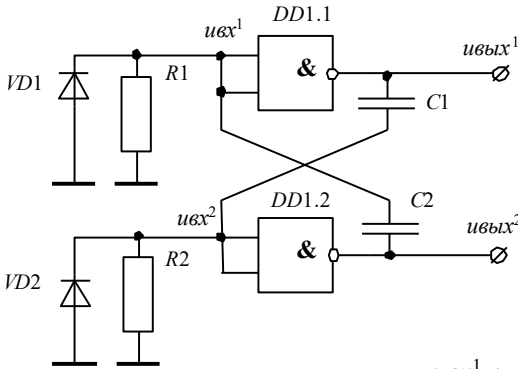


Рисунок 1.62 – Схема автоколебательного мультивибратора

Изменения потенциалов на выходах логических элементов обусловлены перезарядкой конденсаторов $C1$ и $C2$. Когда на выходе элемента $DD1.1$ потенциал скачкообразно увеличится на Δu^1 (рисунок 1.63), а на выходе элемента $DD1.2$ – скачком уменьшится, под действием высокого уровня $u_{вых}^1$ конденсатор $C1$ начинает заряжаться через выходное сопротивление элемента $DD1.1$ и резистор $R2$. Напряжение на резисторе $R2$ от тока зарядки конденсатора $C1$ будет положительным на входе

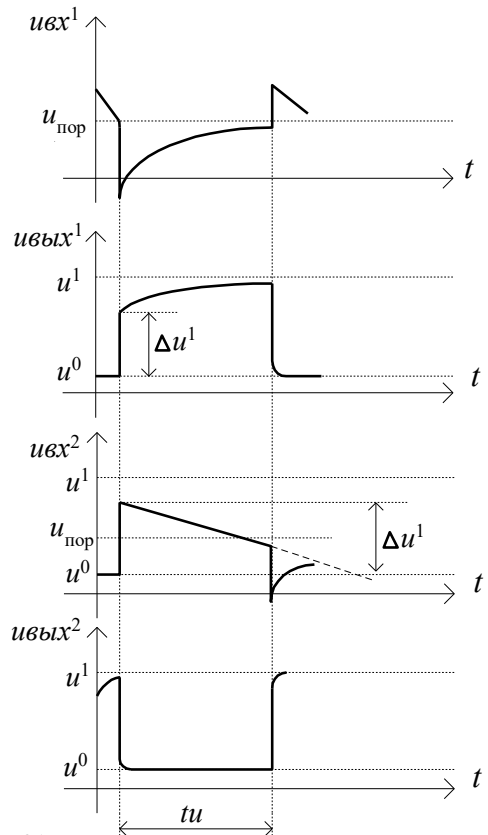


Рисунок 1.63 – Временные диаграммы работы генератора импульсов на микросхеме транзисторно-транзисторной логики

$DD1.2$ и поддерживает его в открытом состоянии ($ивых^2 = u^0$). Конденсатор $C2$ в это время быстро разряжается через низкое выходное сопротивление открытого элемента $DD1.2$ и диод $VD1$, а напряжение на входе $DD1.1$ низко (так как диод $VD1$ открыт), и он удерживается закрытым ($ивых^1 = u^1$). По мере зарядки конденсатора $C1$ ток его зарядки снижается. При этом уменьшается падение напряжения на выходном сопротивлении элемента $DD1.1$ и $ивых^1$ возрастает, а также уменьшается напряжение $ивх^2$ на входе элемента $DD1.2$. В определенный момент $ивх^2$ снизится до величины, при которой рабочая точка элемента $DD1.2$ выходит на активный участок передаточной характеристики, где уменьшение $ивх^2$ вызывает увеличение $ивых^2$. Через конденсатор $C2$ это увеличение воздействует на вход элемента $DD1.1$. С возрастанием $ивх^1$ до определенного уровня рабочая точка элемента $DD1.1$ выйдет на активный участок передаточной характеристики. Когда оба элемента будут находиться в усилительном режиме, заработает положительная обратная связь, за счет которой $ивых^2$ лавинообразно увеличивается, а $ивых^1$ соответственно уменьшается. В итоге $DD1.1$ открывается ($ивых^1 \approx u^0$), а $DD1.2$ закрывается ($ивых^2 \approx u^1$).

После этого конденсатор $C2$ начинает заряжаться, а $C1$ быстро разряжается через диод $VD2$ и выходное сопротивление открытого элемента $DD1.1$. Наступает второй полупериод, в котором процессы подобны описанным.

Длительность импульсов, вырабатываемых описанным генератором, определяется по формуле $t_{и} = 2,3\tau \lg(u^1/u_{пор})$, где $\tau = (R + R_{вых})C$, $C = C1 = C2$; $R = R1 = R2$; $R_{вых} = R_{вых1} = R_{вых2}$; $R_{вых}$ – выходное сопротивление инвертора в открытом состоянии; u^1 – минимальный уровень напряжения логической единицы; $u_{пор}$ – пороговое напряжение переключения инвертора.

Например, при использовании интегральной микросхемы $K155\text{ЛА}3$ $u^1 = 2,4$ В, $R_{вых} = 50$ Ом, $u_{пор} = 1$ В (для случая, когда $C = 7500$ нФ, $R = 51$ Ом, получим длительность формируемых импульсов

$$t_{и} = 2,3(51 + 50) \cdot 7,5 \cdot 10^{-6} \lg(2,4/1) = 1,742 \cdot 10^{-3} \lg(2,4) = 6,62 \cdot 10^{-4} \text{ С}.$$

Поскольку были приняты $C1 = C2$ и $R1 = R2$, то длительность импульса на каждом выходе будет равна длительности паузы, и период следования импульсов $T = 2 t_{и} = 1,32 \cdot 10^{-3} \text{ С}$, а частота

импульсов – $f = 1/2t_{и} = 755,287$ Гц .

Описанная схема генератора имеет недостаток. В ней возможна ситуация, когда оба элемента $DD1.1$ и $DD1.2$ одновременно закрыты (при медленном нарастании питающего напряжения во время включения) и отсутствуют условия для возникновения явления генерации. Поэтому схему дополняют, как это показано на рисунке 1.64.

В схеме на рисунке 1.64, если мультивибратор работает нормально (т. е. когда один из элементов $DD1.1$ или $DD1.2$ заперт, а другой –открыт), на входах элемента логического умножения (собранный на элементах $DD1.3$ и $DD1.4$) присутствуют различные уровни напряжения «0» и «1». В этом случае на его выходе будет присутствовать логический нуль. При этом правый по схеме вывод резистора $R1$ через низкое выходное сопротивление открытого элемента $DD1.4$ соединен с корпусом («землей»), и принципиальная схема работает аналогично представленной на рисунке 1.62. Если элементы $DD1.1$ и $DD1.2$ одновременно заперты, на входах элемента умножения присутствует логическая единица, и на выходе $DD1.4$ также будет логическая единица (напряжение высокого уровня). Напряжение высокого уровня через резистор $R1$ поступит на вход $DD1.1$, и он открывается. Вследствие этого в схеме возникают условия для колебательного процесса.

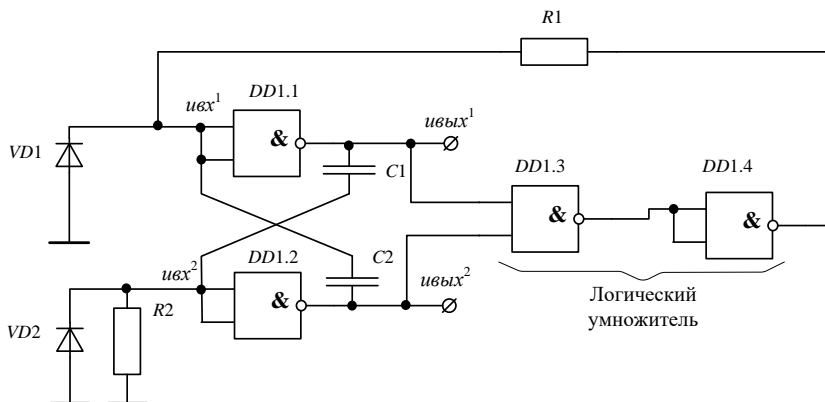


Рисунок 1.64 – Схема генератора прямоугольных импульсов с элементом совпадения

Рассмотрим также работу схемы генератора на элементах КМОП-

логики, представленной на рисунке 1.65 [9, 10].

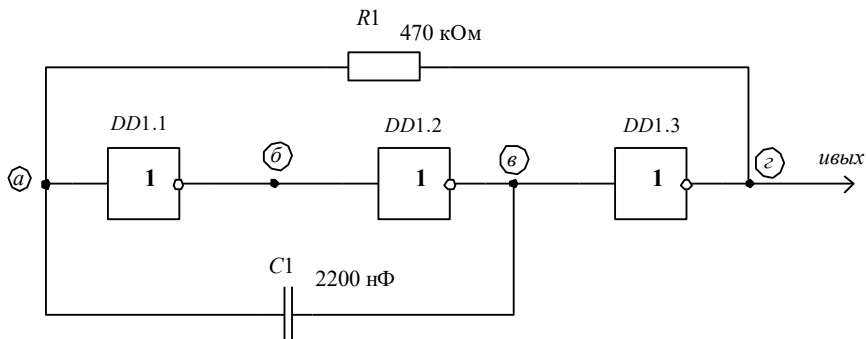


Рисунок 1.65 – Схема генератора прямоугольных импульсов на инверторах К561ЛН2

В момент, когда на входе инвертора $DD1.1$ присутствует напряжение низкого уровня, на выходе инвертора $DD1.2$ также низкий уровень, а на выходе инвертора $DD1.3$ – напряжение высокого уровня. Конденсатор $C1$ начинает заряжаться через резистор $R1$. Напряжение на конденсаторе стремится в пределе к напряжению питания $U_{пит}$ (рисунок 1.66, а).

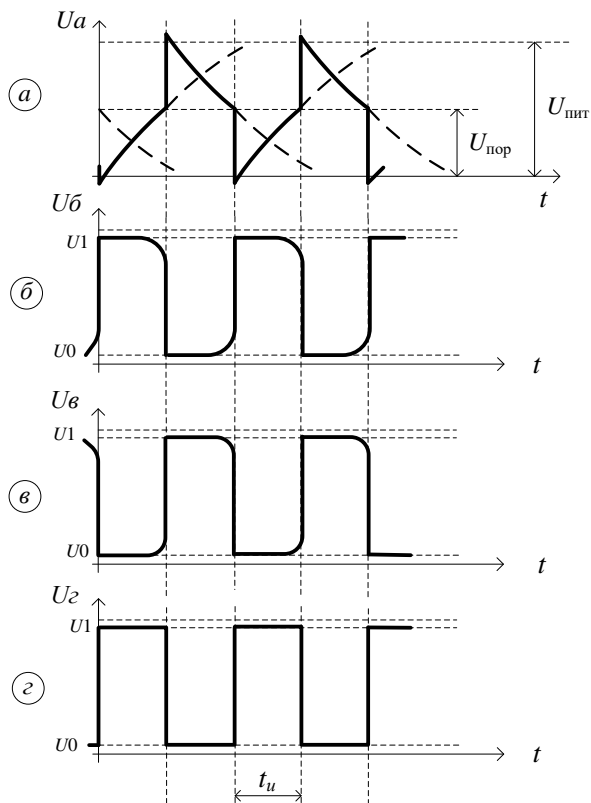


Рисунок 1.66 – Временные диаграммы работы генератора импульсов на трех КМОП инверторах

Как только напряжение на входе инвертора $DD1.1$ приблизится к пороговому $U_{пор}$, напряжение на его выходе начнет плавно уменьшаться (рисунок 1.66, б), и когда оно сравняется с порогом переключения инвертора $DD1.2$, напряжение на его выходе начнет возрастать (рисунок 1.66, в).

Небольшое повышение напряжения на выходе инвертора $DD1.2$ конденсатор $C1$ передает на вход инвертора $DD1.1$. Это вызовет лавинообразный процесс переключения всех инверторов генератора. Высокий уровень на выходе инвертора $DD1.3$ сменится низким (рисунок 1.66, г). Напряжение на входе инвертора $DD1.1$ несколько превысит напряжение питания $U_{пит}$ (оно будет ограничено выходным внутренним защитным диодом инвертора) и начнется процесс

перезарядки конденсатора с плавным уменьшением напряжения на входе $DD1.1$ (аналогично описанному выше).

Длительность импульса, вырабатываемого генератором, определяется по формуле $t_{и} = R1 C1/1,08 = 0,93 R1 C1$. Период и частоту импульсов соответственно можно вычислить по выражениям $T = 2t_{и} = R1 C1/0,54$; $f = 0,54/R1 C1$.

Для повышения стабильности работы генераторов применяют кварцевые резонаторы (рисунок 1.67).

Частота генератора с кварцевой стабилизацией частоты определяется резонансной частотой кварцевого резонатора. Для рассмотренного примера она равна $f = 32768$ Гц.

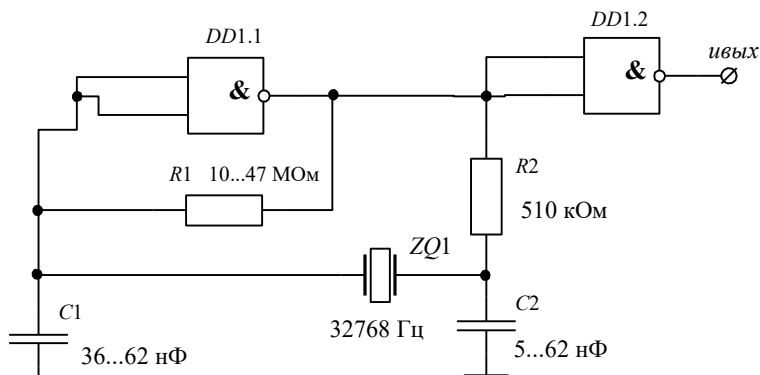


Рисунок 1.67 – Схема генератора прямоугольных импульсов с кварцевой стабилизацией частоты на интегральной микросхеме К561ЛА7

2 СИНТЕЗ КОМПОНЕНТОВ СИСТЕМ АВТОМАТИКИ И ТЕЛЕМЕХАНИКИ НА БАЗЕ МУЛЬТИПЛЕКСОРОВ

Применение мультиплексоров для реализации функций алгебры логики часто позволяет сократить количество используемых корпусов интегральных микросхем.

Для того чтобы функцию реализовать на мультиплексорах, необходимо выполнить разложение этой функции по переменным на основе **теоремы разложения** [1, 4]. Суть теоремы разложения в том, что любую функцию алгебры логики n переменных можно разложить по $i \leq n$ переменным и представить в виде

$$f(x_1, x_2, \dots, x_n) = \bar{x}_1 \bar{x}_2 \dots \bar{x}_i D_0 \vee \bar{x}_1 \bar{x}_2 \bar{x}_{i-1} x_i D_i \vee \dots \vee x_1 x_2 \dots x_i D_{2^i-1},$$

где D_j – функция, получающаяся из исходной путем подстановки в нее набора значений переменных с номером $j \in \{0, 1, \dots, 2^i - 1\}$.

Функция может быть реализована как на асинхронных, так и на синхронных (стробируемых) мультиплексорах. В том случае, если функция алгебры логики реализуется на асинхронных мультиплексорах, выполняются следующие этапы:

1) осуществляется разложение функции по количеству переменных, равному количеству управляющих входов используемых мультиплексоров;

2) переменные, по которым выполнялось разложение, подаются на соответствующие адресные входы мультиплексора;

3) выходы функций D_j , полученных в результате подстановки наборов переменных в исходную функцию, подаются на соответствующие номеру подставленного набора входы данных мультиплексора.

Функция алгебры логики может быть реализована на одном мультиплексоре, если количество ее переменных $n \leq k - 1$, где k – количество адресных входов мультиплексора. В противном случае потребуется несколько мультиплексоров.

Рассмотрим пример. Пусть функция алгебры логики имеет вид $f = x_1 \bar{x}_3 x_4 \vee \bar{x}_1 x_2 \bar{x}_3 \vee x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 x_3 x_4$. Реализуем ее на

мультиплексорах с тремя, а затем с двумя адресными входами.

При реализации данной функции на асинхронных мультиплексорах с тремя адресными входами необходимо выполнить ее разложение по трем переменным, например по x_1 , x_2 и x_3 . Для этого подставим в исходную функцию все возможные комбинации значений указанных переменных (таблица 2.1).

Таблица 2.1 – Разложение функции по трем переменным

x_1	x_2	x_3	Значения функций D_j
0	0	0	$D_0 = 0 \cdot 1 \cdot x_4 \vee 1 \cdot 0 \cdot 1 \vee 0 \cdot 1 \cdot \bar{x}_4 \vee 1 \cdot 0 \cdot 0 \cdot x_4 = 0$
0	0	1	$D_1 = 0 \cdot 0 \cdot x_4 \vee 1 \cdot 0 \cdot 0 \vee 0 \cdot 0 \cdot \bar{x}_4 \vee 1 \cdot 0 \cdot 1 \cdot x_4 = 0$
0	1	0	$D_2 = 0 \cdot 1 \cdot x_4 \vee 1 \cdot 1 \cdot 1 \vee 1 \cdot 1 \cdot \bar{x}_4 \vee 1 \cdot 1 \cdot 0 \cdot x_4 = 1$
0	1	1	$D_3 = 0 \cdot 0 \cdot x_4 \vee 1 \cdot 1 \cdot 0 \vee 1 \cdot 0 \cdot \bar{x}_4 \vee 1 \cdot 1 \cdot 1 \cdot x_4 = x_4$
1	0	0	$D_4 = 1 \cdot 1 \cdot x_4 \vee 0 \cdot 0 \cdot 1 \vee 0 \cdot 1 \cdot \bar{x}_4 \vee 0 \cdot 0 \cdot 0 \cdot x_4 = x_4$
1	0	1	$D_5 = 1 \cdot 0 \cdot x_4 \vee 0 \cdot 0 \cdot 0 \vee 0 \cdot 0 \cdot \bar{x}_4 \vee 0 \cdot 0 \cdot 1 \cdot x_4 = 0$
1	1	0	$D_6 = 1 \cdot 1 \cdot x_4 \vee 0 \cdot 1 \cdot 1 \vee 1 \cdot 1 \cdot \bar{x}_4 \vee 0 \cdot 1 \cdot 0 \cdot x_4 = x_4 \vee \bar{x}_4 = 1$
1	1	1	$D_7 = 1 \cdot 0 \cdot x_4 \vee 0 \cdot 1 \cdot 0 \vee 1 \cdot 0 \cdot \bar{x}_4 \vee 0 \cdot 1 \cdot 1 \cdot x_4 = 0$

Схема реализации рассматриваемой функции на асинхронном мультиплексоре с тремя адресными входами представлена на рисунке 2.1.

Теперь реализуем ту же функцию, но на асинхронных мультиплексорах с двумя адресными входами. В данном случае разложение первоначально выполним по двум переменным. Пусть это будут переменные x_1 и x_2 . Ход разложения показан в таблице 2.2.

Таблица 2.2 – Разложение функции по двум переменным

x_1	x_2	Значения функций D_j
0	0	$D_0 = 0 \cdot \bar{x}_3 \cdot x_4 \vee 1 \cdot 0 \cdot \bar{x}_3 \vee 0 \cdot \bar{x}_3 \cdot \bar{x}_4 \vee 1 \cdot 0 \cdot x_3 \cdot x_4 = 0$
0	1	$D_1 = 0 \cdot \bar{x}_3 \cdot x_4 \vee 1 \cdot 1 \cdot \bar{x}_3 \vee 1 \cdot \bar{x}_3 \cdot \bar{x}_4 \vee 1 \cdot 1 \cdot x_3 \cdot x_4 =$ $= \bar{x}_3 \vee \bar{x}_3 \cdot \bar{x}_4 \vee x_3 \cdot x_4 = \bar{x}_3 \vee x_3 x_4 = \bar{x}_3 \vee x_4$
1	0	$D_2 = 1 \cdot \bar{x}_3 \cdot x_4 \vee 0 \cdot 0 \cdot \bar{x}_3 \vee 0 \cdot \bar{x}_3 \cdot \bar{x}_4 \vee 0 \cdot 0 \cdot x_3 \cdot x_4 = \bar{x}_3 \cdot x_4$
1	1	$D_3 = 1 \cdot \bar{x}_3 \cdot x_4 \vee 0 \cdot 1 \cdot \bar{x}_3 \vee 1 \cdot \bar{x}_3 \cdot \bar{x}_4 \vee 0 \cdot 1 \cdot x_3 \cdot x_4 = \bar{x}_3 \cdot x_4 \vee \bar{x}_3 \cdot \bar{x}_4 = \bar{x}_3$

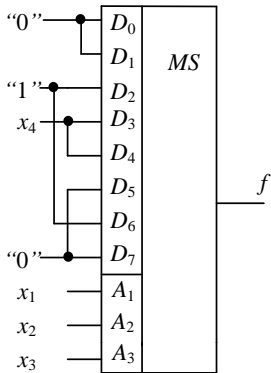


Рисунок 2.1 – Реализация функции алгебры логики на асинхронном мультиплексоре с тремя адресными входами

В результате разложения получены две функции D_1 и D_2 , для которых необходимы отдельные мультиплексоры, так как они состоят более чем из одной переменной. Выполним разложение функций D_1 и D_2 по переменным x_3 и x_4 (таблица 2.3).

Таблица 2.3 – Разложение функций D_1 и D_2

x_3	x_4	Значения функций D_1^j	Значения функций D_2^j
0	0	$D_1^0 = 1$	$D_2^0 = 0$
0	1	$D_1^1 = 1$	$D_2^1 = 1$
1	0	$D_1^2 = 0$	$D_2^2 = 0$
1	1	$D_1^3 = 1$	$D_2^3 = 0$

Для реализации на асинхронных мультиплексорах исходной функции нам потребуются три двухадресных мультиплексора: один – для получения D_1 , один – для получения D_2 и один – для реализации конечной функции (рисунок 2.2).

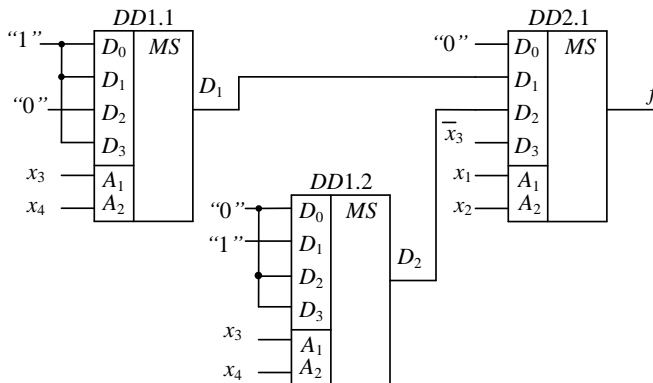


Рисунок 2.2 – Реализация функции четырех переменных на асинхронных мультиплексорах с двумя адресными входами

Для реализации функций алгебры логики можно применять также

синхронные мультиплексоры. При этом существуют две возможности реализации функций на синхронных мультиплексорах. Первая возможность заключается в том, чтобы подать на вход стробирования «С» логическую единицу и далее следовать методике синтеза функций на асинхронных мультиплексорах.

Вторая возможность – использование входа стробирования в качестве информационного. В этом случае необходимы два мультиплексора и выполняются следующие этапы:

1) осуществляется разложение заданной функции по одной переменной с получением подфункций F_0 и F_1 ;

2) подфункции F_0 и F_1 раскладываются по количеству переменных, равному количеству управляющих входов используемых мультиплексоров;

3) переменные, по которым выполнялось разложение подфункций F_0 и F_1 , подаются на адресные входы мультиплексоров (для F_0 и для F_1);

4) функции D_j , полученные в результате подстановки наборов переменных в подфункции F_0 и F_1 , подаются на соответствующие номеру подставленного набора входы данных своего мультиплексора;

5) переменная, по которой выполнялось разложение исходной функции в п. 1, подается на вход «С» мультиплексора, реализующую подфункцию F_1 , и через инвертор – на вход «С» мультиплексора, реализующего подфункцию F_0 ;

6) выходы мультиплексоров от подфункций F_0 и F_1 объединяются элементом логического сложения.

Применение синхронизирующего входа мультиплексора позволяет реализовать на двух мультиплексорах функцию, количество аргументов которой $n \leq k - 2$, где k – количество адресных входов синхронного мультиплексора.

Реализуем на синхронных двухадресных мультиплексорах ту же функцию, что и в примере с асинхронными мультиплексорами. Разложим исходную функцию

$f = x_1 \bar{x}_3 x_4 \vee \bar{x}_1 x_2 \bar{x}_3 \vee x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 x_3 x_4$ по переменной x_1 . Получим:

$$- \text{ для } x_1 = 0 - F_0 = 0 \cdot \bar{x}_3 \cdot x_4 \vee 1 \cdot x_2 \cdot \bar{x}_3 \vee x_2 \cdot \bar{x}_3 \cdot \bar{x}_4 \vee$$

$$\vee 1 \cdot x_2 \cdot x_3 \cdot x_4 = x_2 \cdot \bar{x}_3 \vee x_2 \cdot \bar{x}_3 \cdot \bar{x}_4 \vee x_2 \cdot x_3 \cdot x_4.$$

$$\begin{aligned}
 & - \text{ для } x_1 = 1 - F1 = 1 \cdot \bar{x}_3 \cdot x_4 \vee 0 \cdot x_2 \cdot \bar{x}_3 \vee x_2 \cdot \bar{x}_3 \cdot \bar{x}_4 \vee \\
 & \vee 0 \cdot x_2 \cdot x_3 \cdot x_4 = \bar{x}_3 \cdot x_4 \vee x_2 \cdot \bar{x}_3 \cdot \bar{x}_4.
 \end{aligned}$$

Далее выполним разложение подфункций F_0 и F_1 по переменным x_3 и x_4 (таблицы 2.4 и 2.5).

Таблица 2.4 – Разложение подфункции F_0

x_3	x_4	Значения функций D_j для F_0
0	0	$D_0 = x_2 \cdot 1 \vee x_2 \cdot 1 \cdot 1 \vee x_2 \cdot 0 \cdot 0 = x_2$
0	1	$D_1 = x_2 \cdot 1 \vee x_2 \cdot 1 \cdot 0 \vee x_2 \cdot 0 \cdot 1 = x_2$
1	0	$D_2 = x_2 \cdot 0 \vee x_2 \cdot 0 \cdot 1 \vee x_2 \cdot 1 \cdot 0 = 0$
1	1	$D_3 = x_2 \cdot 0 \vee x_2 \cdot 0 \cdot 0 \vee x_2 \cdot 1 \cdot 1 = x_2$

Таблица 2.5 – Разложение подфункции F_1

x_3	x_4	Значения функций D_j для F_1
0	0	$D_0 = 1 \cdot 0 \vee x_2 \cdot 1 \cdot 1 = x_2$
0	1	$D_1 = 1 \cdot 1 \vee x_2 \cdot 1 \cdot 0 = 1$
1	0	$D_2 = 0 \cdot 0 \vee x_2 \cdot 0 \cdot 1 = 0$
1	1	$D_3 = 0 \cdot 1 \vee x_2 \cdot 0 \cdot 0 = 0$

Построим схему, реализующую исходную функцию (рисунок 2.3).

В том случае, если для реализации функции применить интегральную микросхему сдвоенного мультиплексора, например КР1561КП1, потребуется всего две интегральных микросхемы (вторая – для реализации операций инверсии и суммы). В качестве второй интегральной микросхемы можно выбрать КР1561ЛЕ5.

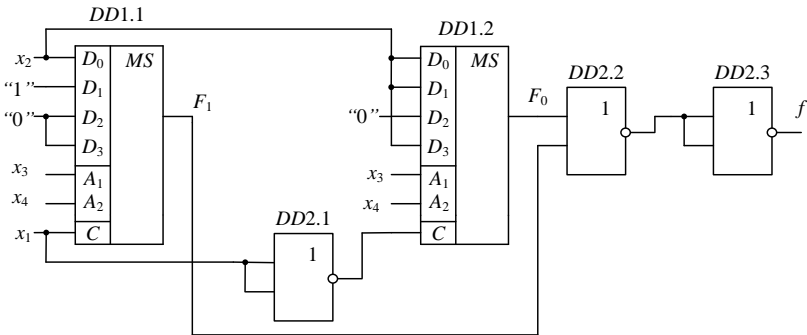


Рисунок 2.3 – Реализация функции четырех переменных на стробируемых мультиплексорах с двумя адресными входами

3 ЭЛЕМЕНТНАЯ БАЗА ИНТЕГРАЛЬНОГО ИСПОЛНЕНИЯ

Цифровые интегральные микросхемы в настоящее время являются основной элементной базой многих систем управления технологическими процессами.

Интегральные микросхемы выпускают сериями. На элементах одной серии можно построить практически все функциональные узлы и блоки цифровых систем. *Серией* называется совокупность микросхем различного функционального назначения, имеющих единое конструктивно-технологическое исполнение [11].

В качестве активных элементов, на которых строятся базовые элементы цифровых интегральных микросхем, используются **два типа транзисторов** – биполярные и полевые.

Способ соединения транзисторов между собой в базовом элементе определяет тип логики. На **биполярных** транзисторах наиболее часто выполняют элементы транзисторно-транзисторной логики (ТТЛ) и эмиттерно-связанной логики (ЭСЛ). В режиме насыщения в базовой и коллекторной областях транзистора создаются избыточные заряды неосновных носителей, что уменьшает его быстродействие.

Для сокращения длительности переключения ключевого транзистора используют диоды Шотки, включаемые параллельно коллекторному переходу транзистора. В некоторых интегральных микросхемах их изготавливают вместе с транзисторами на общем кристалле в едином технологическом процессе. Транзисторы с диодами Шотки часто называют транзисторами Шотки, а быстродействующие микросхемы на основе этих транзисторов – ТТЛШ.

Интегрально-инжекционная логика (ИИЛ или И²Л) представляет

собой развитие транзисторной логики с непосредственными связями.

Полевые транзисторы наиболее распространены в металл-оксид-полупроводниковой (МОП) и комплиментарной (КМОП) логике. Последний тип логики, являющийся наиболее современным, основан на совместном включении пары униполярных транзисторов с каналами разных типов проводимости.

Цифровые интегральные микросхемы характеризуются статическими и динамическими параметрами. Некоторые из параметров особенно важно учитывать при синтезе цифровых технических средств сложной конфигурации [3].

Статическими параметрами интегральной микросхемы называют те, которые характеризуют состояние включенной микросхемы: напряжение источника питания; входное и выходное напряжения, соответствующие логическому нулю или логической единице; допустимое количество входов интегральной микросхемы (коэффициент объединения по входу); количество одновременно подключаемых к выходу нагрузок (других микросхем) – коэффициент разветвления по выходу; средняя потребляемая мощность; помехоустойчивость.

Динамические параметры характеризуют микросхему в режиме переключения: время перехода из состояния логического нуля в состояние логической единицы или наоборот; время задержки распространения сигнала и др. В таблице 3.1 приведены усредненные значения некоторых из перечисленных параметров интегральных микросхем для различных типов логики.

Интегральные схемы ТТЛ-серий обладают сравнительно высоким быстродействием при относительно высокой потребляемой мощности, высокой помехоустойчивости.

Микросхемы КМОП-типа отличаются исключительно малым потреблением мощности, за счет чего температура кристалла не превышает допустимой при весьма большом количестве компонентов на нем. Это позволяет изготавливать микросхемы с наивысшей степенью интеграции. Вместе с тем КМОП-схемы обладают высокой помехоустойчивостью, большим входным сопротивлением и, как следствие, высокой нагрузочной

способностью. Кроме того, в последнее время изготовителями интегральных схем преодолен основной недостаток КМОП-схем – высокое время задержки распространения сигнала t_3 . В интегральных микросхемах новых поколений КМОП-серий t_3 сократится примерно на порядок, поэтому будущее именно за интегральными микросхемами данного типа логики.

В ряде случаев при построении сложных цифровых устройств приходится исполнять их принципиальные схемы на интегральных микросхемах разных типов логики (например, КМОП и ТТЛШ). При этом для согласования логических уровней необходимо применять преобразователи уровней.

Таблица 3.1 – Параметры распространенных серий микросхем

Параметр	Тип логики		
	ТТЛ	ТТЛШ	КМОП
Напряжение питания U_{cc} , В	5	5	3–5, 10
Напряжение логической единицы u^1 , В	2,4	2,7	$\approx U_{cc}$
Напряжение логического нуля u^0 , В	0,4	0,5	≈ 0
Время задержки распространения сигнала t_3 , нс	20	5	50 и менее
Коэффициент разветвления по выходу	10	10	50
Коэффициент объединения по входу	8	4	5–8
Помехоустойчивость U_n , В	$\geq 0,4$	$\geq 0,5$	$\geq 0,3U_{cc}$
Потребляемая мощность $P_{пот}$, мВт	22	19	0,1

В таблице 3.2 приведены примерные сведения о наличии общих для разных серий логических компонентов для отечественных цифровых интегральных микросхем. В таблице 3.2 приведен не полный состав элементов серий, а лишь те компоненты, которые чаще всего применяются для синтеза дискретных устройств в курсовом проектировании. В графе «Примечание» таблицы приведены признаки, обозначающие функциональное назначение (вид) цифровой интегральной микросхемы, расшифровка которых представлена в таблице 3.3.

Таблица 3.2 – Компонентный состав серий цифровых интегральных микросхем

Наименование компонента	Серия интегральной микросхемы									Примечание	
	КМОП						ТТЛ	ТТЛШ			
	стандартная			высокоскоростная							
	К176	К561	К564	КР1561	К1554	1564	К155	КР531	К555		КР1533
Четыре логических элемента 2ИЛИ						+	+	+	+	+	ЛЛ1
Шесть инверторов		+	+			+	+	+	+	+	ЛН1
Логический элемент 2-4И-2ИЛИ-НЕ							+				ЛР4
Два логических элемента 4И					+				+	+	ЛИ6
Два логических элемента 4ИЛИ-НЕ	+	+	+	+		+					ЛЕ6, ЛЕ9
Три логических элемента 3И						+		+	+	+	ЛИЗ, ЛИ4
Четыре логических элемента 2И		+		+		+	+	+	+	+	ЛИ1, ЛИ2
Три логических элемента 3ИЛИ-НЕ	+	+	+	+	+	+	+		+	+	ЛЕ4, ЛЕ10
Четыре логических элемента 2ИЛИ-НЕ	+	+	+	+		+	+	+	+	+	ЛЕ1, ЛЕ5
Четыре логических элемента 2И-НЕ	+	+	+			+	+	+	+	+	ЛАЗ, ЛА8, ЛА12
Два логических элемента 4И-НЕ	+	+	+		+	+	+	+	+	+	ЛА1, ЛА6, ЛА7
Три логических элемента 3И-НЕ	+	+	+	+	+	+	+	+	+	+	ЛА4, ЛА9, ЛА10
Логический элемент 8И-НЕ						+	+	+	+	+	ЛА2
Два логических элемента 2-2И-2ИЛИ-НЕ и 3-3И-2ИЛИ-НЕ						+		+	+		ЛР11
Четыре RS-триггера		+	+					+	+	+	ТР2
Шесть D-триггеров					+			+		+	ТМ9
Четыре D-триггера		+	+		+	+	+			+	ТМ2, -3, -5, -7, -8
Два D-триггера	+	+	+		+	+	+		+	+	ТМ1, ТМ2
Два JK-триггера	+	+	+	+	+		+	+	+	+	ТВ1, -6, -9, -10, -11, -15
Дешифратор	+					+			+	+	ИД1, ИД3, ИД7
Четырехразрядный 2/10 счетчик		+	+	+			+			+	ИЕ2, -10, -11

Окончание таблицы 3.2

Наименование компонента	Серия интегральной микросхемы										Примечание
	КМОП						ТТЛ	ТТЛШ			
	стандартная			высокоскоростная							
	K176	K561	K564	KP1561	K1554	1564	K155	KP531	K555	KP1533	
Четырехразрядный реверсивный 2/10 счетчик	+					+	+		+	+	ИЕ6, -7, -9, -12, -13
Четырехразрядный двоичный счетчик				+	+	+	+			+	ИЕ5, -18, -19
Восьмиразрядный сдвиговый регистр	+	+	+	+		+	+			+	ИР6, -10, -13
Четырехразрядный универсальный сдвиговый регистр	+					+	+				ИР1, -3
Четырехразрядный регистр сдвига	+	+	+	+							ИР2
Восьмиразрядный регистр памяти					+					+	ИР22, -23, -27
Восьмиразрядный универсальный сдвиговый регистр					+				+	+	ИР16, -24
Восемнадцатиразрядный регистр сдвига		+	+		+						ИР1, -47
Последовательно-параллельный регистр		+	+	+							ИР9, ПР1
Два мультиплексора на четыре входа данных				+	+	+	+	+		+	КП2, КП19
Мультиплексор на восемь входов данных				+		+	+			+	КП5, КП7
Четырехразрядный полный сумматор	+		+	+			+				ИМ1, ИМ3
Дешифратор семисегментного индикатора	+	+	+			+					ИД2, -4, -5

Таблица 3.3 – Функциональная кодировка некоторых интегральных схем

Кодировка	Функциональное назначение
ЛИ	Элемент логического умножения «И»
ЛЛ	Элемент логического сложения «ИЛИ»
ЛН	Инвертор
ЛА	Элемент Шеффера «И-НЕ»
ЛЕ	Элемент Вебба «ИЛИ-НЕ»
ЛР	Элемент «И-ИЛИ-НЕ»
РЦ, РТ	Постоянное запоминающее устройство, программируемая логическая матрица с однократным программированием
ХЛ, ХП, ХМ	Многофункциональные цифровые устройства, программируемая логическая матрица
ЯТ, ЯУ, ЯР	Постоянное запоминающее устройство, программируемая логическая матрица с многократным программированием
ГГ	Генератор импульсов прямоугольной формы
ПР	Преобразователь кодов
ТР	<i>RS</i> -триггер
ТМ	<i>D</i> -триггеры
ТВ	<i>JK</i> -триггер
ТК	Комбинированный триггер
ТД	Динамический триггер
АГ	Формирователь импульсов прямоугольной формы
ИР	Регистр
ИМ	Сумматор
ИЛ	Полусумматор
ИЕ	Счетчик
ИД	Дешифратор
ИВ	Шифратор
ИП	Прочие цифровые устройства

В приложениях А – Е представлена необходимая для выполнения курсового проекта информация о цифровых интегральных микросхемах (ИМС) и кварцевых резонаторах.

4 АНАЛИЗ РАБОТЫ И ПОСТРОЕНИЕ ДИАГРАММ ДИСКРЕТНЫХ УСТРОЙСТВ

4.1 АНАЛИЗ РАБОТЫ ДИСКРЕТНЫХ УСТРОЙСТВ

4.1.1 Комбинационные дискретные устройства

Анализ схемы комбинационного дискретного устройства состоит в **нахождении функции алгебры логики, реализованной устройством** [1]. Функция алгебры логики может быть представлена как в аналитическом виде, так и в форме таблицы истинности. *Анализ проводят с целью определения функциональных свойств комбинационного дискретного устройства по его схеме или для проверки правильности функционирования разработанной схемы.* Такая проверка необходима, так как при разработке сложных устройств не всегда удается достаточно полно формализовать предъявляемые к схеме требования, которые в этом случае учитываются на основании эвристических соображений разработчика. Анализ может проводиться и с целью определения работоспособности схемы в режимах, отличающихся от тех, которые были учтены при проектировании.

Работу устройства железнодорожной автоматики необходимо также анализировать при повреждении некоторых его элементов. При этом важно выполнить основное требование: **любое повреждение не должно приводить к изменению алгоритма функционирования, которое может нарушить условия обеспечения безопасности движения поездов.** При анализе ставят задачу определения возможности упрощения схемы устройства. Это достигается соответствующим преобразованием и минимизацией функций алгебры логики. Особой задачей анализа является выяснение поведения дискретного устройства в переходных режимах и выявление возможностей нарушений работы в эти периоды.

Анализ реальных схем с точки зрения логики их работы проводят в два этапа. Сначала из имеющейся принципиальной схемы удаляют все несущественные, вспомогательные элементы, которые не влияют на

логику работы схемы, а лишь обеспечивают устойчивость ее работы. Получается схема, состоящая из элементов, выполняющих только логические функции. Затем анализируют полученную схему.

Способ нахождения функции алгебры логики определяется, прежде всего, схемой. При контактных элементах функцию алгебры логики записывают непосредственно по схеме. Для контактной схемы с реле первого класса надежности, приведенной на рисунке 4.1, функция алгебры логики будет $f(X1, X2, X3, X4) = (X2 \vee X1 \overline{X3})(X1 \vee \overline{X2})(X3 \vee X4) \vee X1 \overline{X4}$. При построении ФАЛ учтено, что последовательное соединение контактов на схеме соответствует логическому умножению, а параллельное – сложению.

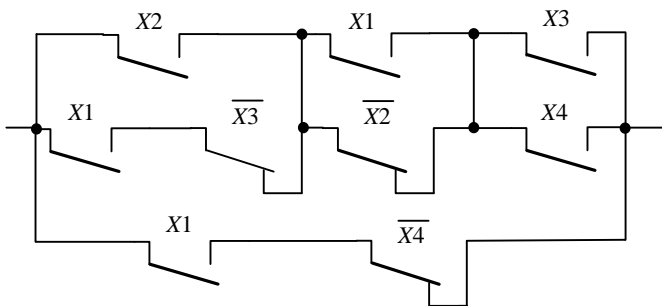


Рисунок 4.1 – Анализируемая релейно-контактная схема

По записанному выражению может быть составлена таблица истинности в форме карты Карно (рисунок 4.2).

Из рисунка 4.2 следует, что схема может быть упрощена (рисунок 4.3), и минимальная дизъюнктивная форма функции запишется так:

$$f(X1, X2, X3, X4) = X1 X2 \vee X1 \overline{X3} \vee X1 \overline{X4} = X1(X2 \vee \overline{X3} \vee \overline{X4}).$$

Анализ схем на бесконтактных логических элементах сводится к получению формул последовательной подстановкой. Для анализа схемы, представленной на рисунке 4.4, введем промежуточные переменные:

$$Y1 = X1 X2; \quad Y2 = X1 \vee X3; \quad Y3 = X3 X4;$$

$$Y4 = \overline{Y1} Y2 = \overline{X1 X2} (X1 \vee X3) = \overline{X1} \vee \overline{X2} \vee \overline{X1} X3 = \overline{X1} \vee \overline{X2};$$

$$F = Y4 \vee Y3 = \overline{X1} \vee \overline{X2} \vee X3 X4.$$

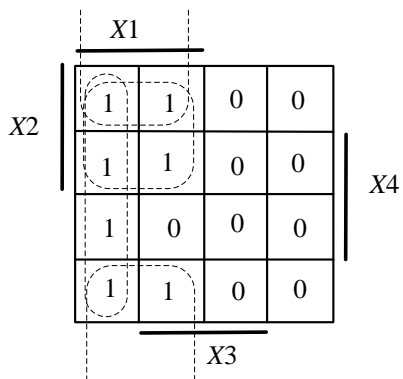


Рисунок 4.2 – Карта Карно анализируемой контактной схемы

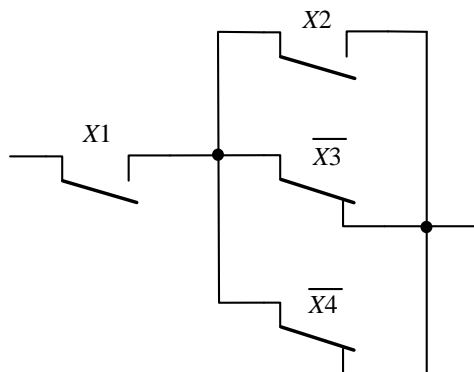


Рисунок 4.3 – Упрощенная релейно-контактная схема

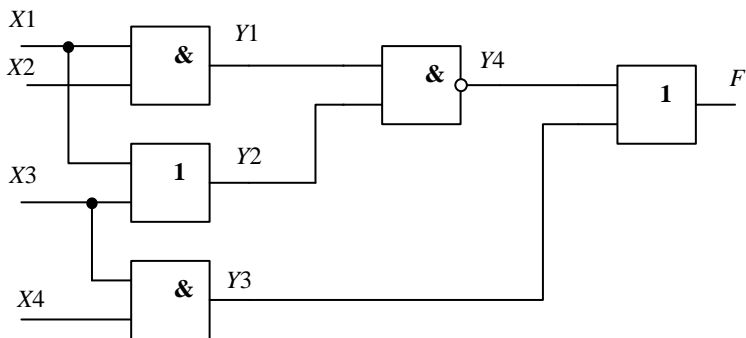


Рисунок 4.4 – Анализируемая схема на бесконтактных элементах

Полученные выражения позволяют определить значение функции алгебры логики.

4.1.2 Дискретные устройства с памятью

Анализ логической схемы состоит в том, чтобы понять, как она работает, и записать ее работу каким-то формальным образом. Например, при анализе комбинационной схемы составляют таблицу истинности, которая показывает изменение ФАЛ схемы в зависимости от состояния ее входных переменных. В отличие от комбинационной, работа многотактной схемы не может быть записана с помощью таблицы истинности, поскольку при одном и том же состоянии входов в разные моменты времени на выходе схемы могут наблюдаться различные значения. Работу дискретного устройства с памятью задают, используя две таблицы: таблицу переходов (ТП) и таблицу выходов (ТВ). В их построении и состоит задача анализа конкретной многотактной схемы. Рассмотрим эту задачу на примере схемы, приведенной на рисунке 4.5. В ней в качестве внутренних элементов памяти использованы реле – элементы памяти (ЭП) без фиксации воздействия.

При **анализе дискретного устройства с памятью** необходимо пройти несколько этапов: 1) составить ФАЛ для схем включения внутренних ЭП и выходных схем; 2) построить таблицы переходов; 3) построить таблицы выходов [1].

На *первом* этапе составим функции алгебры логики для дискретного устройства, представленного на рисунке 4.5, с учетом того, что последовательное соединение контактов соответствует конъюнкции в ФАЛ, а параллельное – дизъюнкции:

$$Y1 = (x1 \vee y2) x2 \vee x1 \overline{y1} ;$$

$$Y2 = \overline{x1} (y1 \vee \overline{x2}) \vee x1 y2 ;$$

$$z1 = x1 (\overline{x2} \vee y2) \vee \overline{y1} ;$$

$$z2 = x1 \overline{y1} \vee x2 (\overline{y2} \vee y1 \vee x1) .$$

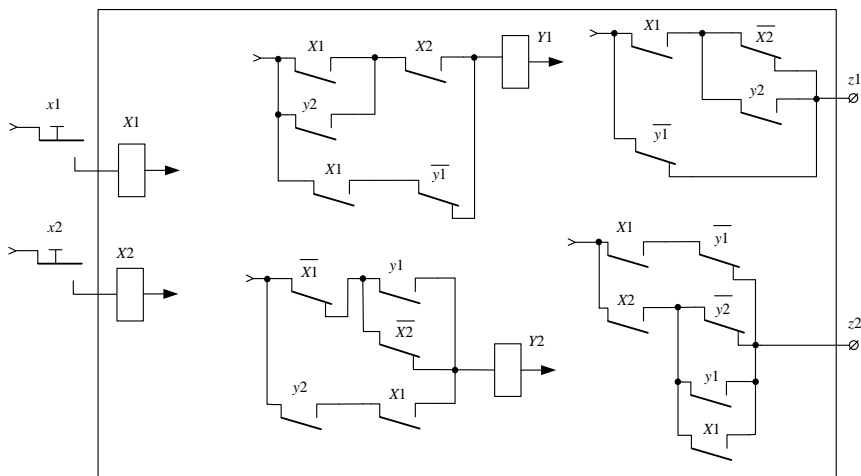


Рисунок 4.5 – Схема дискретного устройства с памятью

На *втором* этапе построим таблицу переходов. Столбцы ТП (таблица 4.1), которые будем обозначать a_j , соответствуют наборам входных переменных. Если схема имеет n входов, ТП содержит 2^n столбцов.

Таблица 4.1 – Таблица переходов дискретного устройства с памятью

a_j		a_1	a_2	a_3	a_4
S_i	$y_1 y_2$	$x_1 x_2$			
		00	01	10	11
S_0	00	01	(00)	10	10
S_1	01	(01)	10	11	11
S_2	10	01	01	00	(10)
S_3	11	01	(11)	01	11

Строки ТП, которые обозначим S_i , соответствуют состояниям памяти схемы. Состоянием памяти многотактной схемы называют комбинацию состояний ее внутренних ЭП. Схема на рисунке 4.5 имеет четыре состояния: $S_0 = 00$ (оба внутренних реле Y_1 и Y_2 обесточены); $S_1 = 01$ (реле Y_1 не работает, реле Y_2 работает); $S_2 = 10$ (реле Y_1 работает, реле Y_2 не работает); $S_3 = 11$ (оба реле включены). В том случае, если схема имеет k внутренних ЭП, число состояний (строк ТП) равно 2^k . Клетка ТП, расположенная на пересечении столбца a_j и строки S_i , соответствует полному состоянию схемы, так как она определяет состояние входных и внутренних переменных. Клетку ТП будем обозначать (a_j, S_i) .

В клетке (a_j, S_i) проставляют состояние S_i , в которое переходит многотактная схема, если она в предыдущий момент времени находилась в состоянии S_i и в данный момент времени на ее вход поступил набор входных переменных a_j .

Рассмотрим, например, клетку $(a_2, S_0) = (01, 00)$. Определим текущее состояние реле Y_1 и Y_2 , если в предыдущий момент времени они оба были обесточены ($S_1 = 00$), а в данный момент времени нажата кнопка x_2 ($a_2 = 01$). Для этого вычислим в соответствии с записанными уравнениями значения функций включения реле Y_1 и Y_2 при подстановке в них переменных $x_1 = 0, x_2 = 1, y_1 = 0, y_2 = 0$, соответствующих столбцу a_2 и строке S_0 : $Y_1 = (0 \vee 0) \vee 0 \cdot 1 = 0$; $Y_2 = 1(0 \vee 0) \vee 0 \cdot 0 = 0$.

Результаты расчета говорят о том, что оба реле Y_1 и Y_2 останутся в нерабочем состоянии. Состояние 00 проставляем в клетке (a_2, S_0) .

Если определять поведение схемы, например, для клетки $(a_3, S_1) = (10, 01)$, в предшествующий момент времени реле Y_1 было выключено, а реле Y_2 – включено, кнопка x_1 нажата, то получим $Y_1 = (1 \vee 1) \vee 0 \vee 1 \cdot 1 = 1$; $Y_2 = 0(0 \vee 1) \vee 1 \cdot 1 = 1$. В данном случае оба реле включатся. Состояние 11 проставляется в клетке (a_3, S_1) .

Таким образом, ТП определяет работу внутренних элементов памяти многотактной схемы и заполняют ее по следующему правилу: в клетке (a_j, S_i) проставляют значения функций Y_1, Y_2, \dots, Y_k , которые получаются при подстановке в них значений входных переменных x_1, x_2, \dots, x_n , соответствующих столбцу a_j , и значений внутренних переменных y_1, y_2, \dots, y_k , соответствующих строке S_i . Таблица 4.1 заполнена по данному правилу.

Полные состояния многотактной схемы делят на устойчивые и неустойчивые. Устойчивым называют состояние, в котором схема может находиться сколь угодно долго до изменения входного набора. Рассмотрим, например, в таблице 4.1 клетку $(a_2, S_3) = (01, 11)$. В ней записано состояние $S_3 = 11$. Это означает следующее. Если в предыдущий момент времени оба реле Y_1 и Y_2 были под током ($S_3 = 11$), а в данный момент времени кнопка x_1 не нажата, а кнопка x_2 нажата ($a_2 = 01$), то состояние внутренних реле не изменяется (оба реле Y_1 и Y_2 должны остаться под током), и в этом устойчивом состоянии схема будет находиться до тех пор, пока не изменится набор входных переменных. Предположим, что отпускается кнопка x_2 и на вход поступает набор $a_1 = 00$. Тогда схема переходит в

неустойчивое полное состояние (a_1, S_3) , в клетке которого записано состояние $S_1 = 01$. В результате происходит обесточивание реле Y_1 , и схема переходит в устойчивое полное состояние $(a_1, S_1) = (00, 01)$, в котором и остается до следующего изменения набора входных переменных.

В таблице 4.1 устойчивые состояния заключены в круглые скобки. Их признаком является совпадение состояния, записанного в клетке (того, что должно быть), с состоянием, приписанным данной строке (того, что было).

На третьем этапе построим таблицу выходов. Строки, столбцы и клетки ТВ (таблица 4.2) имеют тот же смысл, что и соответствующие элементы ТП. Изменяется только содержимое клеток. В клетке (a_j, S_i) проставляют значения ФАЛ выходов, которые имеет схема, если она находится в состоянии S_i и на ее входе присутствует набор a_j .

Таблица 4.2 – Таблица выходов дискретного устройства с памятью

a_j		a_1	a_2	a_3	a_4
S_i	$y_1 y_2$	$x_1 x_2$			
		00	01	10	11
S_0	00	10	11	11	11
S_1	01	10	10	11	11
S_2	10	00	01	10	01
S_3	11	00	01	10	11

Рассмотрим, например, клетку $(a_2, S_1) = (01, 01)$. Определим значения ФАЛ выходов z_1 и z_2 , если схема находится в состоянии $S_1 = 01$ (реле Y_1 обесточено, а реле Y_2 находится под током) и на входе присутствует набор переменных $a_2 = 01$ (кнопка x_1 не нажата, кнопка x_2 нажата). Для этого вычислим значения функций z_1 и z_2 в соответствии с уравнениями дискретного устройства при подстановке в них переменных $x_1 = 0, x_2 = 1, y_1 = 0$ и $y_2 = 1$. В результате получим $z_1 = 0(0 \vee 1) \vee 1 = 1; z_2 = 01 \vee 1(0 \vee 0 \vee 0) = 0$.

Результаты расчета говорят о том, что замкнут выход z_1 , а выход z_2 разомкнут. Их значения 10 проставляют в клетке (a_2, S_1) в таблице 4.2.

Таким образом, ТВ определяет работу выходов многотактной схемы и заполняют ее по следующему правилу: в клетке (a_j, S_i) проставляют значения функций z_1, z_2, \dots, z_q , которые получаются при подстановке в них значений входных переменных x_1, x_2, \dots, x_n ,

соответствующих столбцу a_j , и значений внутренних переменных y_1, y_2, \dots, y_k , соответствующих строке S_i . Таблица 4.2 построена по данному правилу для рассматриваемой схемы.

Таблицы переходов и выходов полностью задают работу многотактной схемы. По ним можно определить поведение схемы при любой последовательности наборов входных переменных.

Рассмотрим особенности анализа дискретного устройства с памятью, построенного на RS -триггерах (рисунок 4.6). Анализ данной схемы содержит те же три этапа.

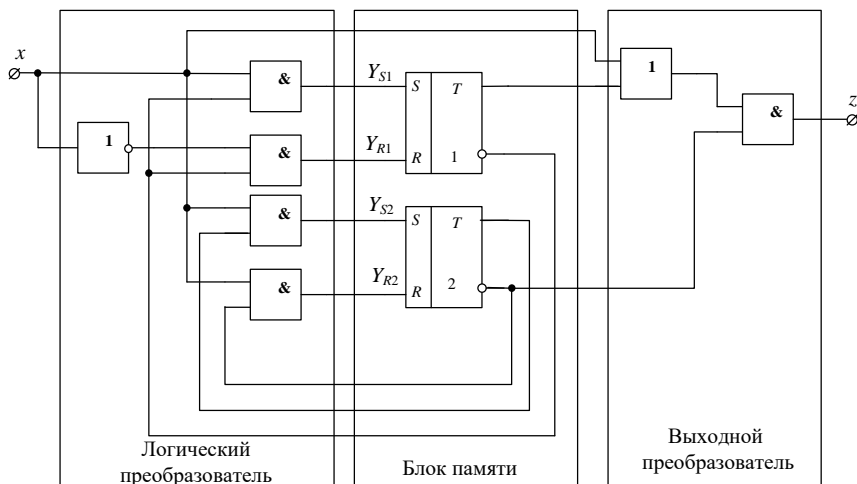


Рисунок 4.6 – Многотактная схема на RS -триггерах

Данное дискретное устройство описывается системой уравнений:

$$Y_{S1} = x \bar{y}_1; Y_{R1} = \bar{x} \bar{y}_1; Y_{S2} = x y_2; Y_{R2} = x \bar{y}_2.$$

Полученные уравнения для каждого ЭП (триггера) содержат две функции: функцию включения Y_S и функцию выключения Y_R . Учтем также, что состояние входов $R = S = 1$ у RS -триггера является запрещенным. Поэтому в корректно построенной схеме функции Y_S и Y_R не могут одновременно быть равными 1.

При заполнении ТП состояние триггера Y определяется при расчете функций Y_S и Y_R по следующим правилам: если $Y_S = 1$ и $Y_R = 0$, $Y = 1$; если $Y_S = 0$ и $Y_R = 1$, $Y = 0$; если $Y_S = Y_R = 0$, состояние триггера Y не изменяется (поскольку воздействия по обоим входам отсутствуют).

Таблицы 4.3 и 4.4 представляют собой соответственно таблицы переходов и выходов анализируемой схемы.

Рассмотрим, например, клетку (1, 01) таблицы 4.3. Для нее имеем: $Y_{S1} = 1 \cdot 1 = 1$, $Y_{R1} = 0 \cdot 1 = 0$, $Y_{S2} = 1 \cdot 1 = 1$, $Y_{R2} = 1 \cdot 0 = 0$. Следовательно, триггер $Y1$ переключается из состояния 0 в состояние 1, а триггер $Y2$ подтверждает состояние 1. В клетке записывается внутреннее состояние 11. В клетке с таким же адресом для таблицы выходов вычисляется значение $z = 0$.

Таблица 4.3 – ТП

y1y2	x	
	0	1
00	(00)	10
01	(01)	11
10	(10)	(10)
11	(11)	(11)

Таблица 4.4 – ТВ

y1y2	x	
	0	1
00	0	1
01	0	0
10	1	1
11	0	0

4.2 ПОСТРОЕНИЕ ДИАГРАММ РАБОТЫ ДИСКРЕТНЫХ УСТРОЙСТВ

Диаграммы работы показывают зависимости выходных сигналов устройства от того, как изменяются входные сигналы [3, 4, 6, 7].

Анализ диаграмм позволяет судить о корректности работы того или иного устройства, а также о правильности выполнения возложенных на устройство функций. В курсовом проекте диаграммы работы отдельных узлов могут быть двух образцов: диаграммы одноктактных и многотактных блоков. **Диаграммы одноктактных блоков** составляются для комбинационных устройств, таких как шифраторы, дешифраторы, преобразователи кодов, параллельные сумматоры, мультиплексоры, демультимплексоры. **Диаграммы многотактных блоков** составляются для счетчиков, последовательных сумматоров, делителей частоты, регистров, преобразователей формы представления информации, генераторов прямоугольных импульсов.

При составлении диаграмм для устройств, памятью которых являются динамические триггеры (счетчики, регистры и другие), на диаграмме следует отражать, по какому из фронтов тактового (поступающего с выхода генератора) импульса переключаются триггеры, – переднему или заднему.

Диаграммы будем строить с определенной степенью упрощения, когда время на переключение сигнала из «0» в «1» и из «1» в «0»

принято равным нулю.

Диаграммы *однотактных устройств* легко составляются на основании таблиц истинности этих комбинационных устройств. Так, например, для шифратора, заданного таблицей 1.1, диаграмма состояний будет иметь семь входных и пять выходных графиков по количеству соответствующих сигналов (рисунок 4.7).

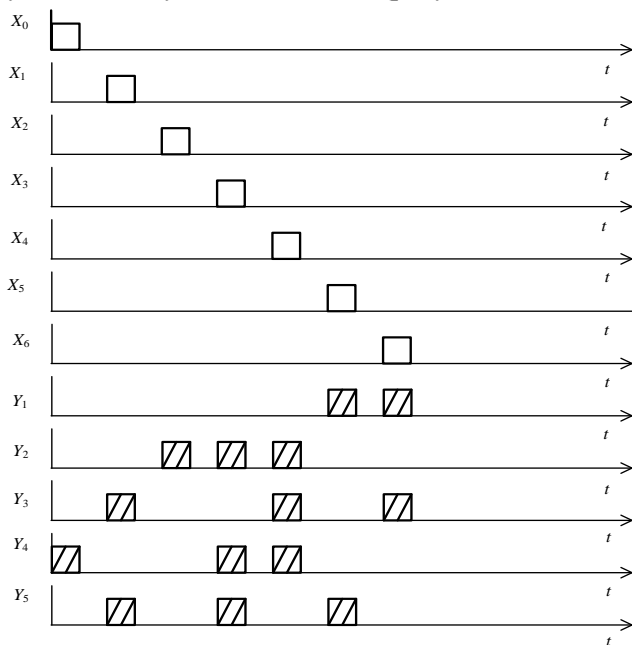


Рисунок 4.7 – Диаграмма состояний шифратора

Поскольку анализируемые комбинационные дискретные устройства работают во взаимосвязи с другими частями схемы, то длительности каждого их состояния будут определяться длительностями входных сигналов. Длительности же входных сигналов связаны с величиной тактового импульса от синхронизирующего генератора, которая должна быть рассчитана в курсовом проекте.

Диаграммы *синхронизирующих последовательностей генераторов тактовых импульсов* представлены на рисунках 1.63 и 1.66. Диаграмма состояний дешифратора, заданного таблицей 1.3, представлена на рисунке 4.8. Она содержит четыре входных и девять выходных графиков.

Диаграмма *состояний преобразователей кодов* показывает соответствие между сигналами входного кода преобразователя и сигналами его выходного кода. Так, на рисунке 4.9 представлена диаграмма состояний преобразователя кодов, заданного таблицей 1.5. В диаграмме показываются все возможные состояния преобразователя, отраженные в его таблице истинности.

При построении временных диаграмм мультиплексоров и демультимплексоров следует учитывать наличие у них стробирующего входа. Так, для *мультиплексора*, заданного таблицей 1.12, следует строить многотактную диаграмму, а не диаграмму состояний, поскольку данный мультиплексор является синхронным. При этом вход синхронизации S будет определять такты работы мультиплексора (рисунок 4.10). Поскольку в данном случае неизвестно, как изменяются данные на входах D_i , зададим их произвольно.

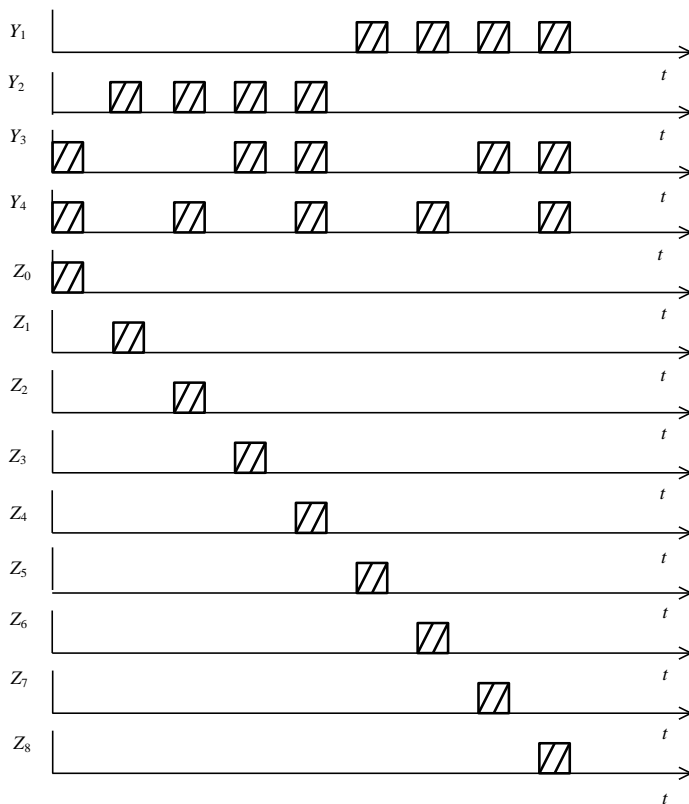


Рисунок 4.8 – Диаграмма состояний дешифратора

Масштаб по оси t для диаграммы синхронного мультиплексора можно определить исходя из длительности стробирующих импульсов S . Их длительность и период следования рассчитывают при выборе генератора стробирующих импульсов. На рассматриваемой диаграмме принят масштаб 1 см = 5 мкс (равный периоду следования стробирующих импульсов). Комбинации состояний адресных входов A_i определяют, какой из входов данных D_i в текущий момент должен подключиться к выходу Q . При этом передача данных входа D_i к выходу происходит лишь на время высокого потенциала на входе S . Как только потенциал сменяется на низкий, передача данных прекращается.

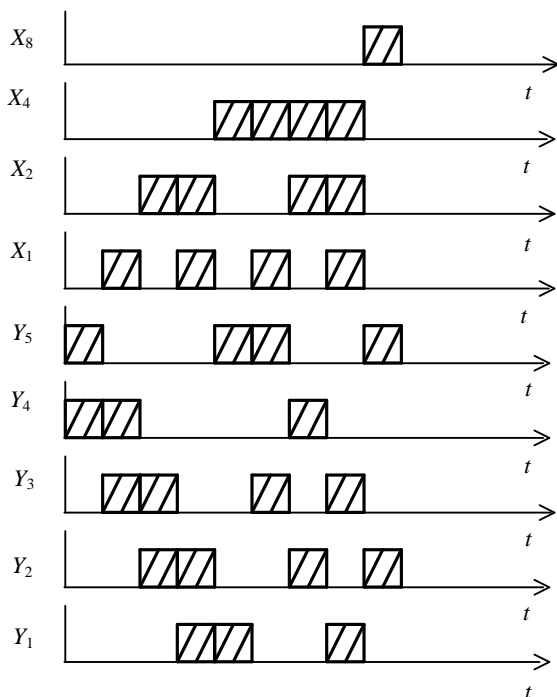


Рисунок 4.9 – Диаграмма состояний преобразователя кодов

Если мультиплексор является асинхронным, то данные с входа D_i передаются весь интервал времени, пока на адресных входах A_i присутствует код выбранного входа D_i . Пример диаграммы состояний асинхронного мультиплексора, заданного таблицей 1.13, представлен на рисунке 4.11.

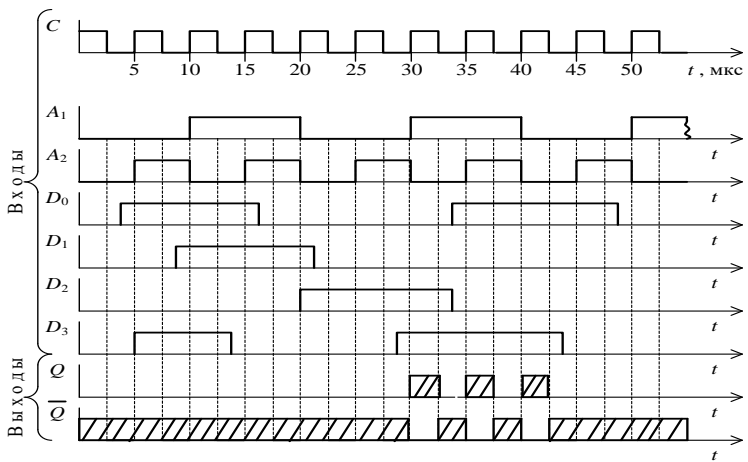


Рисунок 4.10 – Диаграмма работы синхронного мультиплексора

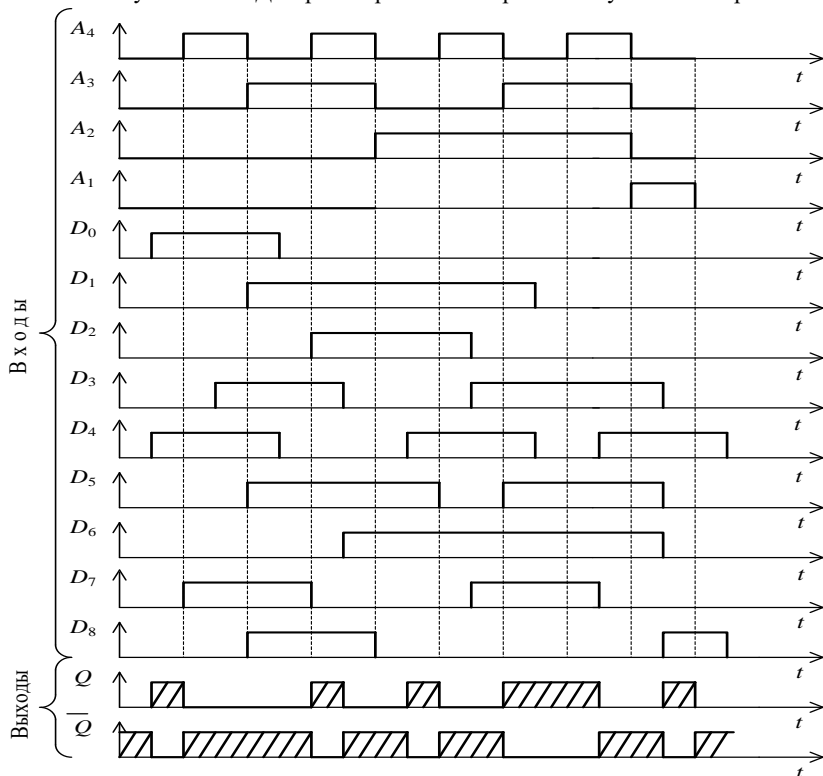


Рисунок 4.11 – Диаграмма состояний асинхронного мультиплексора

Диаграммы работы демультиплексора строят по аналогичным принципам. Однако на этих диаграммах больше выходных графиков. Так, для демультиплексора, заданного таблицей 1.14, диаграмма представлена на рисунке 4.12. Масштаб на диаграмме выбран по масштабу синхросигнала $1 \text{ см} = 2 \text{ мс}$.

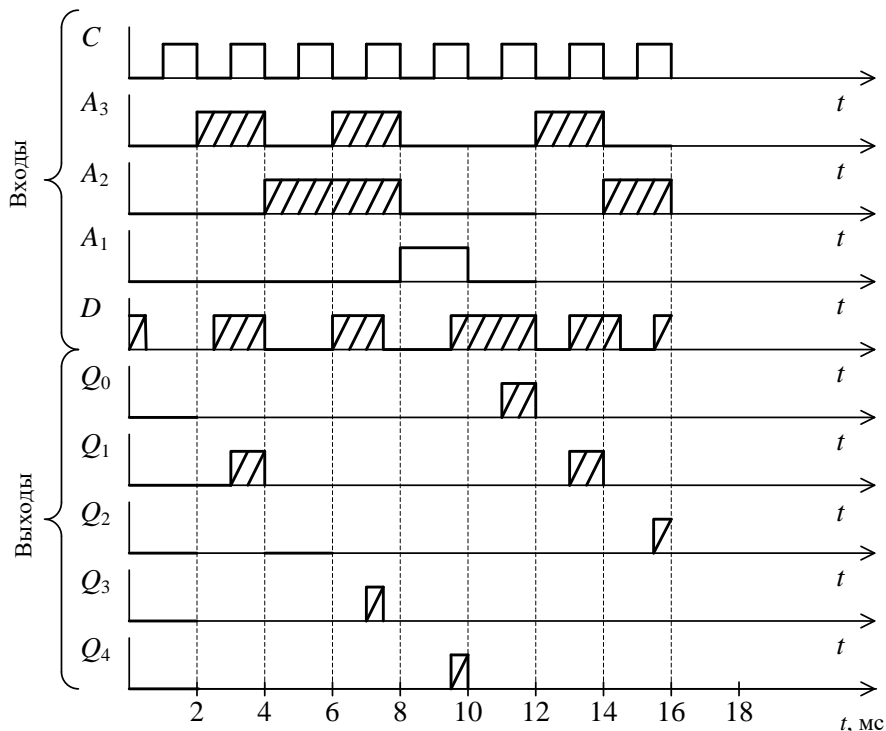


Рисунок 4.12 – Диаграмма работы синхронного демультиплексора

При построении диаграмм устройств с памятью следует обязательно учитывать условия переключения элементов памяти: по фронту входного синхроимпульса; срезу входного синхроимпульса; центру входного синхроимпульса (для случая элемента памяти со статическим управлением).

Рассмотрим пример построения временной диаграммы суммирующего счетчика на JK -триггерах, переключающихся по срезу входного импульса. Счетчик имеет $K_{\text{сч}} = 7$ и задан таблицей 1.17. Его диаграмма показана на рисунке 4.13.

Диаграммы зависимостей между входной и выходной последовательностями у делителей частоты схожи с диаграммами счетчиков. Отличие заключается в том, что у делителей частоты строить графики промежуточных триггеров не требуется, за исключением тех случаев, когда необходимо скорректировать скажность выходных импульсов (см. рисунок 1.42).

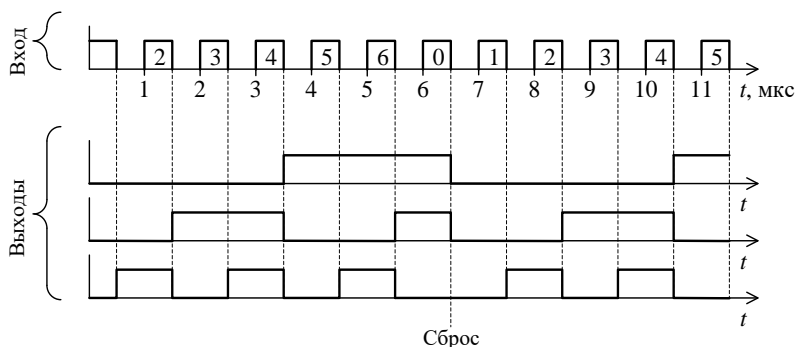


Рисунок 4.13 – Диаграмма суммирующего счетчика на JK -триггерах, переключающихся по срезу входного импульса

Масштаб на диаграмме выбран равным периоду следования входных импульсов $T = 1$ мкс (1 см = 1 мкс). Поскольку триггеры счетчика меняют свои состояния по срезу входного импульса, то на диаграмме это также зафиксировано. То есть изменение выходного сигнала каждого триггера (или его подтверждение) происходит только в те моменты, когда импульсы последовательности “С” изменяются с “1” на “0”.

Построение диаграмм работы для устройств, в которых элементы памяти переключаются по фронту входного импульса аналогично тому, как это выполняется для устройств элементов памяти, переключающихся по срезу. Но при этом на графиках выходные сигналы элементов памяти меняются не по концу, а по началу входного импульса. Например, для вычитающего счетчика с $K_{сч} = 11$ на D -триггерах, переключающихся по фронту, заданного таблицей 1.19, временная диаграмма представлена на рисунке 4.14. Масштаб по оси t на данной диаграмме выбран 1 см = 2 мс.

В случае, если бы элементы памяти счетчика были со статическим управлением, следовало бы моменты переключения выходных

сигналов триггеров сдвинуть вправо на 0,5 мс, то есть к центру входной последовательности.

Построение диаграмм состояния многоразрядных сумматоров также связано с некоторыми особенностями. Здесь следует учитывать реальные изменения входных сигналов, поступающих для суммирования, и ориентироваться по таблице истинности полного одnorазрядного сумматора (см. таблицу 1.24). Построим для примера диаграмму двухразрядного полного сумматора (рисунок 4.15). Сигналы для суммирования выберем произвольно.

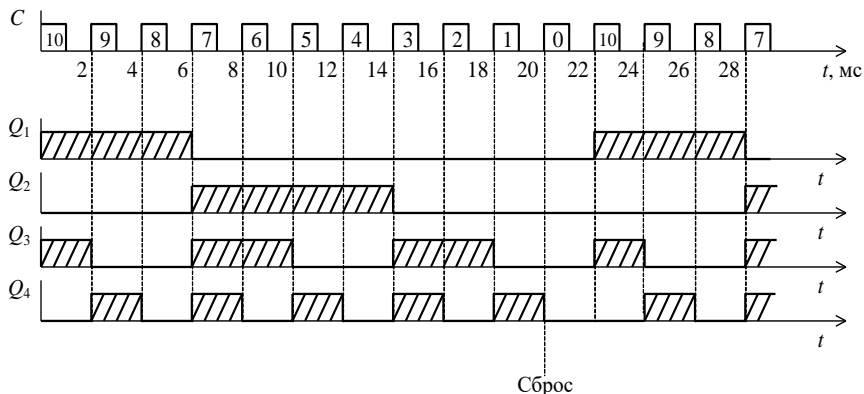


Рисунок 4.14 – Диаграмма работы вычитающего счетчика на D -триггерах с переключением по фронту

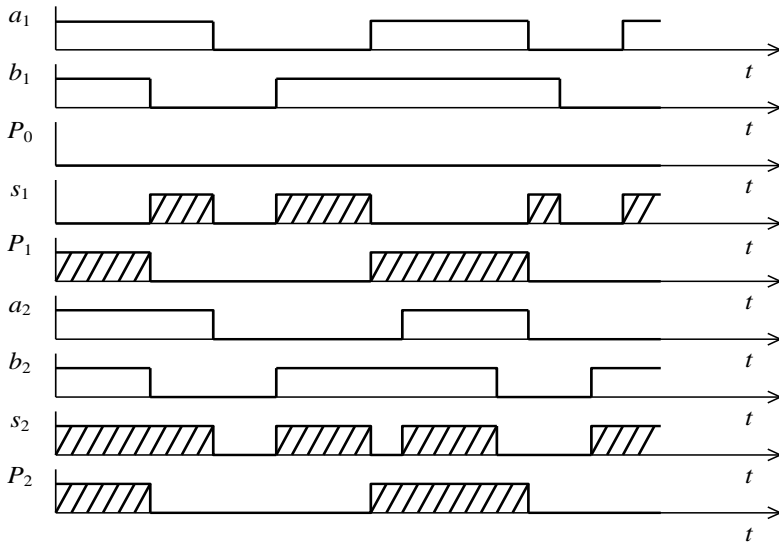


Рисунок 4.15 – Диаграмма состояний двухразрядного полного сумматора

На диаграмме a_1 , a_2 – соответственно 1-й и 2-й разряды первого слагаемого; b_1 и b_2 – 1-й и 2-й разряды второго слагаемого; P_0 , P_1 и P_2 – соответственно переносы для сложения в 1, 2 и 3-й разряды; s_1 и s_2 – суммы от сложения 1-го и 2-го разрядов. На диаграмме заштрихованы графики выходных сигналов сумматора.

Далее рассмотрим порядок построения диаграмм для регистров. Построим диаграмму трехразрядного регистра памяти на D -триггерах, представленного на рисунке 1.52. Запись информации с входов x_i в триггере Q_i регистра происходит по фронту импульса C_1 (рисунок 4.16). При этом в n -м такте работы $Q_i^n = x_i^{n-1}$. Считывание информации происходит при наличии импульса C_2 . Значение выходных сигналов $y_i^n = Q_i^n$. Изменение значений входных сигналов регистра принято произвольным.

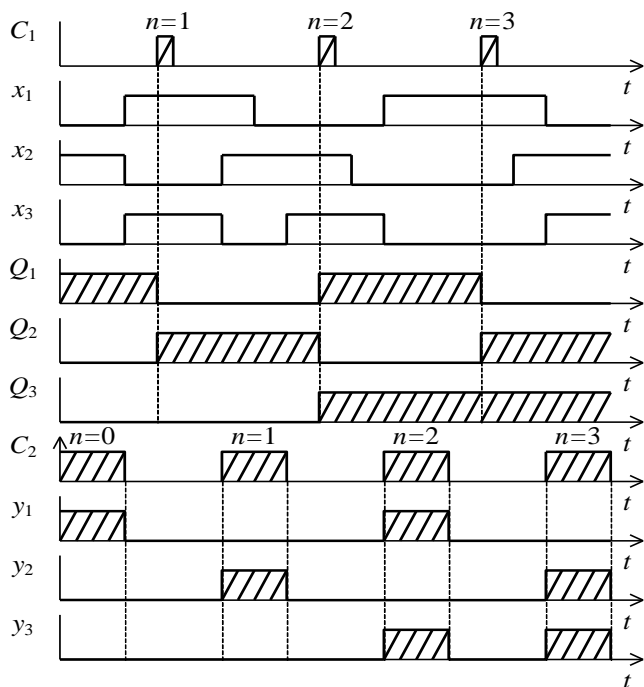


Рисунок 4.16 – Диаграмма работы трехразрядного регистра памяти на D -триггерах

Построим диаграмму работы (рисунок 4.17) для регистра сдвига вправо, изображенного на рисунке 1.54. Поскольку регистр собран на триггерах задержки (типа D), переключающихся по срезу тактового импульса, то входной сигнал X появляется на выходах каждого из триггеров регистра с задержкой на один такт. Смена состояний триггеров регистра происходит при переходе напряжения из “1” в “0”.

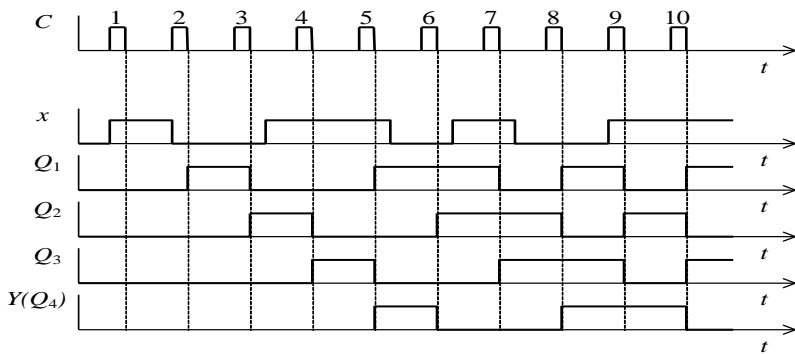


Рисунок 4.17 – Диаграмма работы четырехразрядного сдвигового регистра

Построим диаграммы работы (рисунок 4.18) параллельно-последовательного трехразрядного регистра на *JK*-триггерах, представленного на рисунке 1.58.

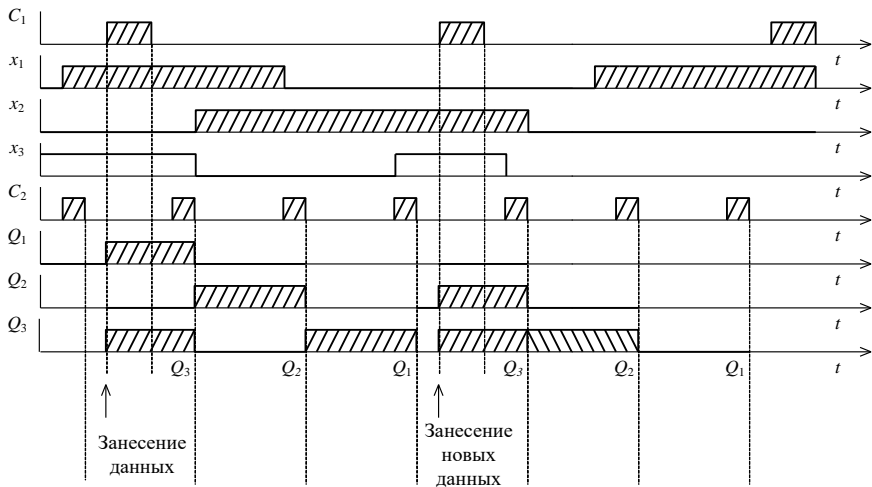


Рисунок 4.18 – Диаграмма работы трехразрядного параллельно-последовательного регистра

Занесение данных в параллельном виде с входов x_1 , x_2 и x_3 выполняется при появлении сигнала разрешения записи C_1 . При этом $Q_1^n = x_1^n$, $Q_2^n = x_2^n$, $Q_3^n = x_3^n = y^n$. Считывание в последовательном виде производится по сигналу считывания C_2 . Первоначально на выходе y появляется сигнал x_3 , следом – x_2 и последним – x_1 .

Состояние триггеров регистра изменяются следующим образом: $Q_1^n = 0$, $Q_2^n = Q_1^{n-1}$, $Q_3^n = Q_2^{n-1} = y^n$. Из анализа диаграммы видно, что для преобразования и записи необходимо, чтобы частота импульсов считывания была выше частоты записи как минимум в m раз, где m – разрядность регистра.

В заключение построим диаграммы работы (рисунок 4.19) трехразрядного последовательно-параллельного регистра на JK -триггерах (переключающихся по срезу входного импульса), представленного на рисунке 1.60.

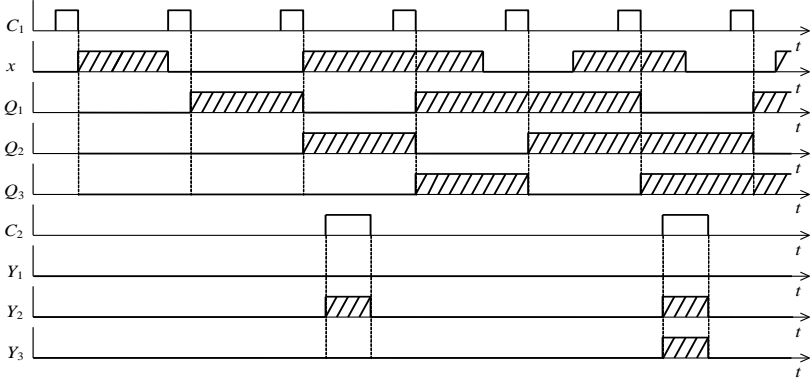


Рисунок 4.19 – Диаграммы работы трехразрядного последовательно-параллельного регистра

Из анализа диаграммы можно заметить, что частота импульсов записи C_1 последовательных данных должна быть как минимум в m раз выше, чем частота импульсов считывания C_2 параллельных данных. При записи данных $Q_1^n = x^{n-1}$; $Q_2^n = Q_1^{n-1}$; $Q_3^n = Q_2^{n-1}$. При считывании данных $y_1^n = Q_1^n$; $y_2^n = Q_2^n$; $y_3^n = Q_3^n$. Также легко заметить, что длительности параллельных импульсов меньше, чем последовательных. Это свойство связано с длительностью импульса считывания. Поскольку выходные сигналы формируются на элементах совпадения, у которых выходной сигнал будет равен единице, если оба входных равны единице, то длительность импульса C_2 и определит длительность сигналов y_i .

5 ПРИНЦИПИАЛЬНАЯ ЭЛЕКТРИЧЕСКАЯ СХЕМА ДИСКРЕТНОГО УСТРОЙСТВА

Построение принципиальной электрической схемы дискретного устройства по заданной структурной схеме и описание её работы является одной из основных целей курсового проекта.

На принципиальной электрической схеме дискретного устройства все компоненты, которые предварительно синтезировались по раздельности, объединяют в единое целое, предназначенное для выполнения конкретных задач автоматического и телемеханического управления. Построение принципиальной электрической схемы преследует решение следующих **основных задач**:

- преобразование логических схем и цепей в принципиальные;
- увязка выходных и входных цепей различных блоков дискретного устройства;
- синхронизация работы компонентов дискретного устройства;
- разработка цепей управления работой дискретного устройства;
- нумерация всех элементов принципиальной электрической схемы;
- окончательный выбор элементной базы, на основе которой будет реализовываться принципиальная электрическая схема;
- получение спецификации к схеме электрической принципиальной дискретного устройства;
- преобразование формул или схем, реализующих заданные узлы дискретного устройства в тех случаях, когда используемые логические элементы имеют меньшее число входов, чем требуется для реализации элементарной операции.

Выполним детализацию каждой из приведенных задач. Преобразование логических цепей в принципиальные предполагает, что все логические нули и логические единицы будут заменены реальными схемотехническими элементами (рисунок 5.1).

Логический нуль заменяется заземлением (подключение вывода на корпус), а логическая единица – подключением вывода к источнику питания через ограничительный резистор. Ограничительный резистор позволяет ограничить (сгладить) броски (резкие изменения) входного (питающего) напряжения и тем самым защитить интегральные микросхемы.

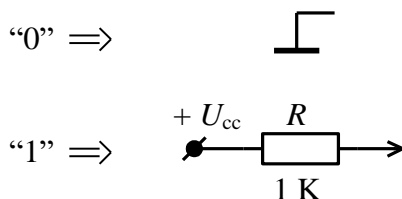


Рисунок 5.1 – Замена логических уровней схемотехническими элементами

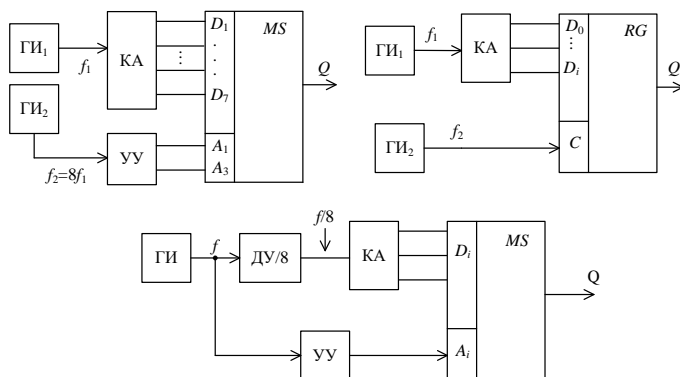
Увязка выходных и входных цепей различных узлов подразумевает, что выходные сигналы одних блоков будут являться входными сигналами других, и работать эти блоки должны корректно. Для этого должны соблюдаться следующие требования:

- количество выходов текущего узла и количество входов последующего (подключаемого к текущему) узла должны быть одинаковыми;
- выходные уровни текущего и входные уровни последующего узлов должны быть одинаковыми или согласованными;
- форма представления информации текущим блоком должна быть воспринята последующим блоком;
- если обрабатываются разные кодовые слова, то они должны иметь одинаковую разрядность или же должны обрабатываться разряды с одинаковыми весами и т. п.

Все устройства в общей принципиальной электрической схеме должны быть синхронизированы между собой. **Синхронизация** позволяет исключить критические состязания элементов памяти и избежать опасных состязаний в комбинационных автоматах. Источником синхронизирующих последовательностей является тактовый генератор – задающий узел всей схемы дискретного устройства. Генераторов в схеме может быть и несколько, либо один генератор может иметь выводы, на которых вырабатываются последовательности различной частоты.

При разработке принципиальной электрической схемы важно соблюдать *соотношение частот*. Так, например, для мультиплексора, работающего в режиме преобразователя формы сигнала с восемью входами данных, частота изменения информации на входах данных должна быть как минимум в восемь раз меньше частоты изменения кодов на адресных входах (рисунок 5.2). Это делается для того, чтобы все восемь каналов были последовательно подключены к выходу без потери информации. Если же

мультиплексор не должен преобразовать данные из параллельной формы в последовательную, то это условие может и не соблюдаться. Похожие требования можно предъявлять к демультиплексорам, различным видам регистров, последовательным сумматорам и др.



ГИ – генератор импульсов; УУ – устройство управления мультиплексором;
КА – комбинационный автомат; ДЧ – делитель частоты; MS – мультиплексор; RG – регистр

Рисунок 5.2 – Синхронизация в дискретных устройствах

Цепи управления работой дискретного устройства позволяют выполнять остановку работы дискретного устройства, сброс элементов памяти, установку элементов памяти в заданные значения (в зависимости от потребностей), приостановку работы дискретного устройства (паузу). Некоторые из возможных вариантов управления работой дискретного устройства приведены на рисунках 1.24–1.26, 1.30, 1.33. Как правило, элементы управления – это кнопки и тумблеры, которые разрывают цепи синхронизации или позволяют подавать в определенные точки схемы сигналы логического нуля или логической единицы по определенным условиям.

Нумерация всех элементов принципиальной электрической схемы дискретного устройства выполняется с целью безошибочной идентификации элементов схемы, упрощения описания работы схемы, а также с целью составления спецификации к принципиальной схеме дискретного устройства и, как следствие, калькуляции стоимостных затрат на приобретение компонентов, составляющих принципиальную схему. На принципиальной электрической схеме каждый элемент интегральной

микросхемы имеет *свой уникальный номер*. Например, если интегральная микросхема содержит в себе несколько логических элементов, то номер каждого элемента состоит из номера интегральной микросхемы и через точку – номера логического элемента в интегральной микросхеме (например, *DD1.1*, *DD32.4*, *DD5.2* и т. д.). При нумерации элементов различного назначения перед порядковым (числовым) номером проставляется также их *буквенный код*: для цифровых интегральных микросхем – *DD*; резисторов – *R*; конденсаторов – *C*; аналоговых интегральных микросхем – *DA*; кнопок – *SB*; транзисторов – *VT*; диодов – *VD*; индуктивностей – *L*.

Возрастание числовых номеров на схеме должно обеспечиваться сверху вниз и слева направо. Окончательный выбор элементной базы, на которой выполняется принципиальная схема, зависит от необходимого быстродействия схемы; степени её помехоустойчивости; стоимостных затрат на компоненты; способа увязки компонентов между собой; диапазона рабочих температур и т. д.

Указанным особенностям соответствуют свои **серии интегральных микросхем**. В тех случаях, когда в выбранной серии интегральных микросхем отсутствует какой-либо элемент или элементы, их выбирают из других дополнительных серий, исходя из следующих принципов:

- дополнительная серия должна быть по возможности того же типа логики, что и основная;
- дополнительная серия должна иметь быстродействие не меньшее, чем у основной серии;
- уровни выходных и входных сигналов основной и дополнительной (ых) серий должны быть одинаковыми (в противном случае их следует согласовать);
- помехоустойчивость дополнительной серии должна быть не меньшей, чем у основной серии, и др.

Спецификация к схеме электрической принципиальной дискретного устройства позволяет точно определить конечный состав элементов схемы. В спецификацию к схеме входят такие графы, как (рисунок 5.3): позиция (номер специфицируемой группы элементов); обозначение (обозначение элементов на приведенной схеме); наименование (наименование элементов); количество

(количество однотипных элементов); примечание (особенности элемента).

Позиция	Обозначение	Наименование	Кол-во	Примечание
<i>Интегральные микросхемы</i>				
1	<i>DD1, DD2, DD12</i>	К561 ЛАЗ	3	2И-НЕ
2	<i>DD3 - DD10</i>	К561 ЛИ1	8	2И
<i>Конденсаторы</i>				
3	<i>C1</i>	К50, 200пФ±15%	1	12 В
4	<i>C2</i>	К50, 380пФ±15%		12 В
<i>Резисторы</i>				
5	<i>R1</i>	МЛТ, 1,2 КОм±10%	1	0,5 Вт
6	<i>R2 - R4</i>	МЛТ, 510 Ом±10%	3	0,5 Вт

Рисунок 5.3 – Пример представления спецификации к схеме дискретного устройства

Преобразование локальных схем включения или формул (а на основе их и схем), по которым реализуется общая принципиальная электрической схема, выполняют в тех случаях, когда логическая схема какого-либо узла имеет количество входов большее или меньшее, чем конкретная интегральная микросхема, на которой планируется реализовать эту схему. Например, если получена формула $f = x_1x_2x_3x_4x_5x_6x_7x_8x_9x_{10}$, и в выбранной серии интегральных микросхем отсутствуют интегральные микросхемы с десятью входами, а имеются максимально с восемью входами, то в таком случае необходимо преобразовать формулу или схему под имеющиеся интегральные микросхемы. Легче всего это делается в базисе И-ИЛИ-НЕ, где можно включить последовательно два или несколько элементов (рисунок 5.4).

Если же принят за основу базис «И-НЕ» либо базис «ИЛИ-НЕ», то простое последовательное включение элементов дает неверный конечный результат. Для достижения корректного результата необходимо предварительно преобразовать (разбить) формулу.

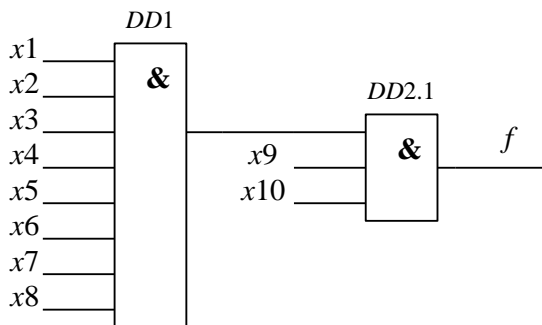


Рисунок 5.4 – Реализация логической функции на элементах с ограниченным числом входов

В базисе И-НЕ это выполняется следующим образом (рисунок 5.5)

$$f = \overline{\overline{X1X2X3X4X5} \overline{X6X7X8X9X10}} = (\overline{X1} | \overline{X2} | \overline{X3} | \overline{X4} | \overline{X5}) | X6 | X7 | X8 | X9 | X10 .$$

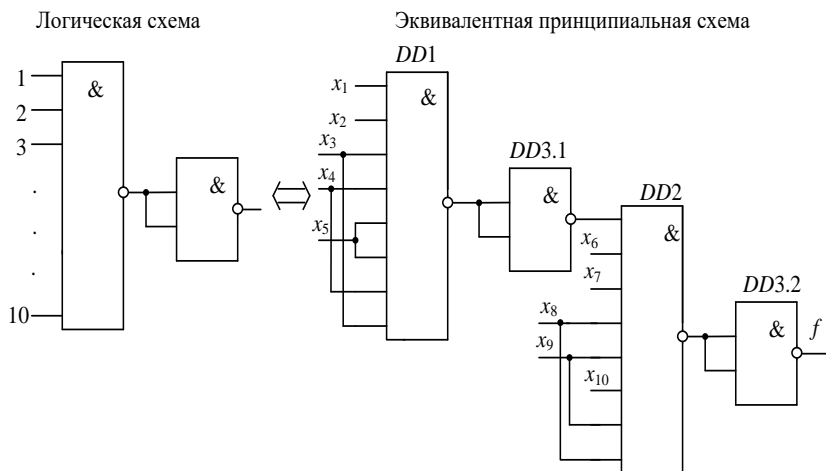


Рисунок 5.5 – Преобразование под заданные элементы схемы в базисе «И-НЕ»

Если же преобразование выполнить в базисе «ИЛИ-НЕ», то получим (рисунок 5.6) $f = \overline{\overline{x1} \overline{x2} \overline{x3} \overline{x4} \overline{x5} \overline{x6} \overline{x7} \vee \overline{x8} \overline{x9} \overline{x10}} = \overline{\overline{x1} \downarrow \overline{x2} \downarrow \overline{x3} \downarrow \overline{x4} \downarrow \overline{x5} \downarrow \overline{x6} \downarrow \overline{x7} \downarrow \overline{x8} \downarrow \overline{x9} \downarrow \overline{x10}} .$

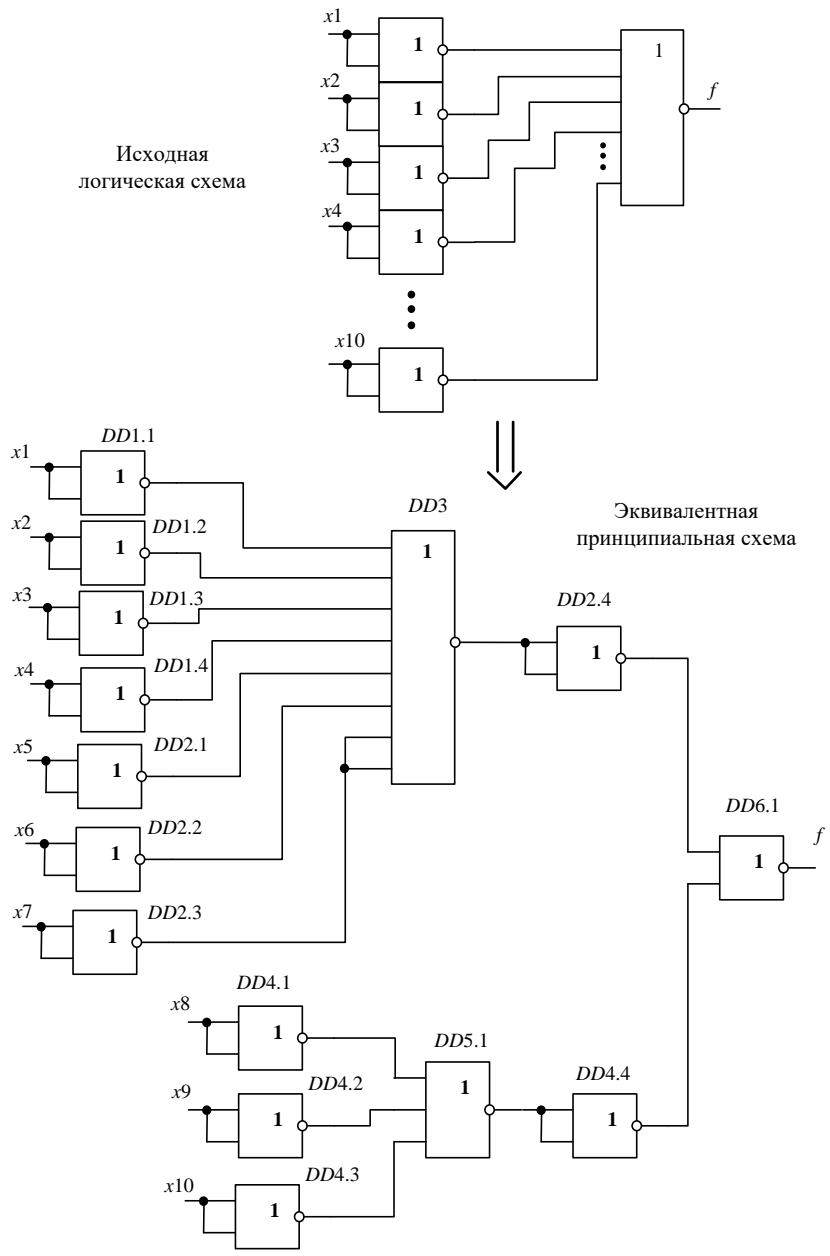


Рисунок 5.6 – Преобразование схемы под заданные элементы в базе «ИЛИ-НЕ»

Если количество входов используемой интегральной микросхемы больше, чем количество аргументов, то незадействованные входы можно подключить параллельно к используемым (при этом допускается соединять не более трех выводов параллельно). Кроме того, можно незадействованные входы исключить и другими способами, как показано на рисунке 5.7 для различных элементов схемы.

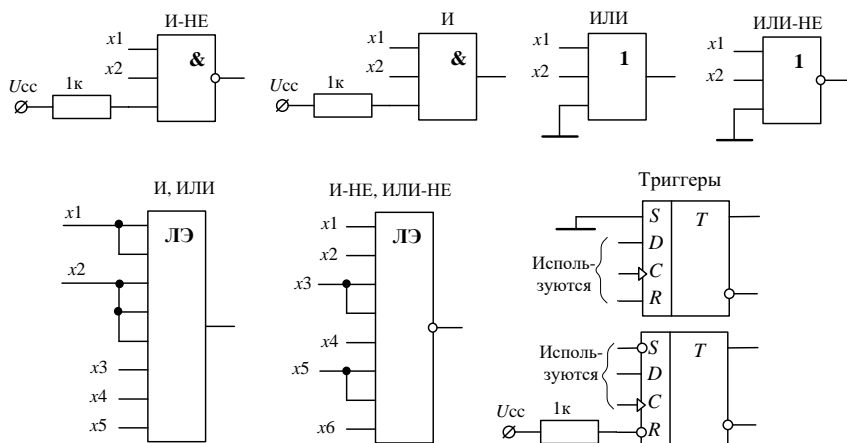


Рисунок 5.7 – Исключение незадействованных входов интегральных микросхем без влияния на правильность их функционирования

При построении электрической принципиальной схемы дискретного устройства также не следует превышать максимальную нагрузочную способность интегральных микросхем. Усредненные данные о нагрузочной способности интегральных микросхем разных типов логики приведены в таблице 3.1, где они представлены в качестве коэффициента разветвления по выходу.

6 ТРЕБОВАНИЯ К ОФОРМЛЕНИЮ ПОЯСНИТЕЛЬНОЙ ЗАПИСКИ

Пояснительная записка к курсовому проекту должна быть написана лаконичным, технически грамотным языком и должна полностью отражать все решаемые в курсовом проекте вопросы, давать необходимые пояснения. **Текст пояснительной записки** должен иметь размер шрифта 13-14 пт, а тип шрифта (в случае компьютерного набора) должен быть «*Times Roman*», «*Cyrillic*» или «*Arial*» [12 – 14]. Размер листов, на которых оформляется текст, должен быть А4 (297×210 мм), а листы, на которых оформляется графический материал, могут быть кратны формату А4 (А3, А2, А1 и т. п.). Страница, на которой размещается содержание курсового проекта, должна иметь стандартную рамку (штамп) 40×185 мм (рисунок Ж.2), а страницы, на которых располагается графический материал (принципиальные схемы), должны иметь стандартную рамку (штамп) 55×185 мм (рисунок Ж.1).

Отступы текста от края страницы должны быть сверху и справа 10 мм, снизу – 20 мм, слева – 30 мм. Нумерацию страниц начинают с титульного листа (который имеет номер один) и заканчивают нумерацией на приложениях (если они имеются). Номера страниц проставляют внизу страницы, в её правом углу. Бланк с заданием к курсовому проекту не нумеруют и размещают перед содержанием (в содержание не включается), а лист с аннотацией подшивают вслед за титульным и также не включают в содержание. Номер страницы на титульном листе и листе с аннотацией не проставляют. Данные, помещаемые на титульном листе, порядок и примерная форма их размещения приведены на рисунке 6.1.

Аннотация к курсовому проекту должна занимать от 0,5 до 1 страницы и является кратким его содержанием. Аннотацию пишут в настоящем времени с применением таких слов и словосочетаний, как: «разрабатывается», «синтезируется», «анализируется», «выполняется анализ», «исследуются», «применяются методы», «используются способы» и т. п.

Министерство образования Республики Беларусь	
Учреждение образования «Белорусский государственный университет транспорта»	
Кафедра «Автоматика и телемеханика»	
КУРСОВОЙ ПРОЕКТ	
по дисциплине «Теория дискретных устройств» на тему «Синтез дискретных устройств»	
Выполнил: студент гр. ЭТ-31 Маслодельцев И. П.	Проверил: доцент Злобкин С.А.
Количество страниц – 38	
ГОМЕЛЬ 2007	

Рисунок 6.1 – Пример оформления титульного листа

Курсовой проект должен состоять из следующих разделов: введение; основная часть (в которой выполняется разработка задания на курсовой проект); заключение; список используемых источников (с обязательной ссылкой на них по тексту); приложения (идентифицируются по буквам русского алфавита, начиная с «А»). Приложения не являются обязательной частью курсового проекта и могут в нем отсутствовать. Как правило, в приложения помещают дополнительные данные и громоздкие вычисления.

Графический материал можно не выделять в отдельный раздел. При этом чертежи и схемы к курсовому проекту помещают в его конце.

Печатный объём основной части курсового проекта (не включая приложения) должен составлять 30–35 страниц, а межстрочный интервал должен быть 1,5 (полуторный).

Рисунки, формулы и таблицы в пояснительной записке могут иметь как *сквозную нумерацию* (арабские числа, начиная с единицы, например: Рисунок 1, Рисунок 2...), так и *пораздельную* (когда номер состоит из номера раздела и через точку – порядкового номера рисунка, формулы или таблицы в данном разделе, например: Рисунок 1.1, Рисунок 1.2, Таблица 2.1, Формула (1.2)...). Более удобна с технической точки зрения пораздельная нумерация.

Ссылка на рисунки по тексту приводят посредством указания слова «рисунок» (в заданном падеже, числе и склонении) и через пробел – его номера в тексте.

Рисунки должны иметь подписи, которые размещают и оформляют, как показано на рисунке 6.2. Рисунок может и не иметь названия, а состоять только из слова «Рисунок» и его номера.

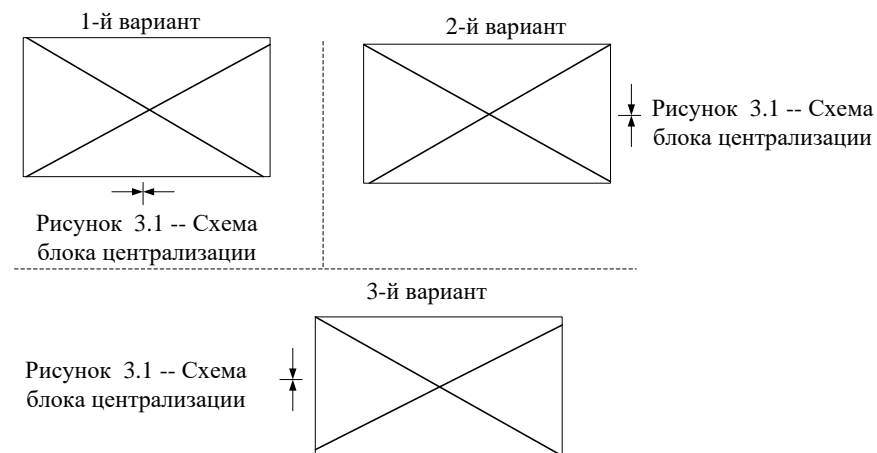


Рисунок 6.2 – Варианты размещения подписей к рисункам

Если рисунок размещают на листе с альбомной ориентацией и помещают на весь лист, то подпись к нему располагают у той горизонтальной границы страницы, которую не подшивают. Текст

должен быть ориентирован таким же образом, как и рисунок.

Таблицы должны иметь заглавие, которое состоит из слова «Таблица», ее номера, названия, перед которым ставят отделенное с двух сторон пробелом тире. Размещают заглавие таблицы по ее левому краю. Таблица может и не иметь названия, а состоять только из слова «Таблица» и ее номера. Примеры размещения заглавий таблиц показаны на рисунке 6.3.

а) Таблица 4.1 – Название данной таблицы

б) Таблица 4.7 – Название данной
таблицы

Рисунок 6.3 – Примеры заглавий таблиц

Как показано на рисунке 6.3, б, заглавия таблиц не могут выходить за левое и правое поле таблицы, и если таблица является «узкой», а её название «большое», то оно размещается в несколько строк.

Ссылки по тексту на таблицы делают посредством указания слова «Таблица» (в заданном падеже, числе и склонении) и через пробел – номера таблицы в тексте.

Номера формул (слово «формула» не пишется) проставляются на том же уровне, что и сама формула, в круглых скобках и выравнивают по правому полю основного текста, в то время как саму формулу выравнивают по центру оси текста. Если по тексту на формулы не ссылаются или их всего несколько, то их можно и не нумеровать (в данном учебном пособии формулы не пронумерованы). В тех случаях, когда формул много и на них постоянно необходимо ссылаться по тексту, то их все же следует пронумеровать.

Ссылки на формулу в тексте могут быть как с указанием слова «формула» (в заданном падеже, числе и склонении), так и без его указания. Например, можно написать: «...по формуле (2.1) выполняют расчет...» или же «... по (2.1) выполняют расчет...».

Разделы пояснительной записки нумеруют целыми арабскими числами, начиная с единицы (введение, заключение и список источников не нумеруют).

Подразделы нумеруют комбинацией номера раздела и, через точку, порядкового номера подраздела в данном разделе. Это правило применяют также и к подразделам.

После номера раздела через пробел идет его название заглавными буквами размером 14 пт (подраздела – строчными). После названия раздела делается один отступ перед названием подраздела или началом текста. Название разделов и подразделов выравнивают по левому краю текста (допускается центрирование). Весь текст курсового проекта должен быть выровнен по ширине страницы. Абзацный отступ равен трем символам основного текста (рисунок 6.4).

Все разделы курсового проекта должны начинаться с новой страницы, а названия следующих подразделов записывают через двойной отступ от текста предыдущего раздела. Введение курсового проекта должно иметь 1–2 страницы. Во введении отражают актуальность разрабатываемой темы курсового проекта, состояние рассматриваемого вопроса в мире и Республике Беларусь, формулируют цели и задачи курсового проекта.



Рисунок 6.4 – Структура текстового документа

Заключение к курсовому проекту помещают сразу за основным

текстом курсового проекта (с нового листа) и должно иметь объём 1–2 страницы. В заключении констатируется усвоение определенных навыков и знаний по дисциплине и отмечается степень выполнения задания курсового проекта, констатируется выполнение основных этапов курсового проекта с применением слов и словосочетаний: “выполнен(ы)”, “разработан(ы)”, “синтезирован(ы)”, “применен(ы) метод(ы)”, “использован(ы) способ(ы)”, “получены результаты” и т. п.

Вслед за заключением (с нового листа) приводят перечень использованных в курсовом проекте источников информации (статей научно-технических журналов, книг, учебных и учебно-методических пособий и др.). Список источников может быть приведен как в алфавитном порядке, так и в порядке ссылки на источники по тексту. Ссылка в тексте на источник выполняется заключением номера источника в квадратные скобки и помещением его через пробел после фразы, в которой использованы данные источника информации. При ссылках на книги рекомендуется через запятую указывать номер страницы, на которой в книге размещены ссылочные данные (например, “...содержится описание метода минимизации картами Карно [4, с. 53].”).

При ссылках на статьи в сборниках или журналах по тексту номера страниц не указывают. Однако в перечне источников указывают диапазон страниц, который занимает статья в сборнике или журнале. Формат представления данных в перечне источников приведен в списке использованной литературы.

СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ

- 1 **Сапожников, В. В.** Дискретные устройства железнодорожной автоматики, телемеханики и связи : учеб. для вузов ж.-д. трансп. / В. В. Сапожников, Ю. А. Кравцов, Вл. В. Сапожников. – М. : Транспорт, 1988. – 255 с.
- 2 **Ашихмин, А. С.** Цифровая схемотехника. Современный подход / А. С. Ашихмин. – М. : ТехБук, 2007. – 288 с.
- 3 **Браммер, Ю. А.** Импульсные и цифровые устройства : учеб. для студентов электрорадиоприборостроительных сред. спец. учеб. заведений / Ю. А. Браммер, И. Н. Пашук. – 7-е изд., перераб. и доп. – М. : Высш. шк., 2003. – 351 с. : ил.
- 4 **Бочков, К. А.** Анализ функциональной структуры и синтез дискретных устройств : лаб. практик. по дисциплине “Теория дискретных устройств” / К. А. Бочков, Ю. Ф. Березняцкий. – Ч. I–III / Белорус. гос. ун-т трансп. – Гомель : БелГУТ, 2001. – Ч. I. – 32 с; Ч. II. – 35 с; Ч. III. – 39 с.
- 5 **Березняцкий, Ю. Ф.** Задание и минимизация функций алгебры логики : пособие для практик. занятий по дисциплине “Теория дискретных устройств” / Ю. Ф. Березняцкий. – Гомель : БелГУТ, 2004. – 44 с.
- 6 **Мулярчик, С. Г.** Интегральная схемотехника (функционально-логический уровень) / С. Г. Мулярчик. – Мн. : Изд-во БГУ, 1983. – 189 с. : ил.
- 7 **Автоматизация систем электроснабжения** : учеб. для вузов ж.-д. трансп. / Ю. И. Жарков [и др.] ; под ред. Н. Д. Сухопрудского. – М. : Транспорт, 1990. – 359 с.
- 8 **Интегральные микросхемы : справочник** / Б. В. Тарабрин [и др.]. – М. : Радио и связь, 1983. – 528 с. : ил.
- 9 **Бирюков, С. А.** Генераторы и формирователи импульсов на микросхемах КМОП / С. А. Бирюков // Радио. – 1995. – № 7. – С. 36–37; № 9 ; С. 54–55.
- 10 **Пухальский, Г. И.** Проектирование дискретных устройств на интегральных микросхемах : справ. / Г. И. Пухальский, Т. Я. Новосельцева. – М. : Радио и связь, 1990. – 304 с. : ил.
- 11 **Федосеева, Е. О.** Основы электроники и микроэлектроники: учеб. / Е. О. Федосеева, Г. П. Федосеев – М. : Искусство, 1990 – 240 с.
- 12 **Автоматика, телемеханика и связь на транспорте** : пособие по оформлению дипломных проектов / К. А. Бочков [и др.]. – Гомель : БелГУТ, 2002. – 70 с.
- 13 **ГОСТ 2.105-95.** Единая система конструкторской документации. Общие требования к текстовым документам. – Введ. 1997–01–01. – Мн. : БелГИСС. – 36 с.
- 14 **Александров, К. К.** Электротехнические чертежи и схемы /

К. К. Александров, Е. Г. Кузьмина. – М. : Энергоатомиздат, 1990. – 288 с. : ил.

ПРИЛОЖЕНИЕ А
(обязательное)

Интегральные микросхемы логических элементов

4 элемента 2И

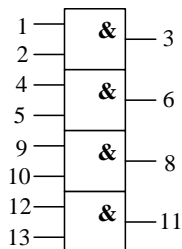


Таблица А.1 – Назначение выводов ИМС 2И

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход X1	8	Выход Y3
2	» X2	9	Вход X5
3	Выход Y1	10	» X6
4	Вход X3	11	Выход Y4
5	» X4	12	Вход X7
6	Выход Y2	13	» X8
7	Общий	14	Ucc

Таблица А.2 – Типы и параметры ИМС 2И

Тип ИМС	$T, ^\circ\text{C}$	$I_{cc}, \text{мА}$	$T_{pHL_{max}}, \text{нс}$	$T_{pLH_{max}}, \text{нс}$	Тип корпуса
КР1564ЛИ1	-55...+125	$<2 \cdot 10^{-3}$	20	13	DIP14
КР1533ЛИ1	0...+70	4	10	14	DIP14
К555ЛИ1	0...+70	8,8	24	24	DIP14
К155ЛИ1	0...+70	33	19	27	DIP14

3 элемента 3И

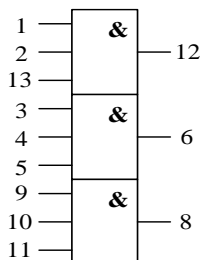


Таблица А.3 – Назначение выводов ИМС 3И

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход X1	8	Выход Y3
2	» X2	9	Вход X7
3	» X4	10	» X8
4	» X5	11	» X9
5	» X6	12	Выход Y1
6	Выход Y2	13	Вход X3
7	Общий	14	Ucc

Таблица А.4 – Типы и параметры ИМС 3И

Тип ИМС	$T, ^\circ\text{C}$	$I_{cc}, \text{мА}$	$T_{pHL_{max}}, \text{нс}$	$T_{pLH_{max}}, \text{нс}$	Тип корпуса
КР1564ЛИЗ	-55...+125	$<2 \cdot 10^{-3}$	21	21	DIP14
КР1533ЛИЗ	0...+70	3	13	10	DIP14
К555ЛИЗ	0...+70	6	13	10	DIP14
КР531ЛИЗ	0...+70	42	7,5	7	DIP14

Два логических элемента 4И

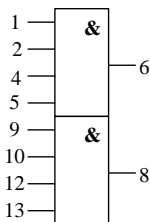


Таблица А.5 – Назначение выводов ИМС 4И

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход X1	8	Выход Y2
2	» X2	9	Вход X5
3	Свободный	10	» X6
4	Вход X3	11	Свободны й
5	» X4	12	Вход X7
6	Выход Y1	13	» X8
7	Общий	14	Ucc

Таблица А.6 – Типы и параметры ИМС 4И

Тип ИМС	$T, ^\circ\text{C}$	$I_{cc}, \text{мА}$	$Tr_{нЛ\max}, \text{нс}$	$Tr_{пЛ\max}, \text{нс}$	Тип корпуса
КР1554ЛИ6	-45...+85	< 4	7,5	8,5	DIP14
К555ЛИ6	0...+70	4,4	24	24	DIP14
КР1533ЛИ6	0...+70	2	10	26	DIP14

Четыре логических элемента 2ИЛИ

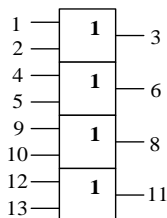


Таблица А.7 – Назначение выводов ИМС 2ИЛИ

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход X1	8	Выход Y3
2	» X2	9	Вход X5
3	Выход Y1	10	» X6
4	Вход X3	11	Выход Y4
5	» X4	12	Вход X7
6	Выход Y2	13	» X8
7	Общий	14	Ucc

Таблица А.8 – Типы и параметры ИМС 2ИЛИ

Тип ИМС	$T, ^\circ\text{C}$	$I_{cc}, \text{мА}$	$Tr_{нЛ\max}, \text{нс}$	$Tr_{пЛ\max}, \text{нс}$	Тип корпуса
КР1564ЛЛ1	-55...+125	$< 2 \cdot 10^{-3}$	17	17	DIP14
КР1533ЛЛ1	0...+70	5	12	14	DIP14
КМ555ЛЛ1	-55...+125	9,8	22	22	CERDIP14
КР531ЛЛ1	0...+70	68	7	7	DIP14
К155ЛЛ1	-10...+70	38	15	22	DIP14

Шесть инверторов

Таблица А.9 – Назначение выводов ИМС НЕ

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход X1	8	Выход Y4
2	Выход Y1	9	Вход X4
3	Вход X2	10	Выход Y5
4	Выход Y2	11	Вход X5
5	Вход X3	12	Выход Y6
6	Выход Y3	13	Вход X6
7	Общий	14	Ucc

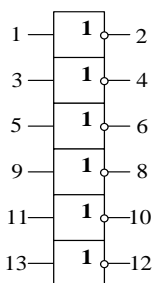


Таблица А.10 – Типы и параметры ИМС НЕ

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{\text{рНЛmax}}, \text{нс}$	$T_{\text{рЛНmax}}, \text{нс}$	Тип корпуса
КР1564ЛН1	-55...+125	$<2 \cdot 10^{-3}$	16	16	DIP14
КР1554ЛН1	-45...+85	<4	7	7,5	DIP14
КР1533ЛН1	0...+70	4	8	11	DIP14
К555ЛН1	0...+70	8	18	21	DIP14
КР531ЛН1	0...+70	54	4,5	5	DIP14
К155ЛН1	0...+70	33	15	22	DIP14

4 элемента 2И-НЕ

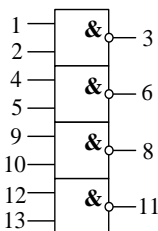


Таблица А.11 – Назначение выводов ИМС 2И-НЕ

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход X1	8	Выход Y3
2	» X2	9	Вход X5
3	Выход Y1	10	» X6
4	Вход X3	11	Выход Y4
5	» X4	12	Вход X7
6	Выход Y2	13	» X8
7	Общий	14	Ucc

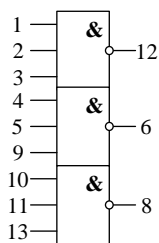
Таблица А.12 – Типы и параметры ИМС 2И-НЕ

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{\text{рНЛmax}}, \text{нс}$	$T_{\text{рЛНmax}}, \text{нс}$	Тип корпуса
КР531ЛА3	0...+70	36	4,5	5	DIP14
К555 ЛА3	0...+70	6	18	31	DIP14
КР1533 ЛА3	0...+70	3	8	11	DIP14
К155 ЛА3	0...+70	22	15	22	DIP14
КР1564 ЛА3	-55...+125	$<2 \cdot 10^{-3}$	27	27	DIP14

3 элемента 3И-НЕ

Таблица А.13 – Назначение выводов ИМС 3И-НЕ

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход X1	8	Выход Y3
2	» X2	9	Вход X6
3	» X3	10	» X7
4	» X4	11	» X8
5	» X5	12	Выход Y1



6	Выход Y2	13	Вход X9
7	Общий	14	Ucc

Таблица А.14 – Параметры ИМС 3И-НЕ

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{pHL\text{max}}, \text{нс}$	$T_{pLH\text{max}}, \text{нс}$	Тип корпуса
KP1533ЛA4	0...+70	2,5	10	11	DIP14
KP1554 ЛA4	-45...+85	<4	7	6,5	DIP14
K555 ЛA4	-55...+125	3,3	20	20	DIP14
KP1564 ЛA4	-55...+85	<2 · 10 ⁻³	15	15	DIP14
K531 ЛA4	0...+70	27	4,5	5	DIP14
K155 ЛA4	-10...+70	16,5	15	22	DIP14

3 элемента 3И-НЕ

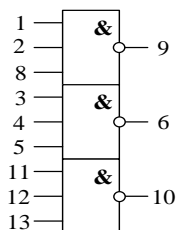


Таблица А.15 – Назначение выводов ИМС 3И-НЕ

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход X1	8	Вход X3
2	» X2	9	Выход Y1
3	» X4	10	» Y3
4	» X5	11	Вход X7
5	» X6	12	» X8
6	Выход Y2	13	» X9
7	Общий	14	Ucc

Таблица А.16 – Параметры ИМС 3И-НЕ

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{pHL\text{max}}, \text{нс}$	$T_{pLH\text{max}}, \text{нс}$	Тип корпуса
K176ЛA9	-10...+70	<0,3	35	35	DIP14
KP1561 ЛA9	-25...+85	<5 · 10 ⁻⁶	25–50	25–50	DIP14

Два логических элемента 4И-НЕ

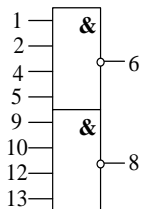


Таблица А.17 – Назначение выводов ИМС 4И-НЕ

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход X1	8	Выход Y2
2	» X2	9	Вход X5
3	Свободный	10	» X6
4	Вход X3	11	Свободный
5	» X4	12	Вход X7
6	Выход Y1	13	» X8
7	Общий	14	Ucc

Таблица А.18 – Параметры ИМС 4И-НЕ

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{\text{рНЛmax}}, \text{нс}$	$T_{\text{рЛHmax}}, \text{нс}$	Тип корпуса
КР1533ЛА1	0...+70	1,5	10	11	DIP14
КР531ЛА1	0...+70	18	6	7	DIP14
К155ЛА1	0...+70	11	15	22	DIP14
КР1564ЛА1	-55...+125	$<2 \cdot 10^{-3}$	15	15	DIP14
К555ЛА1	0...+70	3	20	21	DIP14
КР1554ЛА1	-45...+85	<4	7	8	DIP14

Логический элемент
8И-НЕ

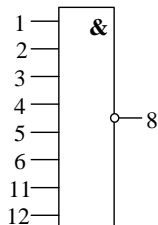


Таблица А.19 – Назначение выводов ИМС 8И-НЕ

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход X1	8	Выход Y
2	» X2	9	Свободный
3	» X3	10	»
4	» X4	11	Вход X7
5	» X5	12	» X8
6	» X6	13	Свободный
7	Общий	14	Ucc

Таблица А.20 – Параметры ИМС 8И-НЕ

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{\text{рНЛmax}}, \text{нс}$	$T_{\text{рЛHmax}}, \text{нс}$	Тип корпуса
КР1533ЛА2	0...+70	1	12	10	DIP14
КР531ЛА2	0...+70	10	6	7	DIP14
К555ЛА2	0...+70	2	20	15	DIP14
КР1564ЛА2	-55...+125	$<2 \cdot 10^{-3}$	30	30	DIP14
К155ЛА2	-10...+70	6	15	22	DIP14

Четыре логических
элемента 2ИЛИ-НЕ

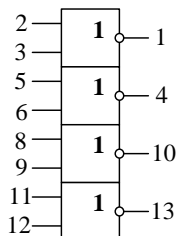


Таблица А.21 – Назначение выводов ИМС 2ИЛИ-НЕ

Номер вывода	Назначение	Номер вывода	Назначение
1	Выход Y1	8	Вход X5
2	Вход X1	9	» X6
3	» X2	10	Выход Y3
4	Выход Y2	11	Вход X7
5	Вход X3	12	» X8
6	» X4	13	Выход Y4
7	Общий	14	Ucc

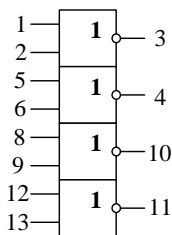
Таблица А.22 – Параметры ИМС 2ИЛИ-НЕ

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{\text{рНЛmax}}, \text{нс}$	$T_{\text{рЛHmax}}, \text{нс}$	Тип корпуса
КР1533ЛЕ1	0...+70	4	10	14	DIP14
К555ЛЕ1	0...+70	8	20	24	DIP14
КР1564ЛЕ1	-55...+125	$<2 \cdot 10^{-3}$	15	15	DIP14
КР531ЛЕ1	0...+70	45	5,5	5,5	DIP14

Четыре логических
элемента 2ИЛИ-НЕ

Таблица А.23 – Назначение выводов ИМС 2ИЛИ-НЕ

Номер	Назначение	Номер	Назначение
-------	------------	-------	------------



вывода		вывода	
1	Вход X1	8	Вход X5
2	» X2	9	» X6
3	Выход Y1	10	Выход Y3
4	» Y2	11	» Y4
5	Вход X3	12	Вход X7
6	» X4	13	» X8
7	Общий	14	Ucc

Таблица А.24 – Параметры ИМС 2ИЛИ-НЕ

Тип микросхемы	KP1561JE5
$T, ^\circ\text{C}$	$-25\dots+85$
$I_{\text{сс}}, \text{мкА}$	$<0,5$
$T_{\text{рнLmax}}, \text{нс}$	$35-25$
$T_{\text{рЛHmax}}, \text{нс}$	$35-25$
Тип корпуса	DIP14

3 элемента 3ИЛИ-НЕ

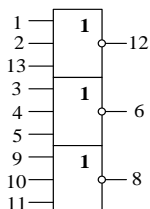


Таблица А.25 – Назначение выводов ИМС 3ИЛИ-НЕ

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход X1	8	Выход Y3
2	» X2	9	Вход X7
3	» X4	10	» X8
4	» X5	11	» X9
5	» X6	12	Выход Y1
6	Выход Y2	13	Выход X3
7	Общий	14	Ucc

Таблица А.26 – Параметры ИМС 3ИЛИ-НЕ

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{\text{рнLmax}}, \text{нс}$	$T_{\text{рЛHmax}}, \text{нс}$	Тип корпуса
KP1564JE4	$-55\dots+125$	<2	15	15	DIP14
KP1533JE4	$0\dots+70$	4	9	15	DIP14
K555JE4	$0\dots+70$	8	19	25	DIP14
KP1554JE4	$-45\dots+85$	<4	7	6,5	DIP14
K155JE4	$-10\dots+70$	26	11	15	DIP14

3 элемента 3ИЛИ-НЕ

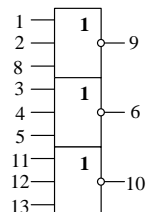


Таблица А.27 – Назначение выводов ИМС 3ИЛИ-НЕ

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход X1	8	Вход X3
2	» X2	9	Выход Y1
3	» X4	10	» Y3
4	» X5	11	Вход X7
5	» X6	12	» X8
6	Выход Y2	13	» X9
7	Общий	14	Ucc

Таблица А.28 – Параметры ИМС 3ИЛИ-НЕ

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{\text{рнLmax}}, \text{нс}$	$T_{\text{рЛHmax}}, \text{нс}$	Тип корпуса
K561JE10	$-10\dots+70$	$<0,25$	47	45	DIP14

К564ЛЕ10	-55...+125	<0,25	47	45	FLAT14
КР1561ЛЕ10	-25...+85	<1 · 10 ⁻³	35–60	40–65	DIP14

Два логических
элемента 4ИЛИ-НЕ

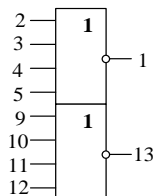


Таблица А.29 – Назначение выводов ИМС 4ИЛИ-НЕ

Номер вывода	Назначение	Номер вывода	Назначение
1	Выход Y1	8	Свободный
2	Вход X1	9	Вход X5
3	» X2	10	» X6
4	» X3	11	» X7
5	» X4	12	» X8
6	Свободный	13	Выход Y2
7	Общий	14	U _{сс}

Таблица А.30 – Параметры ИМС 4ИЛИ-НЕ

Тип ИМС	T, °C	I _{сс} , мА	T _{рНL} max, нс	T _{рLH} max, нс	Тип корпуса
КР1561ЛЕ6	-25...+85	0,5 · 10 ⁻³	25–35	25–35	DIP14
К564ЛЕ6	-55...+125	<0,25	70	65	FLAT14
К561ЛЕ6	-10...+70	<0,25	70	65	DIP14
КР1564ЛЕ9	-55...+125	<1 · 10 ⁻³	15	15	DIP14

ПРИЛОЖЕНИЕ Б

(обязательное)

Интегральные микросхемы триггеров

Четыре R-S триггера

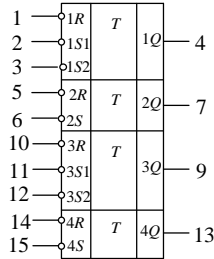


Таблица Б.1 – **ТИ ИМС TP2**

Входы			Выход
<i>S1</i>	<i>S2</i>	<i>R</i>	<i>Q</i>
<i>H</i>	<i>H</i>	<i>H</i>	<i>Q₀</i>
<i>X</i>	<i>L</i>	<i>H</i>	<i>H</i>
<i>L</i>	<i>X</i>	<i>H</i>	<i>H</i>
<i>H</i>	<i>H</i>	<i>L</i>	<i>L</i>
<i>L</i>	<i>L</i>	<i>L</i>	<i>H*</i>

Примечание – H – высокий уровень на выходе, сохраняется до тех пор, пока на входах S1, S2 – низкий уровень; Q₀ – предыдущее состояние*

Таблица Б.2 – **Назначение выводов ИМС KP1533TP2**

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход 1R	9	Выход Q3
2	» 1S1	10	Вход 3R
3	» 1S2	11	» 3S1
4	Выход 1Q	12	Вход 3S2
5	Вход 2R	13	Выход 4Q
6	» 2S	14	Вход 4R
7	Выход 2Q	15	» 4S
8	Общий	16	Ucc

Микросхема KP1533TP2 содержит четыре RS-триггерные защелки. Основной режим работы микросхемы – режим хранения, при этом на входах R и S – высокий уровень напряжения. При подаче отрицательного импульса напряжения на вход S или R на выходе соответствующего триггера устанавливается высокий или низкий уровни напряжения соответственно. При нормальной работе на входах R и S не может быть одновременно низкий уровень напряжения, так как при возвращении в режим хранения состояние на выходе не определено.

Четыре RS-триггера

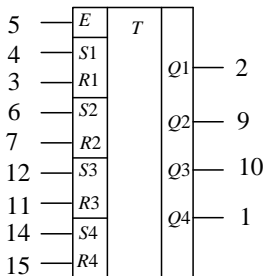


Таблица Б.3 – **Назначение выводов ИМС**

Номер вывода	Назначение	Номер вывода	Назначение
1	Выход Q4	9	Выход Q2
2	» Q1	10	» Q3
3	Вход R1	11	Вход R3
4	» S1	12	» S3
5	Вход разрешения E	13	Свободный
6	Вход S2	14	Вход S4
7	» R2	15	» R4
8	Общий	16	Ucc

Таблица Б.4 – Параметры микросхем ТР2

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{\text{рНLmax}}, \text{нс}$	$T_{\text{рЛHmax}}, \text{нс}$	Тип корпуса
К564ТР2	-55...+125	<20	75	80	FLAT14
К561ТР2	-10...+70	<20	75	80	DIP16

Шесть синхронных D-триггеров

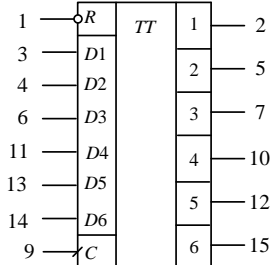


Таблица Б.5 – Назначение выводов ИМС ТМ9

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход “Сброс”	9	Вход синхронизации
2	Выход 1	10	Выход 4
3	Вход D1	11	Вход D4
4	» D2	12	Выход 5
5	Выход 2	13	Вход D5
6	Вход D3	14	» D6
7	Выход 3	15	Выход 6
8	Общий	16	Ucc

Таблица Б.6 – ТИ D-триггера

Входы			Выход
R	C	D	Q
L	X	X	L
H	L=>H	H	H
H	L=>H	L	L
H	L	X	Q ₀

Микросхема представляет собой шесть D-триггеров с прямыми выходами и предназначена для создания устройств памяти широкого применения. Отличительная особенность – наличие общих для всех триггеров синхровхода C и входа сброса R. Тактирование осуществляется передним фронтом синхросигнала C, а установка прямых выходов в состояние низкого уровня – низким уровнем напряжения на входе R.

Таблица Б.7 – Параметры микросхем ТМ9

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{\text{рНLmax}}, \text{нс}$	$T_{\text{рЛHmax}}, \text{нс}$	Тип корпуса
КР1554ТМ9	-45...+85	<8	9	9,5	DIP16
КР531 ТМ9	0...+70	144	12	17	DIP16
К1533 ТМ9	0...+70	14	23	17	DIP16

Четыре синхронных D-триггера

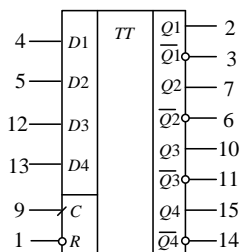


Таблица Б.8 – Назначение выводов ИМС ТМ8

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход “сброс”	9	Вход синхронизации
2	Выход Q1	10	Выход Q3
3	» Q1	11	» Q3
4	Вход D1	12	Вход D3
5	» D2	13	» D4
6	Выход Q2	14	Выход Q4
7	» Q2	15	» Q4
8	Общий	16	Ucc

Таблица Б.9 – **ТИ ИМС ТМ8**

Входы			Выход	
<i>R</i>	<i>C</i>	<i>D</i>	<i>Q</i>	\overline{Q}
<i>L</i>	<i>X</i>	<i>X</i>	<i>L</i>	<i>H</i>
<i>H</i>	<i>L</i> ⇒ <i>H</i>	<i>H</i>	<i>H</i>	<i>L</i>
<i>H</i>	<i>L</i> ⇒ <i>H</i>	<i>L</i>	<i>L</i>	<i>H</i>
<i>H</i>	<i>L</i>	<i>X</i>	<i>Q</i> ₀	\overline{Q} ₀

Микросхема представляет собой четыре *D*-триггера, с прямыми и инверсными выходами и предназначена для создания устройств памяти широкого применения. Отличительная особенность – наличие общих для всех триггеров ввода *C* и входа сброса *R*. Тактирование осуществляется передним фронтом синхросигнала *C*, а установка прямых выходов в состояние низкого уровня – низким уровнем напряжения на входе *R*.

Таблица Б.10 – **Параметры микросхем ТМ8**

Тип ИМС	<i>T</i> , °С	<i>I</i> _{сс} , мА	<i>T</i> _{PHLmax} , нс	<i>T</i> _{PLHmax} , нс	Тип корпуса
KP1564ТМ8	-55...+125	<8 · 10 ⁻³	26	26	<i>DIP</i> 16
KP1554 ТМ8	-45...+85	<8	12	11	<i>DIP</i> 16
KP1533 ТМ8	0...+70	14	23	18	<i>DIP</i> 16
KP1531 ТМ8	0...+70	96	25	25	<i>DIP</i> 16

Четыре *D*-триггера

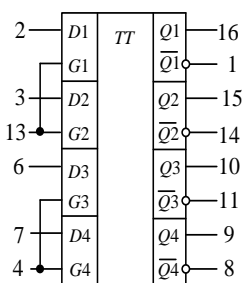


Таблица Б.11 – **Назначение выводов ИМС ТМ7**

Номер вывода	Назначение	Номер вывода	Назначение
1	Выход \overline{Q} ₁	9	Выход <i>Q</i> ₄
2	Вход <i>D</i> ₁	10	» <i>Q</i> ₃
3	» <i>D</i> ₂	11	» \overline{Q} ₃
4	Вход <i>G</i> ₃ – <i>G</i> ₄	12	Общий
5	<i>U</i> _{сс}	13	Вход <i>G</i> ₁ – <i>G</i> ₂
6	Вход <i>D</i> ₃	14	Выход \overline{Q} ₂
7	» <i>D</i> ₄	15	» <i>Q</i> ₂
8	Выход \overline{Q} ₄	16	» <i>Q</i> ₁

Таблица Б.12 – **ТИ**

Входы		Выход
<i>D</i>	<i>G</i>	<i>Q</i>
<i>L</i>	<i>H</i>	<i>L</i>
<i>H</i>	<i>H</i>	<i>H</i>
<i>L</i>	<i>L</i>	<i>Q</i> ₀
<i>H</i>	<i>L</i>	\overline{Q} ₀

Микросхема содержит четыре независимых *D*-триггера, срабатывающих по положительному фронту на входе разрешения *G*. При высоком уровне напряжения на входе разрешения *G* информация со входов *D* передается на выход *Q*, а при подаче на вход *G* низкого уровня напряжения триггеры переходят в режим хранения. Для правильной работы триггеров информацию на входах *D* необходимо выдерживать без изменения в течение времени предустановки.

Таблица Б.13 – **Параметры микросхем ТМ7**

Тип ИМС	<i>T</i> , °С	<i>I</i> _{сс} , мА	<i>T</i> _{PHLmax} , нс	<i>T</i> _{PLHmax} , нс	Тип корпуса
KP1564ТМ7	-55...+125	<4 · 10 ⁻³	24	24	<i>DIP</i> 16
KP1533 ТМ7	0...+70	10	25	22	<i>DIP</i> 16

Два *D*-триггера с динамическим управлением

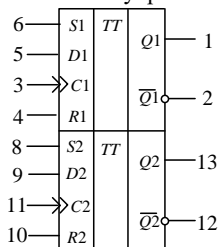


Таблица Б.14 – Назначение выводов ИМС ТМ2

Номер вывода	Назначение	Номер вывода	Назначение
1	Выход Q_1	8	Вход S_2
2	» \overline{Q}_1	9	» D_2
3	Вход C_1	10	» R_2
4	» R_1	11	» C_2
5	» D_1	12	Выход \overline{Q}_2
6	» S_1	13	» Q_2
7	Общий	14	U_{cc}

Таблица Б.15 – Таблица истинности ИМС ТМ2

Входы				Выходы	
C^*	D	R	S	Q	Q_i
┐	0	0	0	0	1
┐	1	0	0	1	0
└	X	0	0	\overline{Q}	\overline{Q}_i
X	X	1	0	0	1
X	X	0	1	1	0
X	X	1	1	Z	Z

Таблица Б.16 – Параметры микросхем ТМ2

Тип ИМС	$T, ^\circ C$	I_{cc}, mA	T_{PHmax}, ns	T_{PLHmax}, ns	Тип корпуса
K561TM2	-10...+70	<1	95	95	DIP14
K176TM2	-10...+70	<3	95	95	DIP14
K564TM2	-55...+125	<1	95	95	FLAT14

Два *D*-триггера синхронных с дополняющими выходами

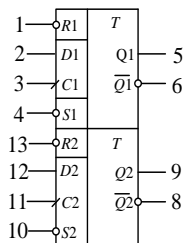


Таблица Б.17 – Назначение выводов ИМС

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход R_1	8	Выход \overline{Q}_2
2	» D_1	9	» Q_2
3	» C_1	10	Вход S_2
4	» S_1	11	» C_2
5	Выход Q_1	12	» D_2
6	» \overline{Q}_1	13	Вход R_2
7	Общий	14	U_{cc}

Таблица Б.18 – Таблица истинности ИМС

Входы				Выход
S	R	C	D	Q
L	H	x	x	H
H	L	x	x	L
L	L	x	x	?
H	H	f	H	H
H	H	f	L	L
H	H	L	x	Q_0

Таблица Б.19 – Параметры микросхем ТМ2

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{\text{рНЛ}}^{\text{макс}}, \text{нс}$	$T_{\text{рЛН}}^{\text{макс}}, \text{нс}$	Тип корпуса
КР1554ТМ2	-45...+85	<8	10,5	10,5	DIP14
КР1564 ТМ2	-55...+125	$<4 \cdot 10^{-3}$	30	30	DIP14

Микросхема содержит два независимых D -триггера, срабатывающих по положительному фронту тактового сигнала. Низкий уровень напряжения на входах S_i или R_i устанавливает выходы триггера в соответствующее состояние вне зависимости от состояния на других входах (C и D). При наличии на входах установки и сброса напряжения высокого уровня для правильной работы триггера требуется предварительная установка информации по входу данных относительно положительного фронта тактового сигнала, а также соответствующая выдержка информации после подачи положительного фронта синхросигнала.

Два JK-триггера

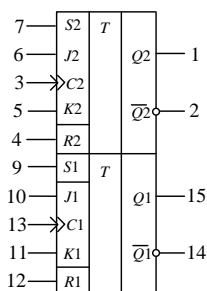


Таблица Б.20 – Назначение выводов ИМС

Номер вывода	Назначение	Номер вывода	Назначение
1	Выход Q_2	9	Установка "1"
2	» \bar{Q}_2	10	Вход J_1
3	Вход "Такт"	11	» K_1
4	Установка "0"	12	Установка "0"
5	Вход K_2	13	Вход "Такт"
6	» J_2	14	Выход \bar{Q}_1
7	Установка "1"	15	» Q_1
8	Общий	16	$U_{\text{сс}}$

Таблица Б.21 – Таблица истинности ИМС

Входы					Выходы		
C	J	K	S	R	C	Q	\bar{Q}
0	1	X	0	0	\neg	1	0
1	X	0	0	0	\neg	1	0
0	0	X	0	0	\neg	0	1
1	X	1	0	0	\neg	0	1
X	X	X	0	0	\neg	Q_n	\bar{Q}_n
X	X	X	1	0	X	1	0
X	X	X	0	1	X	0	1
X	X	X	1	1	X	1	1

При подаче на информационные входы J и K уровня H триггер работает в счетном режиме. При наличии на входе C низкого уровня напряжения происходит запись информации в первую ступень триггера. Переключение второй ступени и запись информации по входам J и K осуществляются положительным фронтом сигнала по входу C . Запись информации по входам R и S осуществляется независимо от логических состояний на входах J, K, C .

Таблица Б.22 – Параметры микросхем ТВ1

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{\text{рНЛmax}}, \text{нс}$	$T_{\text{рЛНmax}}, \text{нс}$	Тип корпуса
K176ТВ1	-10...+70	<3	100	100	DIP16
K561ТВ1	-10...+70	<4	100	100	DIP16
KP1561ТВ1	-25...+85	<5	100–200	100–200	DIP16
K564ТВ1	-55...+125	<4	100	100	FLAT16

Два JK-триггера со сбросом

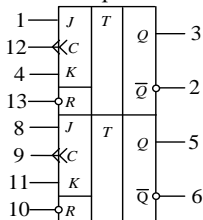


Таблица Б.23 – Назначение выводов ИМС ТВ6

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход J	8	Вход J
2	Выход \bar{Q}	9	» C
3	» Q	10	» R
4	Вход K	11	» K
5	Выход Q	12	» C
6	» \bar{Q}	13	» R
7	Общий	14	$U_{\text{сс}}$

Таблица Б.24 – Параметры

Тип ИМС	KP1533ТВ6
$T, ^\circ\text{C}$	0...+70
$I_{\text{сс}}, \text{мА}$	4,5
$T_{\text{рНЛmax}}, \text{нс}$	15
$T_{\text{рЛНmax}}, \text{нс}$	20
Тип корпуса	DIP14

Таблица Б.25 – Таблица истинности

Входы				Выходы	
R	C	J	K	Q	\bar{Q}
L	X	X	X	H	L
H	X	X	X	L	H
L	X	X	X	Неопределенное	
H	\neg	L	L	Q_0	\bar{Q}_0
H	\neg	H	L	H	L
H	\neg	L	H	L	H
H	\neg	H	H	Инверсия выходов	

Микросхема представляет собой два независимых тактируемых JK-триггера со сбросом (вход R). Считывание информации со входов J и K происходит во время положительного перепада на входе C , а на выходе она передается во время отрицательного перепада. Логические уровни на J и K не должны изменяться, пока на C высокий уровень. Если соединить входы J и K триггер будет работать как обычный счетный (делить частоту на 2).

Двойной JK-триггер с предварительной установкой

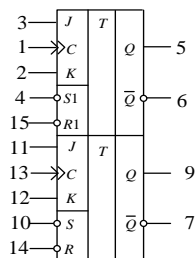


Таблица Б.26 – Назначение выводов ИМС ТВ9

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход C	9	Выход Q
2	» K	10	Вход S
3	» J	11	» J
4	» $S1$	12	» K
5	Выход Q	13	» C
6	» \bar{Q}	14	» R
7	» \bar{Q}	15	» $R1$
8	Общий	16	$U_{\text{сс}}$

Микросхема представляет собой два независимых тактируемых *JK*-триггера с установкой в 0 и 1. Считывание информации со входов *J* и *K* происходит во время положительного перепада на входе *C*, а на выходе она передается во время отрицательного перепада. Наличие низкого уровня на входах *R* и *S* одновременно дает неопределенное состояние на выходах. Логические уровни на *J* и *K* не должны изменяться, пока на *C* высокий уровень. Если соединить входы *J* и *K*, триггер будет работать как обычный счетный (делить частоту на 2).

Таблица Б.27 – Таблица истинности ИМС ТВ9

Входы					Выходы	
<i>R</i>	<i>S</i>	<i>C</i>	<i>J</i>	<i>K</i>	<i>Q</i>	\bar{Q}
<i>L</i>	<i>H</i>	<i>X</i>	<i>X</i>	<i>X</i>	<i>H</i>	<i>L</i>
<i>H</i>	<i>L</i>	<i>X</i>	<i>X</i>	<i>X</i>	<i>L</i>	<i>H</i>
<i>L</i>	<i>L</i>	<i>X</i>	<i>X</i>	<i>X</i>	Неопределенное	
<i>H</i>	<i>H</i>	$\neg L$	<i>L</i>	<i>L</i>	<i>Q</i> ₀	\bar{Q} ₀
<i>H</i>	<i>H</i>	$\neg L$	<i>H</i>	<i>L</i>	<i>H</i>	<i>L</i>
<i>H</i>	<i>H</i>	$\neg L$	<i>L</i>	<i>H</i>	<i>L</i>	<i>H</i>
<i>H</i>	<i>H</i>	$\neg L$	<i>H</i>	<i>H</i>	Инверсия выходов	

Таблица Б.28 – Параметры микросхем ТВ9

Тип ИМС	<i>T</i> , °С	<i>I</i> _{сс} , мА	<i>T</i> _{PH,max} , нс	<i>T</i> _{PLH,max} , нс	Тип корпуса
КР1533ТВ9	0...+70	4	19	15	<i>DIP</i> 16
КР1554ТВ9	-45...+85	<8	10,5	10,5	<i>DIP</i> 16

Двойной *JK*-триггер с установкой единицы

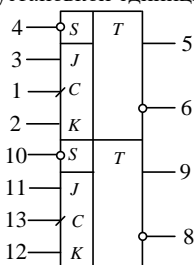


Таблица Б.29 – Назначение выводов

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход <i>C</i>	8	Выход
2	» <i>K</i>	9	»
3	» <i>J</i>	10	Вход <i>S</i>
4	» <i>S</i>	11	» <i>J</i>
5	Выход	12	» <i>K</i>
6	»	13	» <i>C</i>
7	Общий	14	<i>U</i> _{сс}

Микросхема представляет собой два независимых тактируемых *JK*-триггера с установкой в единичное состояние (вывод *S*). Считывание информации со входов *J* и *K* происходит во время положительного перепада на входе *C*, а на выходы она передается во время отрицательного перепада. Логические уровни *J* и *K* не должны изменяться, пока на *C* высокий уровень. Если соединить входы *J* и *K*, триггер будет работать как обычный счетный (делитель частоты на 2).

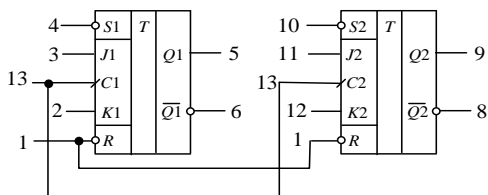
Таблица Б.30 – Параметры

Тип ИМС	КР1533ТВ10
$T, ^\circ\text{C}$	0...+70
$I_{\text{сс}}, \text{мА}$	4,5
$T_{рНL\text{max}}, \text{нс}$	19
$T_{рЛH\text{max}}, \text{нс}$	15
Тип корпуса	DIP14

Таблица Б.31 – Таблица истинности ИМС

Входы				Выходы	
S	C	J	K	Q	\bar{Q}
H	X	X	X	H	L
L	X	X	X	L	H
L	X	X	X	Неопределенное	
H	—	L	L	Q_0	\bar{Q}_0
H	—	H	L	H	L
H	—	L	H	L	H
H	—	H	H	Инверсия выходов	

Двойной JK -триггер с установкой единицы и общей установкой нуля и синхронизацией



Микросхема представляет собой два тактируемых JK -триггера с установкой в 0 и 1 (выходы R и S). Триггеры имеют общие входы R и S . Считывание информации со входов J и K происходит во время положительного перепада на входе C , а на выходы она передается во время отрицательного перепада. Логические уровни на J и K не должны изменяться, пока на C – высокий уровень. Если соединить входы J и K , триггер будет работать как обычный счетный (делить частоту на 2).

Таблица Б.32 – Назначение выводов

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход R	8	Выход \bar{Q}_2
2	» $K1$	9	» Q_2
3	» $J1$	10	Вход $S2$
4	» $S1$	11	» $J2$
5	Выход $Q1$	12	» $K2$
6	» \bar{Q}_1	13	» $C1, C2$
7	Общий	14	$U_{\text{сс}}$

Таблица Б.33 – ТИ

Входы					Выходы	
R	S	C	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	Неопределенное	
H	H	—	L	L	Q_0	\bar{Q}_0
H	H	—	H	L	H	L
H	H	—	L	H	L	H
H	H	—	H	H	Инверсия выходов	

Таблица Б.34 – Параметры микросхем ТВ11

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{рНL\text{max}}, \text{нс}$	$T_{рЛH\text{max}}, \text{нс}$	Тип корпуса
КР531ТВ11	0...+70	50	7	7	DIP14
КР1533ТВ11	0...+70	4,5	19	15	DIP14

ПРИЛОЖЕНИЕ В
(обязательное)

Интегральные микросхемы счетчиков



Таблица В.1 – Назначение выводов ИМС ИЕ5

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход счетный	8	Выход 2-го разряда
2	» установки "0"	9	» 1-го разряда
3	» установки "0"	10	Общий
4	Свободный	11	Выход 3-го разряда
5	Ucc	12	» 0-го разряда
6	Свободный	13	Свободный
7	»	14	Вход счетный

Таблица В.2 – ТИ

Счет	Выходы			
	Q4	Q3	Q2	Q1
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

Данная микросхема – четырехразрядный двоичный счетчик, выполненный на двухступенчатых JK-триггерах. Счетчик имеет два счетных входа C1, C2 и два входа установки нуля R01, R02. Выход Q1 внутренне не соединен с последующими триггерами. Это дает возможность использовать схему в двух независимых режимах работы в качестве четырехразрядного двоичного счетчика, когда входные счетные импульсы поступают на вход C1. Выходы осуществляют операцию деления на два, четыре, восемь и шестнадцать трехразрядного двоичного счетчика, когда входные счетные импульсы поступают на вход C2. Первый триггер, не соединенный с другими триггерами схемы, можно использовать как элемент для функции деления на два. Установочные входы микросхемы обеспечивают прекращение счета и возвращают все четыре триггера в состояние низкого уровня, когда на входы R01 или R02 одновременно подается высокий уровень напряжения. При операции счета на одном из входов установки R01 или R02 должен присутствовать потенциал низкого уровня. Таблица истинности показывает состояние на выходах схемы во время операции счета импульсов. (Выводы C2 и Q2 соединены, тактовые импульсы подаются на C1).

Таблица В.3 – Параметры микросхем ИЕ5

Тип ИМС	T, °C	Icc, мА	TpHLmax, нс	TpLHmax, нс	Тип корпуса
K155IE5	-10...+70	53	36	34	DIP14
KP1533E5	0...+70	13	18	16	DIP14

Два четырехразрядных счетчика

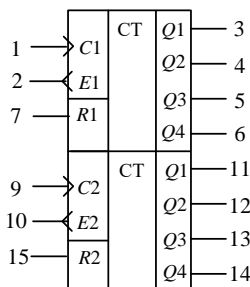


Таблица В.4 – Назначение выводов

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход счетный	9	Вход счетный
2	Вход “Разрешение”	10	Вход “Разрешение”
3	Выход Q_1	11	Выход Q_1
4	» Q_2	12	» Q_2
5	» Q_3	13	» Q_3
6	» Q_4	14	» Q_4
7	Вход установки “0”	15	Вход установки “0”
8	Общий	16	U_{cc}

При уровне высокого напряжения на входе разрешения E по положительному фронту сигнала на входе C начинается счет импульсов. При другом варианте в качестве управляющего используется вход C , а счетные импульсы подаются на вход E . В этом режиме работы пересчет импульсов разрешен при уровне L на входе C и запрещен при уровне H , а изменение состояния счетчика происходит по отрицательному фронту пересчитываемых импульсов.

Таблица В.5 – Таблица истинности

Логические уровни входных сигналов			Действие
C	E	R	
\bar{f}	1	0	Счет
0	$\bar{1}$	0	»
0	X	0	Нет счета
X	0	0	»
0	0	0	»
0	0	0	»
X	X	1	На всех выходах 0

Таблица В.6 – Параметры микросхем ИЕ10

Тип ИМС	$T, ^\circ C$	I_{cc}, mA	T_{pHLmax}, ns	T_{pLHmax}, ns	Тип корпуса
KP1561ИЕ10	-55...+125	0,000005	280	280	DIP16
K561ИЕ10	-10...+70	< 5	220	220	DIP16
K564ИЕ10	-55...+125	< 5	220	220	FLAT16
KP1554ИЕ23	-45...+85	< 8	10	9,5	DIP16

Двоично-десятичный 4-разрядный счетчик

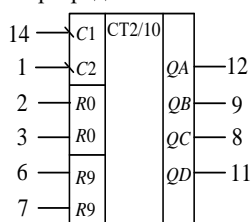


Таблица В.7 – Назначение выводов

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход счетный	8	Выход разряда
2	» установки	9	» »
3	» »	10	Общий
4	Свободный	11	Выход разряда
5	U_{cc}	12	» »
6	Вход установки	13	Свободный
7	» »	14	Вход счетный

Таблица В.8 – Таблица истинности

Входы установки				Выходы			
R0(2)	R0(3)	R9(6)	R9(7)	QA	QB	QC	QD
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	Счет			
L	X	L	X	»			
L	X	X	L	»			
X	L	L	X	»			

Микросхема представляет собой двоично-десятичный четырехразрядный счетчик, состоящий из четырех *D*-триггеров, внутренне соединенных для выполнения операции деления на два и пять.

Входы установки нуля обеспечивают запрещение счета по счетным входам *C1* и *C2* и возвращение всех выходов в состояние низкого уровня или отсчет двоично-десятичного числа в девять. Выход *QA* не соединен с последующими триггерами, поэтому можно осуществить три независимых режима работы счетчика: при внешнем соединении входа *C2* с выходом *Q1* осуществляется операция двоично-десятичного счета; при внешнем соединении входа *C1* с выходом *QD* осуществляется операция деления на 10 выходного импульса со скважностью 2, сигнал снимается с выхода *QA*. Без внешних соединений триггер с выходом *Q1* осуществляет операцию деления на два (вход *C2* используется для выполнения операции деления на пять). Оба счетчика работают независимо друг от друга. Таблица В.8 показывает, какое состояние должно быть на входах установки *R*, чтобы на выходах счетчика осуществлялась операция счета импульсов.

Таблица В.9 – Параметры микросхем ИЕ2

Тип ИМС	<i>T</i> , °С	<i>I</i> _{сс} , мА	<i>T</i> _{PHmax} , нс	<i>T</i> _{PLmax} , нс	Тип корпуса
КР1533ИЕ2	-10...+70	13	18	16	DIP14
К155ИЕ2	-10...+70	53	36	34	DIP14

Двоично-десятичный реверсивный счетчик (4- разрядный)

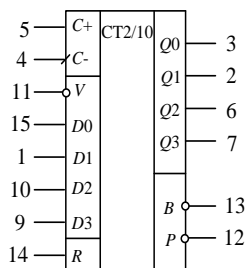


Таблица В.10 – Назначение выводов

Номер вывода	Назначение	Номер вывода	Назначение
1	Информационный вход	9	Информационный вход
2	Выход <i>Q1</i>	10	То же
3	» <i>Q0</i>	11	Вход разрешения записи информации
4	Вход счетный	12	Выход переноса
5	» »	13	Выход заема
6	Выход <i>Q2</i>	14	Вход установки
7	» <i>Q3</i>	15	Информационный вход
8	Общий	16	<i>U</i> _{сс}

Таблица В.10 – Таблица истинности

Режим	R	V	C+	C-	D0	D1	D2	D3	Q0	Q1	Q2	Q3	P	B
Сброс	H	X	X	L	X	X	X	X	L	L	L	L	H	L
	H	X	X	H	X	X	X	X	L	L	L	L	H	H
Параллельная загрузка	L	L	X	L	L	L	L	L	L	L	L	L	H	L
	L	L	X	H	L	L	L	L	L	L	L	L	H	H
	L	L	L	X	H	X	X	H	$Qn = Dn$			L	H	
	L	L	H	X	H	X	X	H	$Qn = Dn$			H	H	
Счет на увеличение	L	H	↑	H	X	X	X	X	Счет на увеличение			H	H	
Счет на уменьшение	L	H	H	↑	X	X	X	X	Счет на уменьшение			H	H	

Микросхема представляет двоично-десятичный реверсивный четырехразрядный счетчик, построенный на основе JK-триггеров. Особенностью счетчика является построение по синхронному принципу, по которому все триггеры схемы переключаются одновременно от одного счетного импульса. Направление счета в счетчике определяется состоянием на счетных входах триггеров. При прямом счете на входе обратного счета должно быть напряжение высокого уровня, при обратном счете на входе прямого счета должно быть напряжение высокого уровня. Установка в нуль (сброс) счетчика осуществляется независимо от состояний информационных, счетных входов и входа предварительной записи. Для построения счетчика с большой разрядностью используют выходы прямого и обратного переносов. С выхода прямого переноса импульсы подаются на вход прямого счета следующего каскада. Импульсы обратного переноса подаются на вход обратного счета следующего каскада.

Таблица В.11 – Параметры микросхем ИЕ

Тип ИМС	T, °C	I _{сс} , мА	T _{PHmax} , нс	T _{PLmax} , нс	Тип корпуса
KP1564ИЕ6	-55...+125	<8 · 10 ⁻³	49	39	DIP16
KP1533ИЕ6	-10...+70	22	18	16	DIP16
K155ИЕ6	0...+70	102	47	40	DIP16
K155ИЕ7	-10...+70	102	47	40	DIP16
KP1533ИЕ7	0...+70	22	18	16	DIP16

Синхронный 4-разрядный двоично-десятичный счетчик

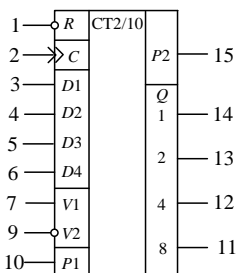


Таблица В.12 – Таблица истинности

Режим	Вход						Выход	
	R	C	V1	P1	P2	Dn	Qn	P2
Сброс	H	X	X	X	X	X	H	H
Параллельная загрузка	B		X	X	H	H	H	H
	B		X	X	H	B	B	B
Счет	B		B	B	B	X	Счет	B
Хранение	B	X	H	X	B	X	Qn	B
	B	X	X	H	B	X	Qn	B

Микросхема представляет четырехразрядный двоичный счетчик с асинхронным сбросом, дешифрующим счетным выходом, с возможностью синхронной установки в произвольное состояние от нуля до пятнадцати. В качестве запоминающего элемента используется *JK*-триггер с внутренней задержкой. Счетчик имеет вход синхронизации *C*, вход установки нуля *R*, четыре информационных входа *D1–D4*, входы разрешения счета *V1*, разрешения предварительной записи *V2*, разрешения переноса *P1*, четыре выхода *Q1–Q4* и выход переноса информации *P2*.

Счетчик устанавливается в предварительное состояние при наличии на входе разрешения *V2* низкого уровня. В этом случае разрешена подача сигналов на входы *JK*-триггеров через информационные входы *D1–D4*. Информация передается на выходы при поступлении положительного фронта тактового импульса на вход синхронизации. Операция счета происходит при наличии на входах *V1*, *P1*, *V2*, *R* высокого уровня.

Таблица В.13 – Назначение выводов

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход установки	9	Вход разрешения записи <i>V2</i>
2	» синхронизации	10	» разрешения переноса <i>P1</i>
3	» информационный	11	Выход 4-го разряда
4	» »	12	» 3-го »
5	» »	13	» 2-го »
6	» »	14	» 1-го »
7	Вход разрешения счета <i>V1</i>	15	» переноса
8	Общий	16	<i>Ucc</i>

Схема устанавливается в нулевое состояние при подаче на вход напряжения низкого уровня. В режиме записи на шины *V2* подается низкий уровень, *R* – высокий, а состояние входов *V1* и *P1* могут быть любыми.

Для переноса импульса в следующий каскад предусмотрена специальная схема с входом разрешения переноса *P1* и выходом *P2*. При подаче на вход схемы девятого счетного импульса на выходе появляется высокий уровень. После десятого импульса, когда счетчик обнуляется, выход *P2* снова переходит в состояние низкого уровня. Следовательно, на каждые десять счетных импульсов формируется один импульс переноса на вход счетчика старшего разряда.

Таблица В.14 – Параметры микросхем ИЕ

Тип ИМС	<i>T</i> , °С	<i>I</i> _{сс} , мА	<i>T</i> _{PHmax} , нс	<i>T</i> _{PLmax} , нс	Тип корпуса
КР1533ИЕ9	0...+70	21	17	15	<i>DIP16</i>
К155ИЕ9	0...+70	101	38	35	<i>DIP16</i>
КР1533ИЕ10	0...+70	21	17	15	<i>DIP16</i>

Десятичный счетчик с предварительной установкой

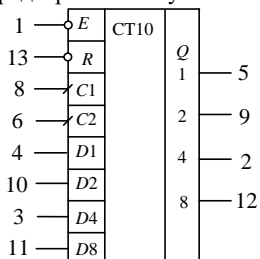


Таблица В.15 – Таблица истинности

Входы					Выходы	Режим
<i>R</i>	<i>E</i>	<i>D8–D1</i>	<i>C1</i>	<i>C2</i>	<i>Q8–Q1</i>	
<i>L</i>	<i>X</i>	<i>X</i>	<i>X</i>	<i>X</i>	<i>L</i>	Установка в <i>L</i>
<i>H</i>	<i>L</i>	<i>D</i>	<i>X</i>	<i>X</i>	<i>D</i>	Предустановка
<i>H</i>	<i>H</i>	<i>X</i>	↓	<i>Q1</i>	<i>Q(n+1)</i>	Счет (+1)

Таблица В.16 – Назначение выводов ИМС ИЕ14

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход разрешения предварительной установки	8	Вход счетный
2	Выход 3-го разряда	9	Выход 2-го разряда
3	Вход 3-го разряда	10	Вход 2-го »
4	» 1-го разряда	11	» 4-го »
5	Выход 1-го разряда	12	Выход 4-го »
6	Вход счетный	13	Вход установки в “0”
7	Общий	14	<i>Ucc</i>

Микросхема представляет собой асинхронный счетчик-делитель с программируемым коэффициентом деления. Счетчик четырехразрядный, состоит из четырех двухступенчатых *M-S* триггеров. Первый триггер имеет собственный счетный вход *C* и обеспечивает деление частоты на два. Счетный вход *C2* второго триггера при последовательном соединении с третьим и четвертым триггерами обеспечивает деление частоты на входе *C2* на пять и т. д.

Счетный режим осуществляется предварительной установкой входа *R*, обеспечивая исходное состояние счетчика, соответствующее низкому уровню на выходах микросхемы. Счетчик имеет обнуление по входу разрешения предварительной установки *E* и по входу *C2*. Благодаря входу *E* счетчик позволяет начинать счет с любого числа от 0 до 9.

Таблица В.17 – Параметры микросхем ИЕ14

Тип ИМС	<i>T</i> , °C	<i>I_{сс}</i> , мА	<i>t_{PHmax}</i> , нс	<i>t_{PLHmax}</i> , нс	Тип корпуса
КР531ИЕ14	0...+70	120	37	24	<i>DIP14</i>
К155ИЕ14	-10...+70	60	30	25	<i>DIP14</i>

Пятиразрядный счетчик
Джонсона с
предварительной
установкой

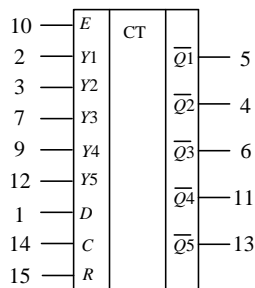


Таблица В.18 – Назначение выводов ИМС ИЕ19

Номер вывода	Назначение	Номер вывода	Назначение
1	Информационный вход	9	Вход предварительной установки разряда
2	Вход предварительной установки разряда	10	Вход разрешения предварительной установки
3	То же	11	Инверсный выход
4	Инверсный выход	12	Вход предварительной установки разряда
5	» »	13	Инверсный выход
6	» »	14	Вход тактовый
7	Вход предварительной установки разряда	15	Вход установки "0"
8	Общий	16	U_{cc}

Таблица В.19 – ТИ

Входы				Выходы	
$Y1$	E	$Y2$	C	$Q_{(n-1)}$	Q_n
0	1	X	X	X	0
1	1	X	X	X	1
X	0	0	\neg	X	0
X	0	1	\neg	X	1
X	0	X	\neg	0	0
X	0	X	\neg	1	1

Таблица В.20 – Таблица рабочих состояний

Входы			Состояние
E	C	R	
X	X	1	Установка инверсных входов системы в состояние высокого уровня
1	X	0	Предварительная установка по входам J
0	\neg	0	Счет
0	\neg	0	Без изменений

Логический уровень на входах $Y1$ – $Y5$ может быть любой, пока логический уровень на входе разрешения предварительной установки E не станет высоким. При подаче на вход установки R напряжения высокого уровня все разряды счетчика устанавливаются в состояние высокого уровня независимо от состояния уровня на остальных входах. В зависимости от объединения информационного входа D с различными выходами схемы счетчик может работать с коэффициентами деления 2–10.

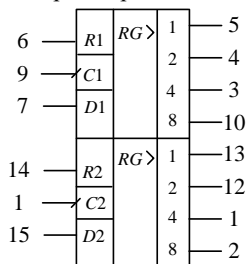
Таблица В.21 – Параметры микросхем ИЕ19

Тип ИМС	$T, ^\circ\text{C}$	$I_{cc}, \text{мА}$	$T_{rHL\text{max}}, \text{нс}$	$T_{rLH\text{max}}, \text{нс}$	Тип корпуса
K564ИЕ19	–55...+125	0,3	350	350	FLAT16
K561ИЕ19	–10...+70	0,3	350	350	DIP16

ПРИЛОЖЕНИЕ Г
(обязательное)

Интегральные микросхемы регистров

Два четырехразрядных регистра сдвига



Все четыре регистра двухступенчатые *D*-типа. Данные в регистр вводятся через последовательный вход *D*. Регистр имеет вход тактовых импульсов *C*, причем данные принимаются от входа *D* первого триггера и сдвигаются на один такт вправо после каждого положительного тактового перепада на входе *C*.

Четыре выхода регистра позволяют преобразовать последовательный код, принимаемый по входу *D*, в параллельный на выходах *Q0–Q3*, отображаемый через 4 такта. Из одного корпуса ИР2 можно сделать 8-разрядный регистр-преобразователь, соединив последовательно оба регистра микросхемы.

Таблица Г.1 – Назначение выводов ИМС ИР2

Номер вывода	Назначение	Номер вывода	Назначение
1	Тактовый вход	9	Тактовый вход
2	Выход разрядов регистра	10	Выход разрядов регистра
3	То же	11	То же
4	»	12	»
5	»	13	»
6	Вход установки в состояние “0”	14	Вход установки в состояние “0”
7	Информационный вход	15	Информационный вход
8	Общий	16	<i>Ucc</i>

Таблица Г.2 – Таблица истинности ИМС ИР2

Вход			Выход	
<i>C</i>	<i>D</i>	<i>R</i>	<i>Q0</i>	<i>Qn</i>
┐	0	0	0	<i>Qn-1</i>
┐	1	0	1	<i>Qn-1</i>
┘	<i>X</i>	0	<i>Q1</i>	<i>Qn</i>
<i>X</i>	<i>X</i>	1	0	0

Таблица Г.3 – Параметры микросхем ИР2

Тип ИМС	<i>T</i> , °С	<i>Icc</i> , мА	<i>TpHLmax</i> , нс	<i>TpLHmax</i> , нс	Тип корпуса
КР1561ИР2	-25...+85	<0,5 · 10 ⁻³	100-300	100-300	<i>DIP16</i>
К561ИР2	-10...+70	<5	165	165	<i>DIP16</i>
К564ИР2	-55...+125	<5	165	165	<i>FLAT16</i>
К176ИР2	-10...+70	5	300	300	<i>DIP16</i>

8-разрядный сдвиговый регистр с параллельной загрузкой

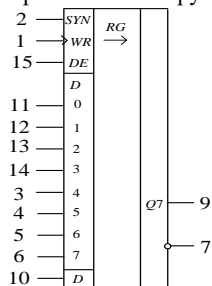


Таблица Г.4 – Назначение выводов ИМС

Номер вывода	Назначение	Номер вывода	Назначение
1	Сдвиг/загрузка	9	Выход Q_7
2	Вход тактовый	10	Вход последовательный
3	Вход 4	11	Вход 0
4	» 5	12	» 1
5	» 6	13	» 2
6	» 7	14	» 3
7	Выход	15	Задержка такта
8	Общий	16	U_{cc}

Таблица Г.5 – Таблица истинности

Входы			Функции
WR	SYN	DE	
L	x	x	Параллельная загрузка
H	H	x	Не изменяется
H	x	H	То же
H	L	\bar{J}	Сдвиг
H	\bar{J}	L	»

Таблица Г.6 – Параметры

Тип микросхемы	KP1564ИР9
$T, ^\circ C$	$-55...+125$
$I_{cc}, \text{мкА}$	<8
$T_{PH\text{max}}, \text{нс}$	26
$T_{PL\text{max}}, \text{нс}$	26
Тип корпуса	DIP16

Микросхема представляет собой восьмиразрядный сдвиговый регистр с параллельной загрузкой и имеет два режима работы: параллельная загрузка и сдвиг. Параллельная загрузка информации осуществляется при наличии на входе выбора WR низкого уровня напряжения, причем загрузка происходит асинхронно.

После установки высокого уровня напряжения на входе выбора режима WR по положительному фронту тактового импульса на входе синхросигнала SYN или входе блокировки синхросигнала DE происходит сдвиг. При высоком уровне напряжения на одном из входов SYN или DE состояние регистра не изменяется.

8-разрядный универсальный сдвиговый регистр

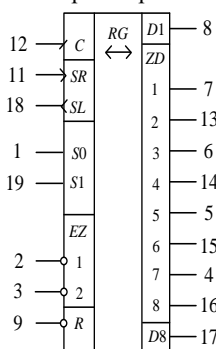


Таблица Г.7 – Назначение выводов

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход выбора режима	11	Вход сдвига вправо
2	Вход разрешения состояния высокого импеданса	12	Тактовый вход
3	То же	13	Вход/выход данных
4	Вход/выход данных	14	» »
5	» »	15	» »
6	» »	16	» »
7	» »	17	Выход 8-го разряда данных
8	Выход 1-го разряда данных	18	Вход сдвига влево
9	Вход низкого уровня	19	Вход выбора режима
10	Общий	20	U_{cc}

Таблица Г.8 – Таблица истинности и функционирования ИМС ИР24

Режим	Вход								Вход/выход								Выход	
	\bar{R}	$S0$	$S1$	$\bar{EZ1}$	$\bar{EZ2}$	C	SL	SR	$ZD1$	$ZD2$	$ZD3$	$ZD4$	$ZD5$	$ZD6$	$ZD7$	$ZD8$	$D1$	$D8$
Установка «0»	L	L	X	L	L	X	X	X	L	L	L	L	L	L	L	L	L	L
	L	X	L	L	L	X	X	X	L	L	L	L	L	L	L	L	L	L
	L	H	H	X	X	X	X	X	X	X	X	X	X	X	X	X	L	L
Удержание	H	L	L	L	L	X	X	X	$D1_0$	$D2_0$	$D3_0$	$D4_0$	$D5_0$	$D6_0$	$D7_0$	$D8_0$	$D1_0$	$D8_0$
	H	X	X	L	L	L	X	X	$D1_0$	$D2_0$	$D3_0$	$D4_0$	$D5_0$	$D6_0$	$D7_0$	$D8_0$	$D1_0$	$D8_0$
Сдвиг вправо	H	H	L	L	L	∩	X	H	H	$D1_n$	$D2_n$	$D3_n$	$D4_n$	$D5_n$	$D6_n$	$D7_n$	H	$D7_n$
	H	H	L	L	L	∩	X	L	L	$D1_n$	$D2_n$	$D3_n$	$D4_n$	$D5_n$	$D6_n$	$D7_n$	L	$D7_n$
Сдвиг влево	H	L	H	L	L	∩	H	X	$D2_n$	$D3_n$	$D4_n$	$D5_n$	$D6_n$	$D7_n$	$D8_n$	H	$D2_n$	H
	H	L	H	L	L	∩	L	X	$D2_n$	$D3_n$	$D4_n$	$D5_n$	$D6_n$	$D7_n$	$D8_n$	L	$D2_n$	L
Загрузка	H	H	H	X	X	∩	X	X	$d1$	$d2$	$d3$	$d4$	$d5$	$d6$	$d7$	$d8$	$d1$	$d8$

Микросхема представляет собой универсальный восьмиразрядный сдвиговый регистр с выходом на три состояния и может применяться в качестве буферного запоминающего устройства для временного хранения данных, для преобразования данных из параллельной формы в последовательную и наоборот или для задержки информационных сигналов.

Возможны 4 режима работы: параллельная загрузка, сдвиги вправо (от $D1$ к $D8$) и влево (от $D8$ к $D1$), блокировка.

Синхронная параллельная загрузка осуществляется путем установки напряжения высокого уровня на управляющие входы $S0$, $S1$. На объединенные входы-выходы, находящиеся в состоянии высокого импеданса, подается восьмиразрядное слово, которое по положительному фронту на C записывается в триггеры.

Сдвиг вправо осуществляется синхронно с приходом положительного фронта тактового импульса C при установке на $S0$ высокого, а на $S1$ – низкого уровней. В этом режиме данные последовательно считываются со входа SR .

Сдвиг влево осуществляется синхронно с приходом положительного фронта тактового импульса на C при установке на $S1$ высокого, а на $S0$ – низкого уровней. В этом режиме данные последовательно считываются со входа SL .

Режим блокировки реализуется при подаче на оба управляющих входа $S0$, $S1$ напряжения низкого уровня.

Сброс выходов в состояние низкого уровня происходит асинхронно при подаче нуля на R . Напряжение высокого уровня на любом из входов $EZ1$, $EZ2$ переводит входы-выходы в состояние высокого импеданса, но не оказывает при этом влияния на режимы работы регистра.

Таблица Г.9 – Параметры микросхем ИР24

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{pH\text{max}}, \text{нс}$	$T_{pL\text{max}}, \text{нс}$	Тип корпуса
КР531ИР24	0...+70	225	20	18	DIP20
К153ЗИР24	0...+70	30	16	12	DIP20
К1554ИР24	0...+70	<0,008	13	12	DIP20

Восьмиразрядный преобразователь последовательного кода в параллельный

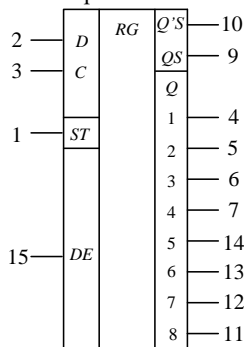


Таблица Г.10 – Назначение выводов ИМС ПР1

Номер вывода	Назначение	Номер вывода	Назначение
1	Стробирующий вход	9	Последовательный выход
2	Последовательный вход данных	10	То же
3	Тактовый вход	11	Параллельный выход
4	Параллельный выход	12	То же
5	То же	13	»
6	»	14	»
7	»	15	Управляющий вход
8	Общий	16	$U_{\text{сс}}$

Таблица Г.11 – Таблица истинности ИМС ПР1

C	DE	ST	D	Q_1	Q_N	Q_8	Q_8'
┌	0	X	X	Z	Z	Q7	XX
└	0	X	X	Z	Z	XX	Q7
┌	1	0	X	XX	XX	Q7	XX
┌	1	1	0	0	Q_{N-1}	Q7	XX
┌	1	1	1	1	Q_{N-1}	Q7	XX
└	1	1	1	XX	XX	XX	Q7

Микросхема имеет информационный вход D , восемь параллельных выходов Q_1 – Q_8 и два последовательных Q_S и Q'_S . Информация записывается в первый разряд сдвигающего регистра по фронту тактового импульса, по следующим тактам происходит запись и сдвиг информации в последующие разряды. Информация из седьмого разряда по фронту C передается в восьмой разряд (выход Q_8) и на последовательный выход Q_S или Q'_S (по срезу C). Считывание информации происходит при уровне H на входе строба ST . При подаче низкого уровня на вход DE параллельные выходы переходят в состояние с высоким импедансом.

Таблица Г.12 – Параметры микросхем ПР1

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{pH\text{max}}, \text{нс}$	$T_{pL\text{max}}, \text{нс}$	Тип корпуса
К564ПР1	-55...+125	0,04	420	420	FLAT16
К561ПР1	-10...+70	0,04	420	420	DIP16
КР1561ПР1	-25...+85	<20	300	300	DIP16

Четырехразрядный последовательно-параллельный регистр

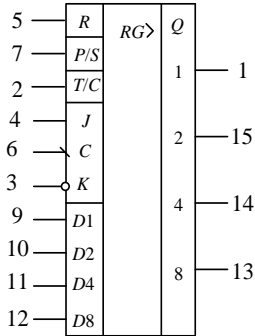


Таблица Г.13 – Назначение выводов ИМС

Номер вывод а	Назначение	Номер вывод а	Назначение
1	Выход	9	Вход параллельный
2	Вход прямой/инверсный	10	» »
3	Вход	11	» »
4	»	12	» »
5	Вход установки "0"	13	Выход
6	Вход тактовый	14	»
7	Вход параллельный/последовательный	15	»
8	Общий	16	Ucc

Микросхема может работать в режимах: параллельная запись – параллельное считывание; параллельная запись – последовательное считывание; последовательная запись – параллельное считывание; последовательная запись – последовательное считывание. Регистр имеет четыре информационных входа $D1-D4$ параллельной записи, два входа J и K последовательной записи и вход синхронизации C .

При параллельной записи на вход P/S подается напряжение высокого уровня, и по переднему фронту тактового импульса на входе C сигналы со входов $D1-D4$ записываются в разряды регистра. При последовательной записи на вход P/S подается напряжение низкого уровня, информация записывается в регистр по последовательным входам J и K . Управление полярностью сигналов на выходах $Q1-Q4$ осуществляется через вход T/C . При подаче на вход сброса R напряжения высокого уровня независимо от состояния других входов все триггеры микросхемы устанавливаются в состояние L . Если на входе R напряжение низкого уровня, возможна запись информации в триггеры микросхемы.

Таблица Г.14 – Таблица истинности

Вход				Выход	
C	J	\bar{K}	R	Q_{n-1}	Q_n
┌	0	X	0	0	0
┌	1	X	0	0	1
┌	X	0	0	1	0
┌	1	0	0	Q_{n-1}	Q_{n-1}
┌	X	1	0	1	1
X	X	X	1	X	0
└	X	X	0	Q_{n-1}	Q_{n-1}

Таблица Г.15 – Параметры

Тип микросхемы	KP1561IP9
$T, ^\circ C$	-25...+85
Исс, мкА	0,5
$T_{PHmax}, нс$	100-250
$T_{PLmax}, нс$	100-250
Тип корпуса	DIP16

8-разрядный буферный регистр с защелкой и тремя состояниями

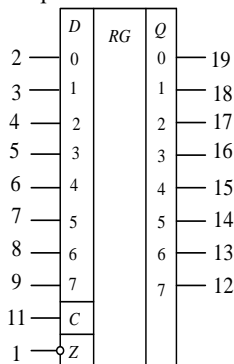


Таблица Г.16 – Назначение выводов

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход разрешения состояния высокого импеданса	11	Вход стробирования
2	Информационный вход	12	Информационный выход
3	То же	13	То же
4	»	14	»
5	»	15	»
6	»	16	»
7	»	17	»
8	»	18	»
9	»	19	»
10	Общий	20	U_{cc}

Микросхема представляет собой восьмиразрядный регистр с усиленными выходами для управления большой емкостной или низкоомной нагрузкой и может быть использована в качестве магистрального формирователя. Базовый элемент микросхемы – *D*-триггер спроектирован по типу проходной защелки, что позволяет при высоком уровне на входе стробирования *C* проходить входному сигналу на выход, минуя триггер. При подаче отрицательного уровня напряжения на вход *C* включается обратная связь, и регистр запоминает поданную на вход *D* информацию и переходит в режим хранения.

Высокий уровень на входе *Z* переводит выходы микросхемы в высокоимпедансное состояние, при этом в регистр может записываться новая информация или храниться предыдущая.

Таблица Г.17 – Таблица функционирования

Входы			Выходы Q_0-Q_7	Режим работы
<i>Z</i>	<i>C</i>	D_n		
<i>L</i>	<i>H</i>	<i>H</i>	<i>H</i>	Защелкивание и считывание из регистра
<i>L</i>	<i>H</i>	<i>L</i>	<i>L</i>	То же
<i>L</i>	<i>L</i>	x	Q_0	Хранение
<i>H</i>	x	x	<i>Z</i>	Защелкивание в регистр, разрыв выходов

Таблица Г.18 – Параметры микросхем ИР

Тип ИМС	$T, ^\circ\text{C}$	I_{cc}, mA	$T_{PH\text{max}}, \text{нс}$	$T_{PL\text{max}}, \text{нс}$	Тип корпуса
КР531ИР22	0...+70	160	20	18	<i>DIP20</i>
КР1554ИР22	-45...+85	<8	10,5	10,5	<i>DIP20</i>
КР1533ИР22	0...+70	28	16	12	<i>DIP20</i>
КР1533ИР27	0...+70	26	16	14	<i>DIP20</i>

8-разрядный буферный регистр с защелкой и тремя состояниями

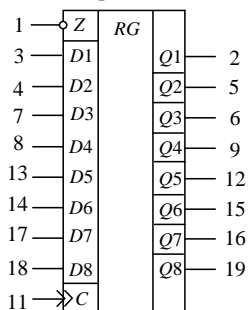


Таблица Г.19 – Правила работы

Входы			Выходы Q0–Q7	Режим работы
Z	C	Dn		
L	┐	L	L	Защелкивание и считывание из регистра
L	┐	H	H	То же
L	L	x	Q0	Хранение
H	x	x	Z	Защелкивание в регистр, разрыв выходов

Таблица Г.20 – Назначение выводов ИМС ИР23

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход считывания	11	Вход синхронизации
2	Выход разряда	12	Выход разряда
3	Информационный вход разряда	13	Информационный вход разряда
4	То же	14	То же
5	Выход разряда	15	Выход разряда
6	» »	16	» »
7	Информационный вход разряда	17	Информационный вход разряда
8	То же	18	То же
9	Выход разряда	19	Выход разряда
10	Общий	20	Ucc

Микросхема представляет собой восьмиразрядный регистр с умышленными выходами для управления большой емкостной или низкоомной нагрузкой и может быть использована в качестве магистрального формирователя. Базовый элемент микросхемы – D-триггер, при подаче положительного перепада на вход C происходит запись в него информации со входа D.

Высокий уровень на входе Z переводит выходы микросхемы в высокоимпедансное состояние, при этом в регистр может записываться новая информация или храниться предыдущая.

Таблица Г.21 – Параметры микросхем ИР23

Тип ИМС	T, °C	Icc, mA	TpHLmax, нс	TpLHmax, нс	Тип корпуса
КР531ИР23	0...+70	140	20	18	DIP20
КР1554ИР23	-45...+85	<8	10	10,5	DIP20
КР1533ИР23	0...+70	28	16	12	DIP20

Многоцелевой регистр
(4x4 бит)

15	WE	RG	A	Q0	4
16	C		Q1	5	
20	D0		Q2	6	
19	D1		Q3	7	
18	D2	B	Q0	22	
17	D3		Q1	23	
8	E0		Q2	2	
9	E1		Q3	1	
13	R0A	RG	A	Q0	4
14	R1A		Q1	5	
11	R0B		Q2	6	
10	R1B		Q3	7	
3	REA	RG	A	Q0	4
21	REB		Q1	5	
			Q2	6	
			Q3	7	

Таблица Г.22 – Назначение выводов ИМС ИР12

Номер вывода	Назначение	Номер вывода	Назначение
1	Выход	13	Вход адреса считывания
2	»	14	То же
3	Вход 3-го состояния	15	Вход адреса записи
4	Выход	16	Тактовый вход
5	»	17	Вход информационный
6	»	18	То же
7	»	19	»
8	Вход адреса записи	20	»
9	То же	21	Вход 3-го состояния
10	Вход адреса считывания	22	Выход
11	То же	23	»
12	Общий	24	Ucc

Схема содержит четырехразрядный входной регистр для записи данных, два четырехразрядных стробируемых регистра, два дешифратора считывания и дешифратор записи. При наличии на входе «Разрешение записи» WE уровня H запись информации происходит по сигналу на входе C согласно выбранным адресам записи. Считывание информации происходит по сигналу на входе C по выбранным адресам считывания только в том случае, когда на выходы REA, REB подано напряжение высокого уровня. Если на эти выходы подать напряжение низкого уровня, то выходы микросхемы устанавливаются в третье состояние, что позволяет подключать микросхему к общей магистрали.

Таблица Г.23 – Таблица истинности ИМС ИР12

Вход										Выход		
C	WE	E1	E0	R1A	R0A	R1B	R0B	A	B	D1	Канал А	Канал В
┌	1	S1	S2	S1	S2	S1	S2	1	1	1	1	1
└	1	S1	S2	S1	S2	S1	S2	1	1	0	0	0
┌	X	X	X	X	X	X	X	0	0	X	Не изменяется	Не изменяется
X	X	X	X	X	X	X	X	0	0	X	R	R
0	X	X	X	X	X	X	X	1	1	X	Не изменяется	Не изменяется
1	X	X	X	X	X	X	X	1	1	X	То же	То же
┌	1	0	0	0	1	1	0	1	1	Запись по адресу 00	Отображается слово с адреса 01	Отображается слово с адреса 10
└	0	0	0	0	1	1	0	1	1	Запись не происходит	»	»

Таблица Г.24 – Параметры микросхем ИР12

Тип ИМС	T, °C	Icc, mA	TpHLmax, нс	TpLHmax, нс	Тип корпуса
K561ИР12	-10...+70	0,01	650	650	DIP24

K564ИР12	-55...+125	0,01	650	650	<i>FLAT24</i>
----------	------------	------	-----	-----	---------------

ПРИЛОЖЕНИЕ Д
(обязательное)

Интегральные микросхемы сумматоров, мультиплексоров и дешифраторов

Полный четырехразрядный сумматор со сквозным переносом

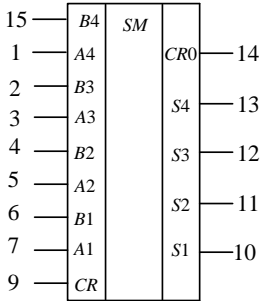


Таблица Д.1 – Назначение выводов ИМС ИМ1

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход разрядов числа <i>A</i>	9	Вход переноса
2	То же <i>B</i>	10	Выход разрядов
3	» <i>A</i>	11	» »
4	» <i>B</i>	12	» »
5	» <i>A</i>	13	» »
6	» <i>B</i>	14	Выход сквозного переноса
7	» <i>A</i>	15	Вход разрядов числа <i>B</i>
8	Общий	16	<i>Ucc</i>

Таблица Д.2 – Параметры микросхем ИМ1

Тип ИМС	<i>T</i> , °С	<i>I</i> _{сс} , мА	<i>t</i> _{PHmax} , нс	<i>t</i> _{PLmax} , нс	Тип корпуса
КР1561ИМ1	-25...+85	0,3 · 10 ⁻³	900	900	DIP16
К176ИМ1	-10...+70	5	300	300	DIP16
К564ИМ1	-55...+125	<20	150	150	FLAT16

Сдвоенный цифровой селектор-мультиплексор 4-1

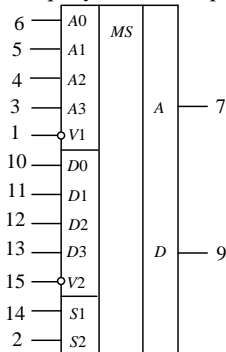


Таблица Д.3 – Назначение выводов ИМС КИ2

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход разрешения <i>V1</i>	9	Выход <i>D</i>
2	Вход выборки разряда <i>S2</i>	10	Вход <i>D0</i>
3	Вход <i>A3</i>	11	» <i>D1</i>
4	» <i>A2</i>	12	» <i>D2</i>
5	» <i>A1</i>	13	» <i>D3</i>
6	» <i>A0</i>	14	Вход выборки разряда <i>S1</i>
7	Выход <i>A</i>	15	Вход разрешения <i>V2</i>
8	Общий	16	<i>Ucc</i>

Таблица Д.4 – Таблица истинности ИМС КИ2

		Входы					Выход
		0	1	2	3	V	
S1	S2	0	1	2	3	V	
X	X	X	X	X	X		L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
H	L	X	L	X	X	L	L
H	L	X	H	X	X	L	H
L	H	X	X	L	X	L	L
L	H	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Микросхема представляет собой сдвоенный селектор-мультиплексор 1 из 4 с общими входами выбора данных и отдельными входами стробирования. При высоком уровне напряжения на входе стробирования V соответствующий выход A/D устанавливается в состояние низкого уровня напряжения, в ином случае на выход проходит информация от выбранного входами S1, S2 информационного входа A0/D0–A3/D3.

Таблица Д.5 – Параметры микросхем КИ2

Тип ИМС	T, °C	I _{сс} , мА	T _{pHmax} , нс	T _{pLmax} , нс	Тип корпуса
КР1533КИ2	0...+70	14	21	21	DIP16
КР531КИ2	0...+70	70	18	18	DIP16
КР1554КИ2	-45...+85	<8	10	10,5	DIP16
КР1564КИ2	-55...+125	<8 · 10 ⁻³	23	23	DIP16

Селектор-мультиплексор на 8 каналов со стробированием

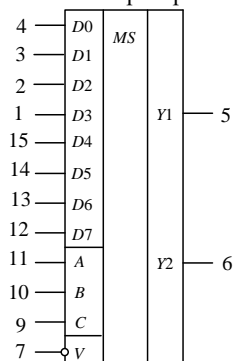


Таблица Д.6 – Назначение выводов ИМС КИ7

Номер вывода	Назначение	Номер вывода	Назначение
1	Вход информационный	9	Выход С
2	То же	10	Выход В
3	»	11	» А
4	»	12	Вход информационный
5	Выход Y1	13	То же
6	» Y2	14	»
7	Вход разрешения	15	»
8	Общий	16	U _{сс}

Таблица Д.7 – Таблица истинности ИМС КП7

Входы				Выходы	
<i>A</i>	<i>B</i>	<i>C</i>	<i>V</i>	<i>Y1</i>	<i>Y2</i>
<i>X</i>	<i>X</i>	<i>X</i>	<i>H</i>	0	1
<i>L</i>	<i>L</i>	<i>L</i>	<i>L</i>	<i>D0</i>	$\overline{D0}$
<i>H</i>	<i>L</i>	<i>L</i>	<i>L</i>	<i>D1</i>	$\overline{D1}$
<i>L</i>	<i>H</i>	<i>L</i>	<i>L</i>	<i>D2</i>	$\overline{D2}$
<i>H</i>	<i>H</i>	<i>L</i>	<i>L</i>	<i>D3</i>	$\overline{D3}$
<i>L</i>	<i>L</i>	<i>H</i>	<i>L</i>	<i>D4</i>	$\overline{D4}$
<i>H</i>	<i>L</i>	<i>H</i>	<i>L</i>	<i>D5</i>	$\overline{D5}$
<i>L</i>	<i>H</i>	<i>H</i>	<i>L</i>	<i>D6</i>	$\overline{D6}$
<i>H</i>	<i>H</i>	<i>H</i>	<i>L</i>	<i>D7</i>	$\overline{D7}$

Микросхема представляет собой селектор-мультиплексор из 8 в 1 и в зависимости от установленного на входах *A, B, C* кода разрешает прохождение сигнала на выходы *Y1* и *Y2* только от одного из восьми информационных входов *D0–D7*, при этом на входе стробирования *V* должно быть установлено напряжение низкого уровня. При высоком уровне напряжения на входе *V* выход *Y1* устанавливается в состояние низкого уровня напряжения, а выход *Y2* – соответственно в состояние высокого уровня.

Таблица Д.8 – Параметры микросхем КП7

Тип ИМС	<i>T</i> , °С	<i>I</i> _{сс} , мА	<i>T</i> _{рНLmax} , нс	<i>T</i> _{рLHmax} , нс	Тип корпуса
КР1564КП7	–55...+125	$<8 \cdot 10^{-3}$	35	35	<i>DIP16</i>
КР531КП7	–10...+70	70	18	18	<i>DIP16</i>
КР1533КП7	–10...+70	12	22	24	<i>DIP16</i>

Дешифратор
возбуждения
однородного
семисегментного ЖКИ

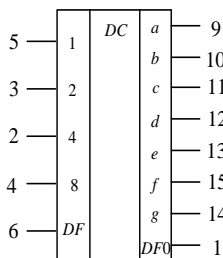


Таблица Д.9 – Назначение выводов ИМС ИД4

Номер вывода	Назначение	Номер вывода	Назначение
1	Выход <i>DISPLAY</i> <i>FREQ</i>	9	Семисегментный выход “ <i>a</i> ”
2	Вход <i>BCD</i>	10	То же “ <i>b</i> ”
3	То же	11	» “ <i>c</i> ”
4	»	12	» “ <i>d</i> ”
5	»	13	» “ <i>e</i> ”
6	Вход <i>DISPLAY</i> <i>FREQ</i>	14	» “ <i>g</i> ”
7	<i>U_{сс}</i>	15	» “ <i>f</i> ”
8	Общий	16	<i>U_{сс}</i>

ИМС состоит из семи узлов, формирующих потенциальный управляющий сигнал для одного из сегментов индикатора. Наличие цепи управления выводом *DF* позволяет получать переменное выходное напряжение, необходимое для возбуждения ЖКИ.

Таблица Д.10 – Параметры микросхем ИД4

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{\text{рНLmax}}, \text{нс}$	$T_{\text{рЛHmax}}, \text{нс}$	Тип корпуса
К561ИД4	-10...+70	0,04	650	650	DIP16
К564ИД4	-55...+125	0,04	650	650	FLAT16

Дешифратор 4 в 16

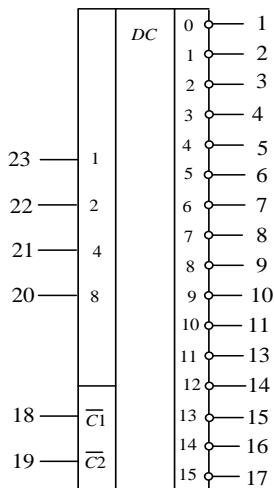


Таблица Д.11 – Назначение выводов ИМС ИДЗ

Номер вывода	Назначение	Номер вывода	Назначение
1	Выход 0	13	Выход 11
2	» 1	14	» 12
3	» 2	15	» 13
4	» 3	16	» 14
5	» 4	17	» 15
6	» 5	18	Вход стробирующий
7	» 6	19	» »
8	» 7	20	Вход информационный
9	» 8	21	То же
10	» 9	22	»
11	» 10	23	»
12	Общий	24	$U_{\text{сс}}$

Таблица Д.12 – Параметры микросхем ИДЗ

Тип ИМС	$T, ^\circ\text{C}$	$I_{\text{сс}}, \text{мА}$	$T_{\text{рНLmax}}, \text{нс}$	$T_{\text{рЛHmax}}, \text{нс}$	Тип корпуса
КР1564ИДЗ	-55...+125	$< 8 \cdot 10^{-3}$	30	30	DIP24
КР1533ИДЗ	0...+70	35	25	30	DIP24

ПРИЛОЖЕНИЕ E
(рекомендуемое)

Основные сведения о кварцевых резонаторах

Кварцевыми резонаторами называются устройства, которые используют пьезоэлектрический эффект для возбуждения электрических колебаний заданной частоты. При совпадении частоты приложенного к резонатору напряжения с одной из собственных механических частот кварцевого вибратора в приборе возникает явление резонанса, приводящее к резкому увеличению проводимости.

Кварцевые резонаторы обладают самой высоким отношением волнового сопротивления колебательного контура к активному сопротивлению (добротностью) $Q \approx 10^5 \dots 10^7$. По сравнению с кварцевыми резонаторами, добротность LC-контура составляет примерно 10^2 , а добротность пьезокерамических резонаторов примерно 10^3 . Кварцевые резонаторы также имеют высокую температурную стабильность и низкую долговременную нестабильность частоты (примерно $10^{-6} - 10^{-8}$).

Отечественные кварцевые резонаторы имеют систему обозначений, состоящую из пяти идентификаторов: типа резонатора (таблица E.1), типа корпуса (таблица E.2), точности настройки (таблица E.3), диапазона температур (таблица E.4) и устойчивости в интервале температур (таблица E.5). Например, РК170 МА-5БК означает, что тип резонатора – РК 170, тип корпуса резонатора – МА, точность настройки – 5, диапазон температур – Б, устойчивость в интервале температур – К.

Таблица E.1 – Типы кварцевых резонаторов

Тип резонатора	Диапазон частот	Тип корпуса
РГ05	5–100 МГц	МА
РГ06	750–18000 кГц	БА
РГ07	1800–8000 кГц	БА
РГ08	8–100 МГц	БА
РК169	5–100 МГц	МА
РК170	750–8000 кГц	БА
РК171	8–100 МГц	БВ
РК206	32768 Гц	АА
РК353	8000–18000 кГц; 14–50 МГц	МА
РК374	13000–48000 кГц; 2–50 МГц	МД (НС-49/У)
РПК01	20000–100000 кГц; 2–35 МГц	НС-49/С

Таблица E.2 – Типы корпусов кварцевых резонаторов

Тип корпуса	Расшифровка
АА	Микроминиатюрный цилиндрический металлический корпус с 2 гибкими выводами под пайку
БА	Малогобаритный плоский металлический корпус с 2 выводами под панель
БВ	Малогобаритный плоский металлический корпус с 2 выводами под пайку
МА	Миниатюрный плоский металлический корпус с 2 выводами под панель
МД (НС-49/У)	Миниатюрный плоский металлический корпус с 2 гибкими выводами под пайку
НС-49/С	Микроминиатюрный металлический корпус с 2 выводами под пайку

	(под)	
--	-------	--

Таблица Е.3 – Точность настройки кварцевых резонаторов

Обозначение	Точность настройки, $\times 10^{-6}$	Обозначение	Точность настройки, $\times 10^{-6}$	Обозначение	Точность настройки, $\times 10^{-6}$
1	$\pm 0,5$	8	± 30	15	$\pm 7,5$
2	$\pm 0,1$	9	± 50	16	± 25
3	$\pm 3,0$	10	± 75	17	± 150
4	$\pm 5,0$	11	± 100	18	± 200
5	$\pm 1,5$	12	$\pm 1,5$	19	± 500
6	± 15	13	$\pm 2,0$		
7	± 20	14	$\pm 2,5$		

Таблица Е.4 – Диапазоны рабочих температур кварцевых резонаторов

Обозначение	Диапазон температур, °C	Обозначение	Диапазон температур, °C	Обозначение	Диапазон температур, °C
А	-10 ... +60	Г1	-50 ... +70	Н	0 ... +60
Б	-30 ... +60	Д	-60 ... +85	П	-20 ... +70
В	-40 ... +70	Е	-60 ... +100	Р	-25 ... +55
В1	-40 ... +55	Л	0 ... +45	С	-40 ... +85
Г	-60 ... +70	М	0 ... +50	Т	-60 ... +90

Таблица Е.5 – Устойчивость в интервале температур резонаторов

Обозначение	Устойчивость в интервале температур, $\times 10^{-6}$	Обозначение	Устойчивость в интервале температур, $\times 10^{-6}$	Обозначение	Устойчивость в интервале температур, $\times 10^{-6}$
А	$\pm 0,1$	И	$\pm 3,0$	С	$\pm 30,0$
Б	$\pm 0,2$	К	$\pm 5,0$	Ф	$\pm 35,0$
В	$\pm 0,5$	Л	$\pm 7,5$	Т	$\pm 40,0$
Г	$\pm 1,0$	М	$\pm 10,0$	У	$\pm 50,0$
Д	$\pm 1,5$	Н	$\pm 15,0$	Ы	$\pm 75,0$
Е	$\pm 2,0$	П	$\pm 20,0$	Х	$\pm 100,0$
Ж	$\pm 2,5$	Р	$\pm 25,0$	Ц	$\pm 150,0$

ПРИЛОЖЕНИЕ Ж
(обязательное)

Основные надписи в курсовых проектах

Конструкторские документы (и курсовые проекты в том числе) выполняют на листах определенных размеров, которые называются форматами. Форматы листов определяются размерами внешней рамки листа и разделяются на основные и дополнительные.

За основные приняты форматы А0 с размерами сторон 841 x 1189; А1 – 594 x 841; А2 – 420 x 594; А3 – 297 x 420 и А4 – 210 x 297 мм.

Дополнительные форматы получают путем увеличения коротких сторон основных форматов на величину, кратную их размерам. Обозначение производственного формата составляется из обозначения основного формата и его кратности, например А4 x 3 (297 x 630), А3 x 4 (420 x 1188) и т. д. Применяется также формат А5 с размерами сторон 148 x 210 мм.

Все конструкторские документы должны иметь основную надпись и дополнительные графы к ней. На курсовых проектах допускается дополнительные графы не ставить, поэтому в данном приложении они не рассматриваются.

В соответствии с ГОСТ 2.104-68 основную надпись на чертежах и схемах выполняют по форме 1 (рисунок Ж.1), а на текстовых документах – по формам 2 (рисунок Ж.2) и 2а (рисунок Ж.3). При этом форму 2 используют на первом или заглавном листе (например, лист на котором приводится оглавление к курсовому проекту), а форму 2а – на всех последующих листах текстового документа или схемы (чертежа).

В графах основной надписи (номера граф на рисунках даны в скобках) указывают:

- 1 – наименование изделия или конструкторского документа (чертежа, схемы) в именительном падеже, единственном числе;
- 2 – наименование проекта;
- 3 – материал детали (только на чертежах деталей);
- 4 – обозначение документа (литера, обозначающая стадию разработки документа);
- 5 – массу изделия;
- 6 – масштаб;
- 7 – порядковый номер листа;
- 8 – общее количество листов документа;
- 9 – наименование организации (предприятия), выпускающего документ (например, УО «БелГУТ», кафедра «АиТ»);
- 10 – характер работы, выполняемой лицами, подписывающими документ;
- 11 – фамилии лиц, подписывающих документ;
- 12 – подписи лиц, фамилии которых указаны в графе 11;
- 13 – даты подписания документа;
- 14 – шифр документа, состоящий из вида документа, группы, года, варианта, номера листа, кода документа (например, для курсового проекта студента группы ЭТ-

31, 2006 года, 17-го варианта, второго листа графического материала шифр имеет вид КП.ЭТ-31.2006.17.02.00).

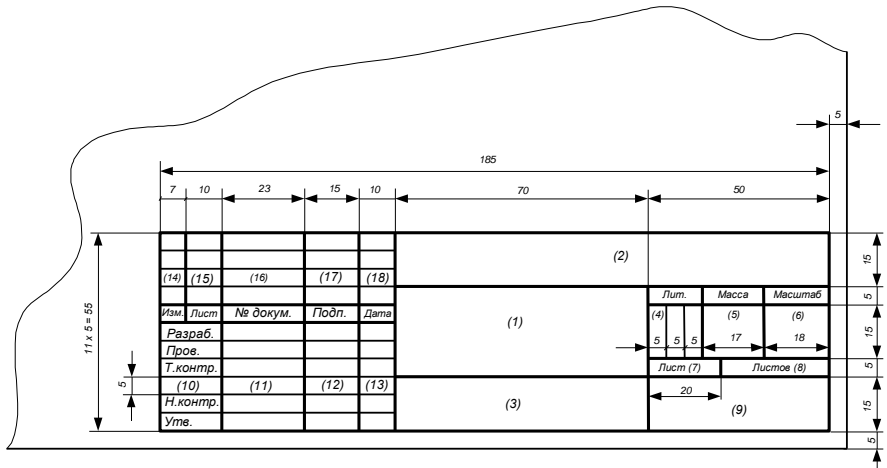


Рисунок Ж.1 – Основная надпись по форме 1 для чертежей и схем

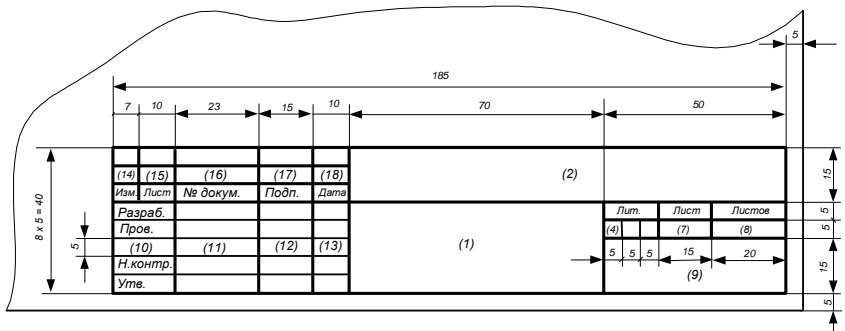


Рисунок Ж.2 – Основная надпись по форме 2 для текстовых документов

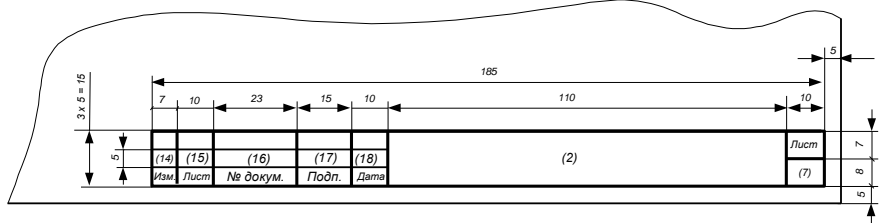


Рисунок Ж.3 – Основная надпись по форме 2а для последующих листов чертежей, схем и текстовых документов

ОГЛАВЛЕНИЕ

Введение	3
1 Синтез компонентов систем автоматики и телемеханики	4
1.1 Шифраторы	4
1.2 Дешифраторы	6
1.3 Преобразователи кодов	15
1.4 Мультиплексоры	25
1.5 Демультимплексоры	29
1.6 Счетчики импульсов	34
1.6.1 Счетчики с последовательным переносом	35
1.6.2 Счетчики с параллельным переносом	40
1.6.3 Счетчики с параллельно-последовательным переносом	45
1.6.4 Интегральные счетчики	51
1.7 Делители частоты	54
1.8 Сумматоры	58
1.8.1 Последовательные сумматоры	59
1.8.2 Параллельные сумматоры	61
1.9 Регистры	66
1.9.1 Параллельные регистры	66
1.9.2 Последовательные регистры	69
1.9.3 Параллельно-последовательные регистры	71
1.9.4 Последовательно-параллельные регистры	72
1.10 Генераторы прямоугольных импульсов	74
2 Синтез компонентов систем автоматики и телемеханики на базе мультиплексоров	80
3 Элементная база интегрального исполнения	85
4 Анализ работы и построение диаграмм дискретных устройств	91
4.1 Анализ работы дискретных устройств	91
4.1.1 Комбинационные дискретные устройства	91
4.1.2 Дискретные устройства с памятью	94
4.2 Построение диаграмм работы дискретных устройств	99
5 Принципиальная электрическая схема дискретного устройства	110
6 Требования к оформлению пояснительной записки	118
Список использованной литературы	124
Приложение А Интегральные микросхемы логических элементов	125
Приложение Б Интегральные микросхемы триггеров	131
Приложение В Интегральные микросхемы счетчиков	139
Приложение Г Интегральные микросхемы регистров	146
Приложение Д Интегральные микросхемы сумматоров, мультиплексоров и дешифраторов	154
Приложение Е Основные сведения о кварцевых резонаторах	158
Приложение Ж Основные надписи в курсовых проектах	160

Учебное издание

Бочков Константин Афанасьевич
Березняцкий Юрий Фёдорович

ТЕОРИЯ ДИСКРЕТНЫХ УСТРОЙСТВ

Учебное пособие

Редактор *И. И. Эвентов*
Технический редактор *В. Н. Кучерова*

Подписано в печать 01.10.2007 г. Формат 60×84 $\frac{1}{16}$.
Бумага офсетная. Гарнитура Таймс. Печать на ризографе.
Усл. печ. л. 9, 53. Уч.-изд. л. 9, 16. Тираж 600 экз.
Заказ № 2312. Изд. № 92.

Издатель и полиграфическое исполнение
Белорусский государственный университет транспорта:
ЛИ № 02330/0133394 от 19.07.2004 г.
ЛП № 02330/0148780 от 30.04.2004 г.
246653, г. Гомель, ул. Кирова, 34.