

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ РЕСПУБЛИКИ БЕЛАРУСЬ
УЧРЕЖДЕНИЕ ОБРАЗОВАНИЯ
«БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ТРАНСПОР-
ТА»**

**Кафедра микропроцессорной техники
и информационно-управляющих систем**

С. Н. ХАРЛАП

**АНАЛИЗ
БЕЗОПАСНЫХ МИКРОЭЛЕКТРОННЫХ
СХЕМ**

**Лабораторный практикум по дисциплине
«Микропроцессорные информационно-
управляющие системы на транспорте»**

Гомель 2003

Министерство образования Республики Беларусь
Учреждение образования
«БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ТРАНСПОРТА»

Кафедра микропроцессорной техники
и информационно-управляющих систем

С. Н. ХАРЛАП

АНАЛИЗ БЕЗОПАСНЫХ МИКРОЭЛЕКТРОННЫХ СХЕМ

Лабораторный практикум по дисциплине
«Микропроцессорные информационно-
управляющие системы на транспорте»

*Одобрен методической комиссией электротехнического факультета
Белорусского государственного университета транспорта*

Гомель 2003

УДК 656.25
Х 211

Р е ц е н з е н т – **К. А. Бочков**, доктор технических наук,
профессор (БелГУТ).

Х а р л а п С. Н.

Х 211 Анализ безопасных микросхем: Лабораторный практикум по дисциплине “Микропроцессорные информационно-управляющие системы на транспорте”. – Гомель: БелГУТ, 2003. – 31 с.

Рассмотрены основные принципы обеспечения безопасности микросхем железнодорожной автоматики, методы их анализа с помощью пакетов *CircuitMaker* и *Orcad*.

Предназначен для студентов специальности “Автоматика, телемеханика и связь на транспорте”.

УДК 656.25

© С. Н. Харлап, 2003.

ВВЕДЕНИЕ

Целью данного цикла лабораторных работ является изучение принципов построения и получение практических навыков синтеза безопасных микроэлектронных схем. Описаны схемные реализации безопасных логических элементов и триггеров.

Рассмотрены способы моделирования различных схемных решений и анализа их работоспособности на базе пакетов *CircuitMaker* и *Orcad*. Приведены методы эмуляции отказов различных микроэлектронных элементов для анализа отказоустойчивости схем.

Лабораторная работа № 1

ИССЛЕДОВАНИЕ СХЕМ ИМПУЛЬСНЫХ ДЕКОДЕРОВ

Ц е л ь р а б о т ы. Изучить принципы построения и обеспечения безопасности в схемах импульсных декодеров логических сигналов.

1 Краткие сведения из теории

1.1 Декодеры сигналов логических переменных

В схемах логических элементов с кодированными логическими переменными применяют входные преобразователи (декодеры). Однофазный декодер преобразует импульсный такт или гармонический сигнал в постоянное напряжение U , а устойчивый сигнал – в нулевой потенциал, т. е.

$$y(x) = \begin{cases} y = 1, & \text{если } x = T \text{ (импульсный такт)}; \\ y = 0, & \text{если } x = C \text{ (постоянная)}. \end{cases}$$

Парафазный декодер преобразует прямую фазу в постоянное напряжение U , а обратную – в нулевой потенциал,

$$y(x) = \begin{cases} y = 1, & \text{если } x = T (\text{такт}); \\ y = 0, & \text{если } x = \bar{T} (\text{противотакт}). \end{cases}$$

Декодеры являются элементами без опасных отказов. Критерий безопасности декодера – отсутствие набора допустимых неисправностей в структуре его схемы, в результате которого может произойти ложный переход $0 \rightarrow 1$ при наличии логического нуля на его входе.

1.2 Трансформаторные импульсные декодеры

Для выпрямления однофазного импульсного сигнала часто применяют выпрямительные схемы с трансформаторами (рисунок 1). Трансформатор обладает исключительным для безопасности свойством – не переносит сигнал в следующий каскад схемы, если сигнал в первичной обмотке становится постоянным.

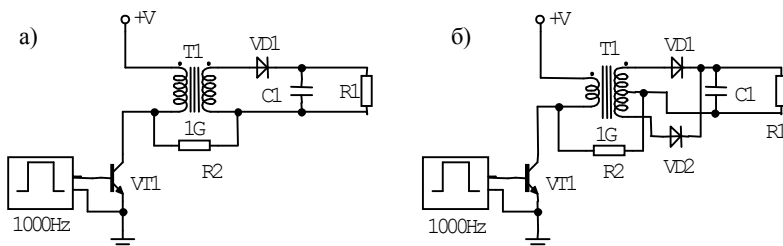


Рисунок 1 – Схемы трансформаторных декодеров

Пульсации выходного сигнала должны быть минимальны, в противном случае они могут быть восприняты как импульсный такт. Поэтому на выходе для сглаживания выпрямленного напряжения включают четырехвыводный конденсатор. Его обрывы исключают формирование выходного сигнала.

Особенности моделей трансформаторов, используемых в пакетах *CircuitMaker* и *Orcad*, требуют наличия электрической связи между первичной и вторичной обмотками трансформатора. Поэтому для корректного моделирования работы схемы необходимо соединять обмотки трансформатора через высокоомное сопротивление (например, сопротивление $R2$ на рисунке 1, а имеет номинал 1 ГОм).

1.3 Конденсаторные импульсные декодеры

Наличие трансформатора в рассмотренных схемах имеет свои недостатки. Это связано с тем, что технологически трудно и экономически невыгодно применять трансформатор в микросхемах с высокой степенью интеграции. Поэтому более предпочтительны конденсаторные декодеры.

Типовые схемы конденсаторных декодеров представлены на рисунке 2.

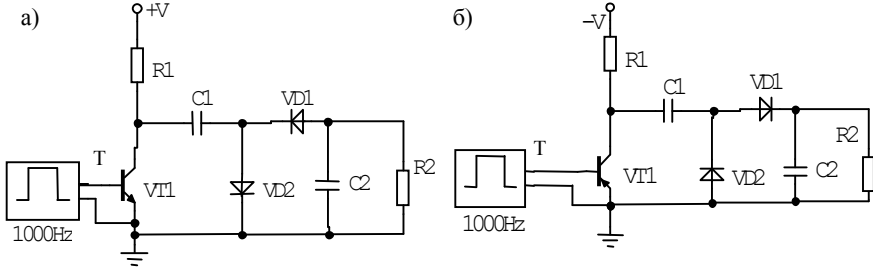


Рисунок 2 – Схемы конденсаторных декодеров

На вход T поступает кодированный импульсный сигнал. При отсутствии импульса транзистор закрыт, и конденсатор $C1$ заряжается через диод $VD1$. Во время импульса, когда транзистор открыт, конденсатор $C1$ разряжается через диод $VD2$ и нагрузку R_n . В промежутке между импульсами конденсатор $C2$, включенный параллельно нагрузке, поддерживает напряжение на выходе. Оно возрастает во время импульсов и убывает по экспоненте во время паузы. При оптимальных значениях параметров схемы напряжение на выходе близко к постоянному.

Схемы на рисунке 2 отличаются полярностью напряжения питания и выходного сигнала. Схема на рисунке 2, а имеет положительное напряжение питания и при поступлении импульсов положительной полярности формирует на выходе отрицательное напряжение. Схема на рисунке 2, б имеет отрицательный источник питания и при поступлении импульсов отрицательной полярности формирует на выходе положительное напряжение. Уровень напряжения на выходе определяется параметрами схемы. Диаграммы входного и выходного сигналов для схемы на рисунке 2, б, представлена на рисунке 3.

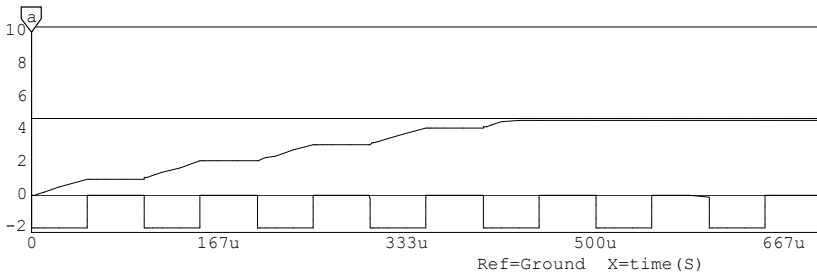


Рисунок 3 – Диаграмма входного и выходного сигналов

Сигнал высокого уровня на выходе схемы должен формироваться только после того, как на вход поступит три-пять импульсов. На уровень уже установившегося выходного напряжения также не должно значительно влиять и пропадание одного-двух импульсов. Эти условия необходимы для исключения ложного формирования выходных сигналов импульсного декодера под действием помех.

Схемы имеют единственный опасный набор неисправностей: пробой CI и $VD2$ и обрыв $VD1$. Тогда на выходе декодера появится напряжение высокого уровня. Вероятность такого события – $\lambda_{оп} < 1 \cdot 10^{-15}$ 1/ч. Кроме того, появившееся в результате отказа напряжение будет иметь обратную полярность. Если же использовать чувствительную к полярности нагрузку (например, поляризованное реле), то схема будет абсолютно безопасной.

1.4 Принципы эмуляции отказов элементов схемы

Для доказательства безопасности микросхем необходимо определить критерии опасного отказа и выполнить анализ функционирования этих схем при возникновении отказов отдельных элементов.

Эмуляция отказов в элементах схемы производится введением дополнительных ключей, замыкание или размыкание которых имитирует пробой или обрыв этого элемента. На рисунке 4 представлены примеры эмуляции обрыва (рисунок 4, а) и пробоя (рисунок 4, б) в диоде.

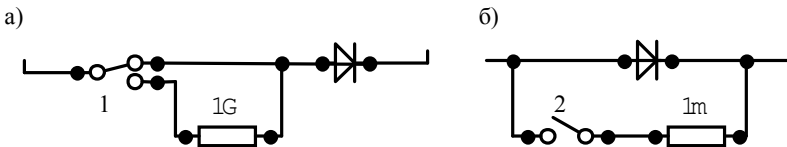


Рисунок 4 – Эмуляция отказов в диоде

Размыкание ключа 1 имитирует обрыв в диоде, а замыкание ключа 2 имитирует пробой диода. Резистор, имитирующий обрыв, должен быть высокоомным – порядка нескольких гигаом. Резистор, имитирующий пробой, должен быть низкоомным – порядка нескольких миллиом. При отсутствии таких резисторов в пакетах *CircuitMaker* и *Orcad* при моделировании могут возникнуть ошибки.

В *CircuitMaker* существует еще один способ задания неисправностей. После двойного щелчка мышью по элементу в появившемся окне *Edit Device Data* (рисунок 5) необходимо нажать кнопку «*Faults ...*». В появившемся окне редактирования параметров отказов элемента (рисунок 6) можно задать постоянное присутствие высокого («*HIGH*») или низкого («*LOW*») потенциала на любом выводе, обрыв («*OPEN*») любого вывода или короткое замыкание («*SHORT*») между двумя любыми выводами элемента. У элементов использующих специальные модели (например, диодов), по двойному щелчку мышью вызывается окно выбора модели. Чтобы перейти в окно редактирования параметров *Edit Device Data* необходимо нажать кнопку «*Netlist ...*».

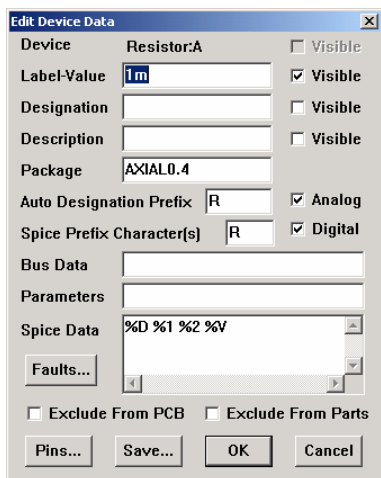


Рисунок 5 – Окно редактирования параметров элемента

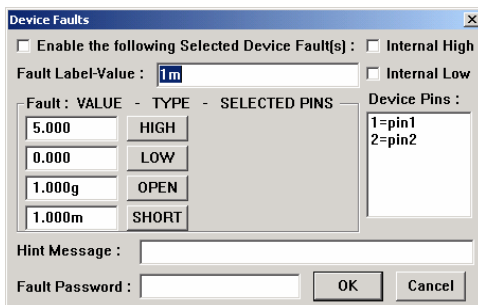


Рисунок 6 – Окно редактирования параметров отказов элемента

Описание порядка работы с *CircuitMaker* приведено в приложении А, а описание порядка работы с пакетом *Orcad* – в приложении Б.

2 Индивидуальное задание

Изучить схему импульсного декодера и исследовать его работу отсутствия и наличии отказов элементов согласно индивидуальному заданию (таблица 1). Исправная схема должна обеспечивать формирование выходного напряжения $U_{\text{наг}}$ на нагрузочном сопротивлении $R_{\text{наг}}$ в течение 3-5 импульсов с частотой следования $f_{\text{ген}}$, для чего необходимо подобрать параметры остальных элементов схемы.

Выполнить моделирование работы схемы при наличии неисправностей. Сделать выводы о соответствии указанных неисправностей критерию опасного отказа и возможности накопления данных неисправностей.

Исследования должны проводиться: для анализа безопасности – на всех пассивных (запрещенных) наборах входных воздействий, для проверки возможности накопления отказов – на всех активных (разрешенных) наборах входных воздействий. В случае возможности накопления неисправностей выполнить исследование работы схемы при наличии кратных (двойных и тройных) неисправностей.

Таблица 1

Вариант	Схема (рисунок)	Моделируемые отказы	Параметры схемы		
			f , кГц	$R_{\text{наг}}$, кОм	$U_{\text{наг}}$, В
1	1, а	Короткое замыкание эмиттер-коллектор $VT1$, обрыв $VD1$, короткое замыкание $C1$	10	100	4
2	1, б	Короткое замыкание эмиттер-база $VT1$, короткое замыкание $VD2$, обрыв $VD1$	25	10	5
3	2, а	Короткое замыкание эмиттер-коллектор $VT1$, обрыв $VD1$, короткое замыкание $C1$	50	1	7
4	2, б	Обрыв эмиттера $VT1$, короткое замыкание $VD2$, обрыв $C2$	100	0,1	-4
5	1, а	Обрыв коллектора $VT1$, короткое замыкание $VD1$, обрыв $C1$	25	0,2	10
6	1, б	Обрыв эмиттера $VT1$, короткое замыкание $VD1$, обрыв $C1$	10	2	8
7	2, а	Обрыв базы $VT1$, обрыв $VD2$, короткое замыкание $C2$	100	20	3
8	2, б	Короткое замыкание база-эмиттер $VT1$, обрыв $VD1$, обрыв $C1$	50	30	-10
9	2, а	Короткое замыкание база-коллектор $VT1$, короткое замыкание $VD2$, обрыв $C1$	10	3	12
10	2, б	Обрыв коллектора $VT1$, короткое замыкание $VD1$, короткое замыкание $C2$	25	0,3	-8
11	2, а	Короткое замыкание всех электродов $VT1$, короткое замыкание $VD1$, обрыв $C2$	500	0,4	9

12	2, б	Короткое замыкание эмиттер-коллектор и обрыв базы V_{T1} , обрыв V_{D2} , короткое замыкание $C1$	1000	4	-6
13	2, а	Короткое замыкание эмиттер-база и обрыв коллектора V_{T1} , обрыв V_{D1} , короткое замыкание $C2$	200	40	5
14	2, б	Короткое замыкание база-коллектор и обрыв эмиттера V_{T1} , короткое замыкание V_{D2} , короткое замыкание $C1$	400	50	-12
15	2, а	Короткое замыкание база-эмиттер V_{T1} , обрыв V_{D2} , обрыв $C2$	75	5	11
16	2, б	Короткое замыкание база-коллектор V_{T1} , короткое замыкание V_{D1} , обрыв $C1$	250	0,5	-5

3 Порядок выполнения работы

3.1 Изучить теоретические сведения и порядок работы с пакетом *CircuitMaker* или *Orcad* по указанию преподавателя.

3.2 Запустить на ЭВМ пакет *CircuitMaker* или *Orcad*.

3.3 Собрать схему согласно заданию.

3.4 Дополнить идеальную схему элементами, отражающими реальные параметры, либо, выбрав в базе элементов, заменить идеальную модель элемента на наиболее подходящую из реальных.

3.5 Подобрать параметры элементов схемы таким образом, чтобы выходное напряжение $U_{\text{наг}}$ формировалось в течение 3-5 импульсов, поступающих на вход схемы. Полученную осциллограмму сохранить в отчете.

3.6 Снять осциллограммы при наличии на входе схемы постоянного напряжения высокого и низкого уровней. Сделать вывод о работоспособности схемы.

3.7 Дополнить схему элементами, эмулирующими отказы. Последовательно имитировать отказы согласно заданию.

3.8 Исследовать реакцию схемы на каждый отказ при наличии на входе схемы импульсного сигнала и постоянного напряжения высокого и низкого уровней, сохранить полученные осциллограммы. В случае возможности накопления неисправностей выполнить исследование работы схемы при наличии кратных (двойных и тройных) неисправностей.

3.9 Сохранить схему и закрыть пакет моделирования.

3.10 Оформить отчёт, указывая показания приборов в виде таблиц, осциллографа – в виде графиков. Сделать выводы об устойчивости работы схемы, обнаруживаемости отказов и влиянии отказов на безопасность работы схемы.

Содержание отчета

Отчет оформляется в электронном виде в виде документа *Word* и содержит: фамилию, имя, отчество и группу студента, выполнившего работу, наименование и цель работы; описание функционирования исследуемой схемы; индивидуальное задание; экранные формы с исследуемой схемой; осциллограммы и показания приборов; выводы по работе. К отчету прилагаются файлы *CircuitMaker* или *Orcad* с результатами работы.

Лабораторная работа № 2

ИССЛЕДОВАНИЕ СХЕМ КОЛЛЕКТОРНО-БАЗОВОЙ ЛОГИКИ

Ц е л ь р а б о т ы. Изучить принципы построения и обеспечения безопасности в схемах коллекторно-базовой логики.

1 Краткие сведения из теории

1.1 Коллекторно-базовая логика

Схемы коллекторно-базовой логики относятся к импульсным схемам с внешним тактированием. В этих схемах обнаружение неисправностей и автоматический переход в защитное состояние достигается благодаря импульсной работе схемы, несмотря на неизменное значение потенциалов на ее входах. Схема переключается непрерывно от импульсного сигнала, поступающего на специальный вход. Выходной сигнал получается закодированным, но для последующей обработки этот сигнал декодируется.

На рисунке 1 представлена схема безопасной коллекторно-базовой логики, реализующая логическую функцию «И».

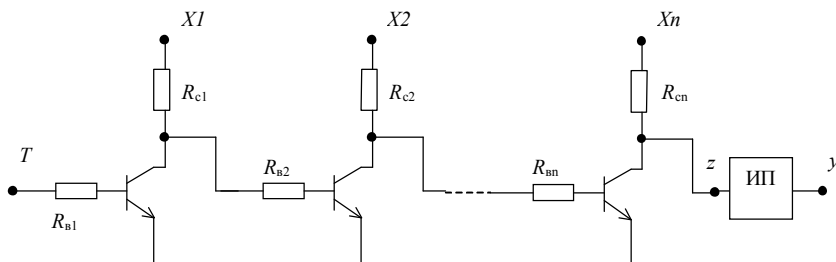


Рисунок 1 – Схема «И» безопасной коллекторно-базовой логики

Логические переменные X_1, X_2, \dots, X_n поступают в виде постоянного напряжения «0» или «1». На вход T подается импульсный сигнал. При наличии на всех логических входах высокого уровня на выходе z получается импульсный сигнал той же (при четном числе каскадов) или обратной фазы (при нечетном числе каскадов), т. е. элемент реализует функцию «И» (рисунок 2).

Любая одиночная неисправность схемы контролируется. Двукратная – одновременное повреждение (обрыв) R_c и эмиттера транзистора, на коллекторе которого присутствует логический сигнал $X = 0$, – приведет к появлению на выходе инвертированного сигнала. Однако если в качестве импульсного преобразователя использовать конденсаторный декодер (см. лабораторную работу 1), а скважность импульсов очень низка ($K \approx 0,1$), то с поворотом фазы выходной сигнал резко уменьшается. Таким образом, опасной является только четырехкратная неисправность, т. к. может произойти двойная инверсия сигнала, которая не обнаруживается.

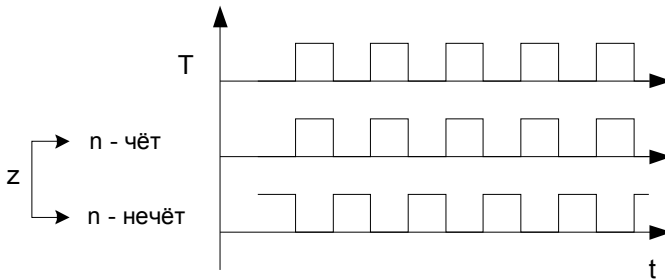


Рисунок 2 – Диаграмма работы схемы при различном числе каскадов

Пример элемента, реализующего функцию “Исключающее ИЛИ” представлен на рисунке 3. На вход T подается импульсный сигнал, который появляется на выходе при разных значениях $X1$ и $X2$. При равных значениях $X1$ и $X2$ транзистор закрыт, и на выходе присутствует постоянное напряжение.

Включив эти элементы последовательно, можно составить контрольный канал для сравнения результатов работы вычислительных каналов при многоканальной обработке информации.

Возможна реализация безопасных логических элементов с использованием оптронов, которые применяют для каскадной связи вместо транзисторов. На рисунке 4 представлена схема логического элемента «И».

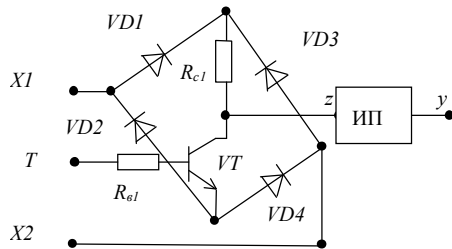


Рисунок 3 – Схема безопасного элемента «Исключающее ИЛИ»

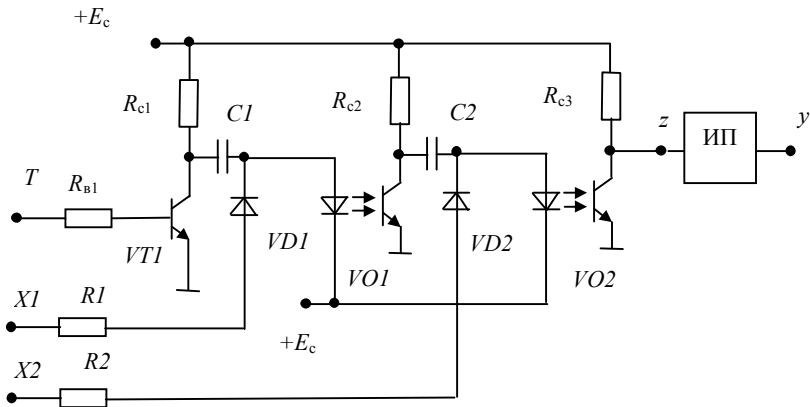


Рисунок 4 – Схема безопасного элемента «И»

На входы $X1$ и $X2$ поступают некодированные логические переменные, а на вход T – тактовые импульсы. В течение импульса транзисторы открываются, и конденсаторы заряжаются высоким потенциалом логических переменных. Во время паузы между импульсами конденсаторы разряжаются через светодиоды. Выходной импульсный сигнал появляется только при наличии высокого уровня на обоих информационных входах схемы. Считая невозможным пробой между светоисточником и фотоприемником оптрона, можно доказать, что любая неисправность приводит к появлению постоянного сигнала на выходе.

Если реализовать обратное включение оптрона и диодов, то схема будет вычислять логическую функцию «НЕ» (рисунок 5). В этом случае конденсатор будет заряжаться обратным потенциалом и разряжаться через светодиод следующего оптрона только при нулевом потенциале на входе X .

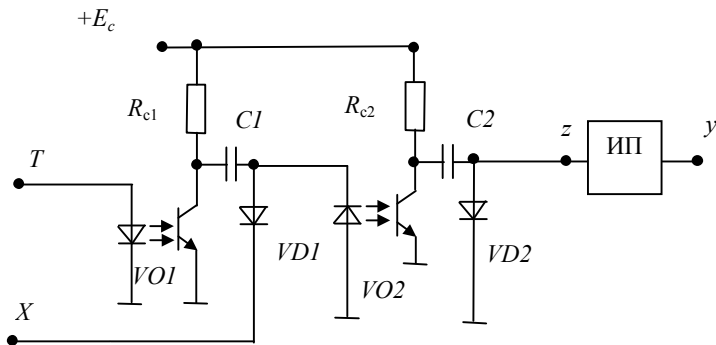


Рисунок 5 – Схема безопасного элемента «НЕ»

Входы и выходы в рассмотренных схемах не защищены по отношению к неисправностям типа «постоянная 1» и «постоянный 0». Контроль входов возможен только при использовании кодированных логических переменных.

2 Индивидуальное задание

Изучить схему коллекторно-базовой логики и исследовать ее работу от-сутствии и наличии отказов элементов согласно индивидуальному заданию (таблица 1).

Таблица 1

Вариант	Схема	Моделируемые отказы
1	Рисунок 1, пять каскадов	Короткое замыкание эмиттер-коллектор VT , обрыв R_c третьего каскада, обрыв коллектора VT четвертого каскада
2	Рисунок 3	Короткое замыкание база-коллектор VT , обрыв $VD1$, короткое замыкание $VD4$
3	Рисунок 4	Обрыв эмиттера $VT1$, короткое замыкание коллектор-эмиттер $VO1$, обрыв катода $VO2$, короткое замыкание $VD1$
4	Рисунок 5	Короткое замыкание коллектор-эмиттер $VO1$, обрыв эмиттера $VO2$, обрыв $VD2$, короткое замыкание $C2$
5	Рисунок 1, четыре каскада	Короткое замыкание база-коллектор VT , обрыв R_c второго каскада, обрыв эмиттера VT четвертого каскада
6	Рисунок 3	Короткое замыкание эмиттер-коллектор VT , обрыв $VD2$, короткое замыкание $VD3$
7	Рисунок 4	Короткое замыкание коллектор-эмиттер $VT1$, обрыв эмиттера $VO2$, обрыв $VD2$, короткое замыкание $C1$
8	Рисунок 5	Обрыв коллектора $VO1$, обрыв катода $VO2$, короткое замыкание $VD1$, короткое замыкание $C1$
9	Рисунок 1, шесть каскадов	Обрыв базы VT пятого каскада, обрыв R_c пятого каскада, короткое замыкание база-эмиттер VT шестого каскада
10	Рисунок 3	Обрыв эмиттера VT , короткое замыкание $VD1$, обрыв $VD3$
11	Рисунок 4	Короткое замыкание база-коллектор $VT1$, обрыв коллектора $VO1$, короткое замыкание $VD2$, короткое замыкание $C2$
12	Рисунок 5	Обрыв эмиттера $VO1$, короткое замыкание коллектор-эмиттер $VO2$, обрыв $VD1$, обрыв $C1$
13	Рисунок 1, семь каскадов	Обрыв базы VT пятого каскада, короткое замыкание всех электродов VT пятого каскада, короткое замыкание база-коллектор VT седьмого каскада
14	Рисунок 3	Обрыв базы VT , короткое замыкание $VD2$, обрыв $VD4$, обрыв R_{c1}

15	Рисунок 4	Обрыв эмиттера $VO1$, короткое замыкание коллектор-эмиттер $VO2$, обрыв $VD1$, обрыв $C1$
16	Рисунок 5	Обрыв катода $VO1$, обрыв коллектора $VO2$, короткое замыкание $VD1$, короткое замыкание $C2$

Выполнить моделирование работы схемы при наличии неисправностей. Сделать выводы о соответствии указанных неисправностей критерию опасного отказа и возможности накопления данных неисправностей.

Исследования должны проводиться: для анализа безопасности – на всех пассивных (запрещенных) наборах входных воздействий, для проверки возможности накопления отказов – на всех активных (разрешенных) наборах входных воздействий. В случае возможности накопления неисправностей выполнить исследование работы схемы при наличии кратных (двойных и тройных) неисправностей.

3 Порядок выполнения работы

3.1 Изучить теоретические сведения.

3.2 Запустить на ЭВМ пакет моделирования.

3.3 Собрать схему согласно заданию.

3.4 Дополнить идеальную схему элементами, отражающими реальные параметры, либо, выбрав в базе элементов, заменить идеальную модель элемента на любую из реальных.

3.5 Подобрать параметры элементов схемы таким образом, чтобы при наличии на логических входах разрешенной входной комбинации и импульсного сигнала на входе T на выходе схемы присутствовало импульсное напряжение. Полученную осциллограмму сохранить в отчете.

3.6 Снять осциллограммы при наличии на входе T схемы постоянного напряжения высокого и низкого уровней. Снять осциллограммы при наличии на логических входах схемы запрещенной входной комбинации. Сделать вывод о работоспособности схемы.

3.7 Дополнить схему элементами, эмулирующими отказы. Последовательно имитировать отказы согласно заданию.

3.8 Исследовать реакцию схемы на каждый отказ при наличии на логических входах схемы разрешенных и запрещенных логических комбинаций, сохранить полученные осциллограммы.

3.9 Исследовать реакцию схемы на каждый отказ при наличии на входе T схемы импульсного или постоянного напряжения высокого и низкого уровней, сохранить полученные осциллограммы.

3.10 В случае возможности накопления неисправностей выполнить исследование работы схемы при наличии кратных (двойных и тройных) неисправностей.

3.11 Сохранить схему и закрыть пакет моделирования.

3.12 Оформить отчёт, указывая показания приборов в виде таблиц, осциллографа – в виде графиков. Сделать выводы об устойчивости работы схемы, обнаруживаемости отказов и влиянии отказов на безопасность работы схемы.

Содержание отчета

Отчет оформляется в электронном виде в виде документа *Word* и содержит: фамилию, имя, отчество и группу студента, выполнившего работу, наименование и цель работы; описание функционирования исследуемой схемы; индивидуальное задание; экранные формы с исследуемой схемой; осциллограммы и показания приборов; выводы по работе. К отчету прилагаются файлы *CircuitMaker* или *Orcad* с результатами работы.

Лабораторная работа № 3 ИССЛЕДОВАНИЕ СХЕМ ЭЛЕМЕНТОВ *LOGISAFE*

Ц е л ь р а б о т ы. Изучить принципы построения и обеспечения безопасности в схемах *Logisafe*.

1 Краткие сведения из теории

Автогенераторные логические элементы, к которым относятся элементы *Logisafe*, имеют следующие особенности: выходной сигнал гармонической, прямоугольной или другой формы зарождается в самой схеме; элементы работают с некодированными (устойчивыми) сигналами логических переменных; входные сигналы не обрабатываются логически, они лишь создают условия для генерации вы-

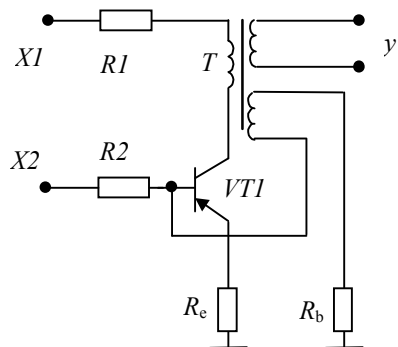
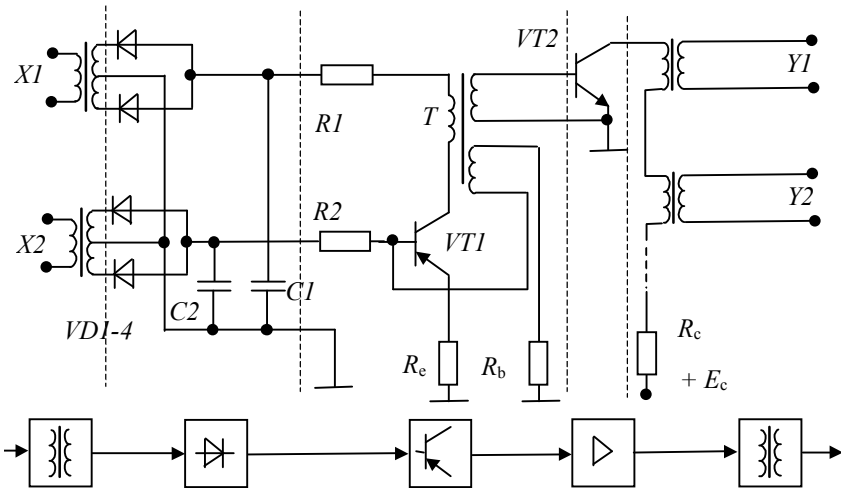


Рисунок 1 – Схема элемента *Logisafe*

ходного сигнала.

Рассмотрим принципы построения логической системы *Logisafe*. В основу этой логической системы поставлен автогенератор с обратной трансформаторной связью (рисунок 1), коллекторная и базовая цепи которого питаются логическими переменными. Сигнал образуется в схеме, частота и форма сигнала определяются параметрами схемы. Параметры схемы рассчитывают так, чтобы условия генерации выполнялись для напряжений коллекторной и базовой цепи выше порога логической единицы. В данном случае значением логической единицы будет служить отрицательное напряжение.

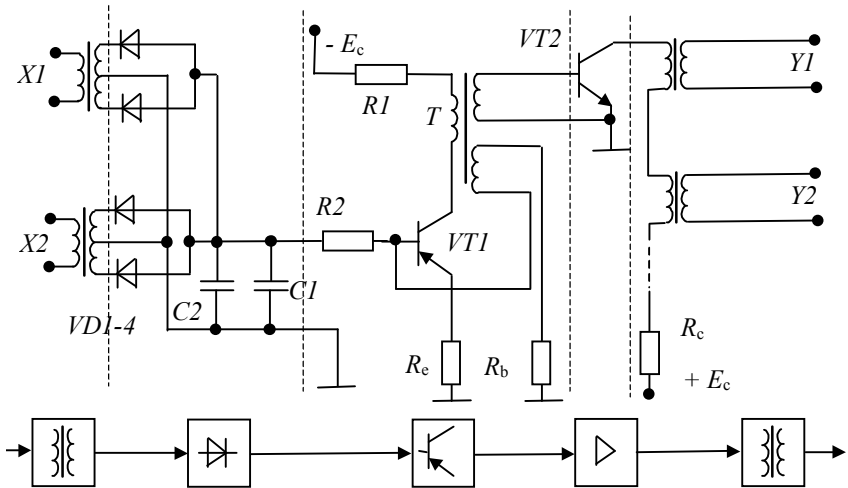
Генератор не возбуждётся, каким бы большим ни было напряжение коллекторной цепи, если нет сигнала выше некоторого порога (логической «1») по базовой цепи, и наоборот. Логические переменные поступают некодированными. Так как постоянный ток не трансформируется, то значение логической переменной не может появиться на выходе схемы при любых неисправностях, за исключением короткого замыкания «вход-выход». Между сигналами на входе и выходе имеется лишь логическая связь.



Каждая логическая операция сопровождается преобразованием постоянного напряжения в гармонический сигнал автогенератора и обратно. Это реализуется по четырем последовательно связанным звеньям (трансформаторный вход для повышения напряжения и гальванического разделения каскадов, двухполупериодный выпрямитель со сглаживающим конденсатором, генератор, транзисторный усилитель) (рисунок 2).

Рисунок 2 – Схема логического элемента «И»

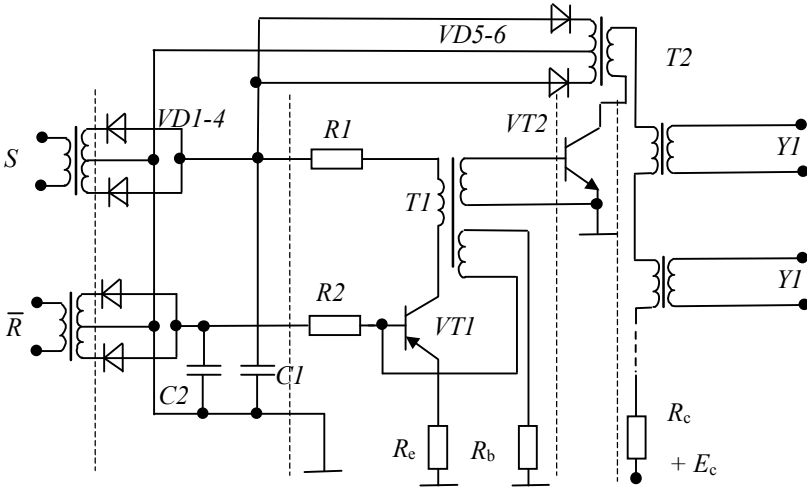
Схема, представленная на рисунке 2, выполняет логическую операцию «И». Если необходима реализация операции «ИЛИ», оба двухполупериодных выпрямителя, на которые поступают входные сигналы $X1$ и $X2$, подклю-



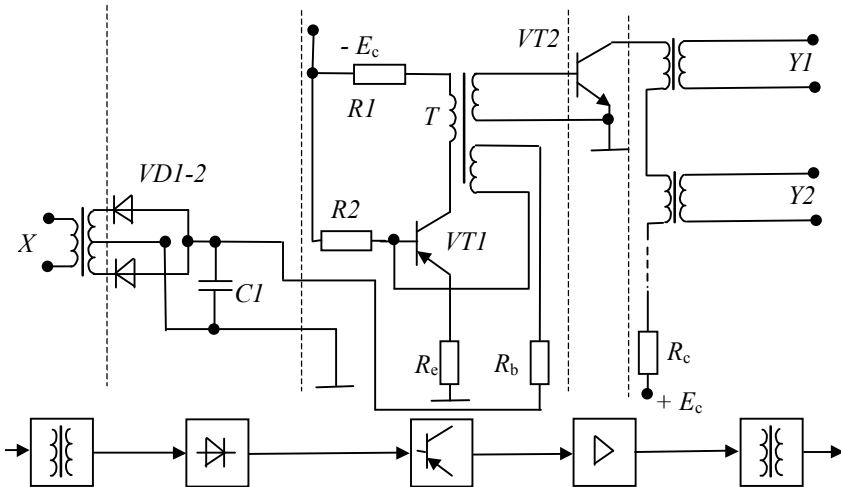
чаются параллельно (рисунок 3). В схеме логического элемента «НЕ» коллекторная цепь питается от постоянного источника, а в цепь обратной трансформаторной связи подключается выпрямленный сигнал базовой цепи, куда поступает логическая переменная (рисунок 4).

Рисунок 3 – Схема логического элемента «ИЛИ»

Рисунок 4 – Схема логического элемента «НЕ»



Благодаря транзисторному усилителю $VT2$ можно подключать большое



число входов следующих каскадов. Если с одного из них в логическом элементе «И» выпрямленный сигнал вернется в коллекторную цепь, то получится несимметричный RS-триггер (рисунок 5).

Рисунок 5 – Схема RS-триггера

Опасной является двукратная неисправность: обрыв в цепи конденсатора $C1$ и пробой цепи «эмиттер-коллектор» $VT1$, когда пульсации питающего напряжения коллекторной цепи в результате прямой трансформации появляются на выходе. Избежать такой неисправности можно введением четырехвыводного конденсатора во входную цепь.

2 Индивидуальное задание

Изучить схему элемента системы *Logisafe* и исследовать ее работу при отказах элементов согласно индивидуальному заданию (таблица 1).

Выполнить моделирование работы схемы при наличии неисправностей. Сделать выводы о соответствии указанных неисправностей критерию опасного отказа и возможности накопления данных неисправностей.

Исследования должны проводиться: для анализа безопасности – на всех пассивных (запрещенных) наборах входных воздействий, для проверки возможности накопления отказов – на всех активных (разрешенных) наборах входных воздействий. В случае возможности накопления неисправностей выполнить исследование работы схемы при наличии кратных (двойных и тройных) неисправностей.

Таблица 1

Вариант	Схема	Моделируемые отказы
1	Рисунок 2	Короткое замыкание база-коллектор $VT1$, обрыв $R1$, обрыв $C2$
2	Рисунок 3	Обрыв базы $VT1$, короткое замыкание $VD1$, обрыв вторичной обмотки T
3	Рисунок 4	Короткое замыкание $VD2$, обрыв $C1$, короткое замыкание всех электродов $VT1$
4	Рисунок 5	Обрыв первичной обмотки $T1$, короткое замыкание $C1$, короткое замыкание коллектор-эмиттер и обрыв базы $VT1$
5	Рисунок 2	Обрыв вторичной обмотки обратной связи T , обрыв $VD3$, короткое замыкание база-эмиттер и обрыв коллектора $VT1$
6	Рисунок 3	Обрыв $VD4$, короткое замыкание $C2$, короткое замыкание коллектор-база и обрыв эмиттера $VT1$
7	Рисунок 4	Обрыв базы $VT2$, обрыв $VD1$, короткое замыкание всех электродов $VT1$
8	Рисунок 5	Короткое замыкание коллектор-эмиттер $VT1$, обрыв $C1$, короткое замыкание $VD3$
9	Рисунок 2	Короткое замыкание база-эмиттер $VT2$, короткое замыкание $R1$, обрыв $VD2$

10	Рисунок 3	Короткое замыкание эмиттер-коллектор $VT2$, обрыв вторичной обмотки обратной связи T , обрыв $R2$
11	Рисунок 4	Обрыв коллектора $VT1$, обрыв R_b , короткое замыкание $VD2$
12	Рисунок 5	Короткое замыкание база-эмиттер и обрыв коллектора $VT1$, обрыв R_b , обрыв эмиттера $VT2$
13	Рисунок 2	Короткое замыкание база-коллектор и обрыв эмиттера $VT2$, короткое замыкание $VD1$, обрыв $C1$
14	Рисунок 3	Короткое замыкание коллектор-эмиттер $VT1$, короткое замыкание $VD2$, обрыв $C1$
15	Рисунок 4	Короткое замыкание коллектор-база $VT1$, обрыв $VD1$, обрыв $C1$
16	Рисунок 5	Обрыв эмиттера $VT1$, обрыв $R2$, короткое замыкание $VD3$

3 Порядок выполнения работы

3.1 Изучить теоретические сведения.

3.2 Запустить на ЭВМ пакет моделирования.

3.3 Собрать схему согласно заданию.

3.4 Дополнить идеальную схему элементами, отражающими реальные параметры либо, выбрав в базе элементов, заменить идеальную модель элемента на любую из реальных.

3.5 Подобрать параметры элементов схемы таким образом, чтобы при наличии на логических входах разрешенной входной комбинации (активным является сигнал гармонической формы, а пассивным – постоянный сигнал) на выходе схемы присутствовало переменное напряжение. Полученную осциллограмму сохранить в отчете.

3.6 Снять осциллограммы при наличии на логических входах схемы запрещенных входных комбинациях. Сделать вывод о работоспособности схемы.

3.7 Дополнить схему элементами, эмулирующими отказы. Последовательно имитировать отказы согласно заданию.

3.8 Исследовать реакцию схемы на каждый отказ при наличии на логических входах схемы разрешенных и запрещенных логических комбинаций, сохранить полученные осциллограммы.

3.9 В случае возможности накопления неисправностей выполнить исследование работы схемы при наличии кратных (двойных и тройных) неисправностей.

3.10 Сохранить схему и закрыть пакет моделирования.

3.11 Оформить отчет, указывая показания приборов в виде таблиц, осциллографа – в виде графиков. Сделать выводы об устойчивости работы

схемы, обнаруживаемости отказов и влиянии отказов на безопасность работы схемы.

Содержание отчета

Отчет оформляется в электронном виде в виде документа *Word* и содержит: фамилию, имя, отчество и группу студента, выполнившего работу, наименование и цель работы; описание функционирования исследуемой схемы; индивидуальное задание; экранные формы с исследуемой схемой; осциллограммы и показания приборов; выводы по работе. К отчету прилагаются файлы *CircuitMaker* или *Orcad* с результатами работы.

Лабораторная работа № 4

ИССЛЕДОВАНИЕ РАБОТЫ РЕЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ

Ц е л ь р а б о т ы. Изучить принципы построения и обеспечения безопасности работы квазибезопасных логических элементов резисторно-транзисторной логики.

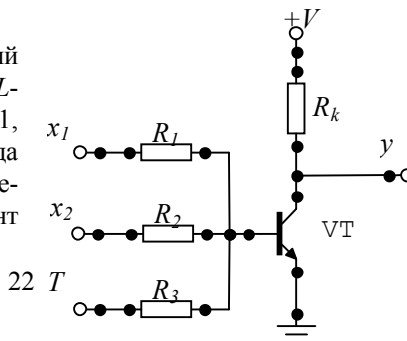
1 Краткие сведения из теории

Элементы резисторно-транзисторной логики (*RTL*-логики) относятся к классу квазибезопасных логических элементов с кодированными логическими переменными. Принцип работы этого элемента состоит в двухканальной обработке логических переменных, кодированных парафазными импульсными сигналами, и в последующем сравнении результатов с помощью контрольного элемента. В качестве контрольного элемента может выступать безопасный элемент «Исключающее ИЛИ» коллекторно-базовой логики.

Базовым элементом *RTL*-логики является трехходовая *RTL*-схема (рисунок 1), выполняющая мажоритарную функцию:

$$y = x_1x_2 \vee x_1T \vee x_2T .$$

На вход *T* подается импульсный тактовый сигнал. Когда на вход *T* *RTL*-схемы поступает сигнал логической 1, схема работает как элемент «И», когда на этот вход поступает сигнал логического 0 – схема работает как элемент «ИЛИ».



Квазибезопасный логический элемент состоит из двух симметричных RTL-схем $M1$ и $M2$ (рисунок 2). Каждая из них является каналом обработки информации.

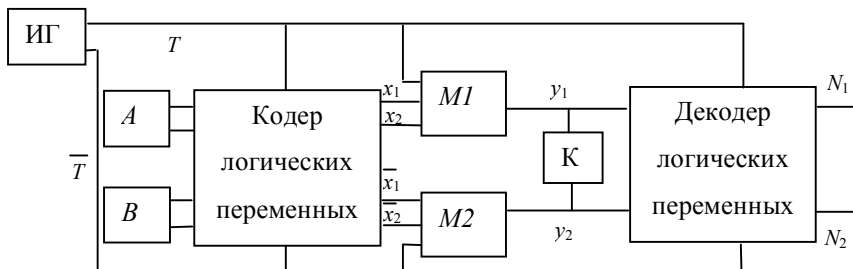


Рисунок 2 – Структура квазибезопасного логического элемента

В каждом полупериоде импульсного тактового сигнала T обе RTL-схемы альтернативно меняются местами. Когда на входе схемы $M1$ есть сигнал «1», схема (рисунок 1) работает как элемент «ИЛИ». В этот же момент времени на входе $M2$ присутствует сигнал «0», и схема работает как элемент «И». В следующем полутакте схемы $M1$ и $M2$ выполняют противоположные функции.

Импульсный генератор (ИГ) синхронизирует работу всей схемы. Логические переменные A и B в некодированном виде представлены парафазными сигналами. Схема кодера формирует логические переменные так, что на входы $M1$ подаются прямые значения переменных A и B , а на входы $M2$ – инверсные значения.

В некоторый момент времени t схема $M1$ решает логическую задачу $y_1 = x_1 \vee x_2$, а схема $M2$ – инверсную задачу $y_2 = \overline{x_1 x_2} = \overline{y_1}$. В следующем полупериоде каналы меняются ролями, но инверсность выходных сигналов y_1 и y_2 сохраняется. При исправной работе контрольный элемент K (элемент «Исключающее ИЛИ») остается открытым. Если хотя бы в одном полупериоде инверсность сигналов нарушается, на выходе контрольного элемента появляется сигнал «0», приводящий к остановке импульсного генератора, т. е. переводящий квазибезопасный элемент в защитное состояние. Декодированные устойчивые сигналы $N1$ и $N2$ также инверсны.

Изменяя связи между ИГ и элементами $M1$ и $M2$, данная схема может быть трансформирована в схемы «ИЛИ» и «НЕ».

2 Индивидуальное задание

Изучить схему элемента *RTL*-логики и исследовать ее работу согласно индивидуальному заданию (таблица 1). В качестве контрольного элемента можно использовать схему «Исключающее ИЛИ» коллекторно-базовой логики из лабораторной работы №2.

Выполнить моделирование работы схемы при наличии неисправностей. Сделать выводы о соответствии указанных неисправностей критерию опасного отказа и возможности накопления данных неисправностей.

Исследования должны проводиться: для анализа безопасности – на всех пассивных (запрещенных) наборах входных воздействий, для проверки возможности накопления отказов – на всех активных (разрешенных) наборах входных воздействий. В случае возможности накопления неисправностей выполнить исследование работы схемы при наличии кратных (двойных и тройных) неисправностей.

3 Порядок выполнения работы

3.1 Изучить теоретические сведения.

3.2 Запустить на ЭВМ пакет моделирования и собрать схему согласно заданию.

3.3 Дополнить идеальную схему элементами, отражающими реальные параметры либо, выбрав в базе элементов, заменить идеальную модель элемента на любую из реальных. Подобрать параметры элементов схемы таким образом, чтобы при наличии на логических входах разрешенной входной комбинации (парафазных сигналов) на выходе схемы присутствовал парафазный импульсный сигнал. Полученную осциллограмму сохранить в отчете.

Таблица 1

Вариант	Схема	Моделируемые отказы
1	«И»	Короткое замыкание база-коллектор V_{T1} , обрыв R_1 , короткое замыкание на землю прямого входа переменной A
2	«ИЛИ»	Обрыв базы V_{T1} , короткое замыкание R_2 , короткое замыкание на землю инверсного входа переменной B
3	«НЕ»	Короткое замыкание всех электродов V_{T1} , обрыв R_k , короткое замыкание на землю выхода x_1 кодера
4	«И»	Короткое замыкание коллектор-эмиттер и обрыв базы V_{T1} , короткое замыкание R_3 , короткое замыкание на землю выхода x_2 кодера

5	«ИЛИ»	Короткое замыкание база-эмиттер и обрыв коллектора $VT1$, короткое замыкание $R1$, короткое замыкание на землю выхода x_2 кодера
6	«НЕ»	Короткое замыкание коллектор-база и обрыв эмиттера $VT1$, обрыв $R2$, короткое замыкание на землю выхода x_1 кодера
7	«И»	Обрыв эмиттера $VT1$, короткое замыкание R_k , короткое замыкание на землю инверсного входа переменной A
8	«ИЛИ»	Обрыв коллектора $VT1$, обрыв $R3$, короткое замыкание на землю прямого входа переменной B
9	«НЕ»	Короткое замыкание база-коллектор $VT2$, обрыв $R2$, короткое замыкание на землю прямого входа переменной B
10	«И»	Обрыв базы $VT2$, короткое замыкание $R3$, короткое замыкание на землю инверсного входа переменной A
11	«ИЛИ»	Короткое замыкание всех электродов $VT2$, обрыв $R1$, короткое замыкание на землю выхода x_2 кодера
12	«НЕ»	Короткое замыкание коллектор-эмиттер и обрыв базы $VT2$, короткое замыкание R_k , короткое замыкание на землю выхода x_1 кодера
13	«И»	Короткое замыкание база-эмиттер и обрыв коллектора $VT2$, короткое замыкание $R2$, короткое замыкание на землю выхода x_1 кодера
14	«ИЛИ»	Короткое замыкание коллектор-база и обрыв эмиттера $VT2$, обрыв $R3$, короткое замыкание на землю выхода x_2 кодера
15	«НЕ»	Обрыв эмиттера $VT2$, короткое замыкание $R2$, короткое замыкание на землю инверсного входа переменной B
16	«И»	Обрыв коллектора $VT2$, обрыв R_k , короткое замыкание на землю прямого входа переменной A

3.4 Снять осциллограммы при наличии на логических входах схемы запрещенных входных комбинациях. Сделать вывод о работоспособности схемы.

3.5 Дополнить схему элементами, эмулирующими отказы. Последовательно имитировать отказы согласно заданию.

3.6 Исследовать реакцию схемы на каждый отказ при наличии на логических входах схемы разрешенных и запрещенных логических комбинаций, сохранить полученные осциллограммы.

3.7 В случае возможности накопления неисправностей выполнить исследование работы схемы при наличии кратных (двойных и тройных) неисправностей.

3.8 Сохранить схему и закрыть пакет моделирования.

3.9 Оформить отчет, указывая показания приборов в виде таблиц, осциллографа – в виде графиков. Сделать выводы об устойчивости работы схемы,

обнаруживаемости отказов и влиянии отказов на безопасность работы схемы.

Содержание отчета

Отчет оформляется в электронном виде в виде документа *Word* и содержит: фамилию, имя, отчество и группу студента, выполнившего работу, наименование и цель работы; описание функционирования исследуемой схемы; индивидуальное задание; экранные формы с исследуемой схемой; осциллограммы и показания приборов; выводы по работе. К отчету прилагаются файлы *CircuitMaker* или *Orcad* с результатами работы.

Лабораторная работа № 5

ИССЛЕДОВАНИЕ РАБОТЫ САМОПРОВЕРЯЕМЫХ ТЕСТЕРОВ

Ц е л ь р а б о т ы. Изучить принципы построения и обеспечения безопасности работы самопроверяемых тестеров.

1 Краткие сведения из теории

Самопроверяемые элементы обладают способностью обнаружения отказов в процессе нормального функционирования. Отказы обнаруживаются по значениям выходных сигналов без дополнительной подачи на входы элементов специальных проверочных тестов или других способов проверки. Самопроверяемые элементы позволяют строить сложные самопроверяемые схемы, в которых любая неисправность распространяется от точки своего возникновения к выходам схемы. Если на выходе схемы стоит контрольный элемент, то таким образом можно легко контролировать исправность всей схемы.

Рассмотрим самопроверяемые элементы, работающие в парафазной логике. В этом случае значение логической «1» кодируется как «10», а значение «0» – как «01». Коды «00» и «11» являются защитными.

Схемы парафазных логических элементов представлены на рисунке 1. В таблице 1 приведены значения выходов парафазного элемента «И» в исправном состоянии и при наличии константных неисправностей.

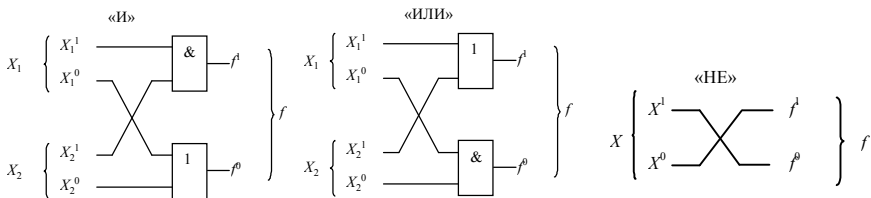


Рисунок 1 – Схемы парафазных логических элементов

Таблица 1

Входы		Выход	Неисправности											
x_1	x_2	f	$x_1^1=0$	$x_1^1=1$	$x_1^0=0$	$x_1^0=1$	$x_2^1=0$	$x_2^1=1$	$x_2^0=0$	$x_2^0=1$	$f^1=0$	$f^1=1$	$f^0=0$	$f^0=1$
01	01	01	01	01	01	01	01	01	01	01	01	11	00	01
01	10	01	01	11	00	01	01	01	01	01	01	11	00	01
10	01	01	01	01	01	01	01	11	00	01	01	11	00	01
10	10	10	00	10	10	11	00	10	10	11	00	10	10	11

Из таблицы 1 следует, что для каждой одиночной неисправности выходной сигнал элемента может быть правильным или принимать защитное значение при одном из наборов проверяющего теста $\{01\ 10, 10\ 01, 10\ 10\}$. Аналогично функционирует элемент при нарушении парафазности на его входах. Такими же свойствами обладают элементы «ИЛИ» и «НЕ».

Любая комбинационная схема в результате замены элементов «И», «ИЛИ», «НЕ» их парафазными реализациями преобразуется в самопроверяемую схему, обладающую следующими свойствами:

- любая комбинация константных неисправностей приводит к нарушению парафазности на выходе хотя бы при одном наборе данных проверяющего теста;
- нарушение парафазности хотя бы на одном из входов схемы приводит к нарушению парафазности на выходе хотя бы при одном наборе данных проверяющего теста.

Для контроля кодов с обнаружением ошибок используют самопроверяемые тестеры (СПТ). Они представляют собой кодовые детекторы, задача которых состоит в том, чтобы отличить кодовые комбинации, принадлежащие рассматриваемому коду, от остальных возможных комбинаций. СПТ реализуются в виде устройства с n входами и двумя выходами z_1 и z_2 .

Тестер обладает следующими свойствами:

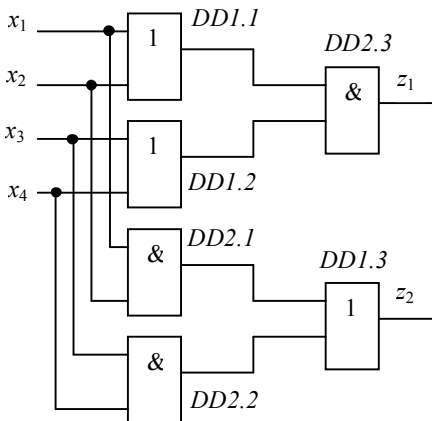


Рисунок 2 – Схема тестера для четырехразрядного равновесного кода 2/4-СПТ

ные коды. В таблице 2 представлено преобразование кода самопроверяемым тестером.

Правильным считается код, вес которого равен двум (две единицы в коде). Свойство самопроверки заключается в том, что для любой одиночной неисправности элементов тестера можно найти такую кодовую комбинацию, которая установит выходы тестера в состояние 0,0 или 1,1. Например, отказ «1→0» на выходе элемента *DD1* обнаруживается кодом «0101», т. к. на выходе установится значение 0,0.

Тестеры характеризуются двумя оценками: сложностью, которая равна суммарному числу входов логических элементов, принадлежащих структуре тестера, и длиной проверяющего теста, которая равна числу слов кода, подача которых на вход тестера обеспечивает обнаружение всех одиночных неисправностей. Для тестера 2/4-СПТ проверяющий тест $T = \{0101, 0011, 1100\}$.

Виды отказов, обнаруживаемых проверяющим тестом, приведены в таблице 3.

Таблица 2

Четырехразрядный равновесный код				Выходы		Результат контроля
x_1	x_2	x_3	x_4	z_1	z_2	
0	0	0	0	0	0	Ошибка, код с меньшим весом
0	0	0	1	0	0	Ошибка, код с меньшим весом
0	0	1	0	0	0	Ошибка, код с меньшим весом

- контролирует корректность входного вектора, т. е. выходы z_1 и z_2 принимают значения 1,0 или 0,1, если на входе тестера присутствует вектор рассматриваемого кода, и значения 0,0 или 1,1 в противном случае;

- выполняет самопроверку, т. е. для любой одиночной неисправности тестера существует входной вектор кода, на котором выходы z_1 и z_2 принимают значения 0,0 или 1,1.

На рисунке 2 показана схема тестера для четырехразрядного равновесного кода «2 из 4» (2/4-СПТ). На входы x_1, x_2, x_3 и x_4 подаются четырехразрядные двоичные коды.

0	0	1	1	0	1	Верный код
0	1	0	0	0	0	Ошибка, код с меньшим весом
0	1	0	1	1	0	Верный код
0	1	1	0	1	0	Верный код
0	1	1	1	1	1	Ошибка, код с большим весом
1	0	0	0	0	0	Ошибка, код с меньшим весом
1	0	0	1	1	0	Верный код
1	0	1	0	1	0	Верный код
1	0	1	1	1	1	Ошибка, код с большим весом
1	1	0	0	0	1	Верный код
1	1	0	1	1	1	Ошибка, код с большим весом
1	1	1	0	1	1	Ошибка, код с большим весом
1	1	1	1	1	1	Ошибка, код с большим весом

Таблица 3

Неисправность		Проверяющий код	Значение при исправной работе	Значение при наличии неисправности
вид	элемент			
«1→0»	DD1	0101	10	00
«0→1»	DD1	0011	01	11
«1→0»	DD2	0101	10	00
«0→1»	DD2	1100	01	11
«1→0»	DD3	1100	01	00
«0→1»	DD3	0101	10	11
«1→0»	DD4	0011	01	00
«0→1»	DD4	0101	10	11
«1→0»	DD5	0101	10	00
«0→1»	DD5	1100	01	11
«1→0»	DD6	1100	01	00
«0→1»	DD6	0101	10	11

Самопроверяемые тестеры можно использовать для контроля правильности работы как одноканальных структур, так и многоканальных.

Разработаны схемные реализации большого количества других тестеров.

Самопроверяемый тестер для четырехразрядного равновесного кода «1 из 4» (1/4-СПТ) приведен на рисунке 3. Правильным считается код, вес которого равен единице (одна единица в коде). Проверяющий тест для этого тестера $T=\{1000, 0100, 0010, 0001\}$. Самопроверяемый тестер для пятиразрядного равновесного кода «1 из 5» (1/5-СПТ) приведен на рисунке 4. Проверяющий тест для этого тестера $T=\{10000, 01000, 00100, 00010, 00001\}$.

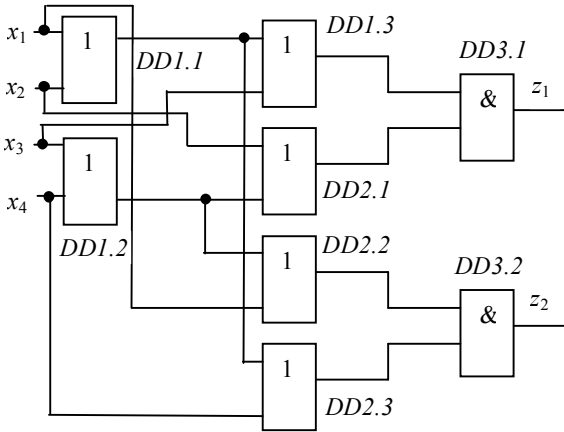


Рисунок 3 – Схема тестера для четырехразрядного равновесного кода 1/4-СПТ

Тестер для кода с проверкой на нечетность строят так. Множество переменных кода произвольно разбивают на два непересекающихся подмножества. Переменные, входящие в одно подмножество, объединяются схемой свертки по модулю 2. На рисунке 5 приведен тестер для кода с $n = 6$. Тестеры для кодов с проверкой на четность строят аналогично с установкой дополнительного инвертора на

ОДНОМ ИЗ ВЫХОДОВ.

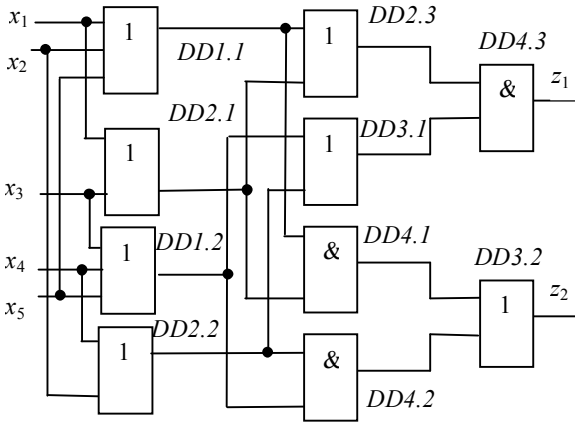


Рисунок 4 – Схема тестера для пятиразрядного равновесного кода 1/5-СПТ

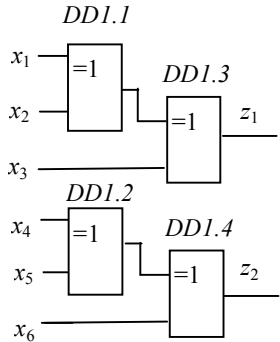


Рисунок 5 – Схема тестера для кода с проверкой на нечетность

2 Индивидуальное задание

Изучить схему самопроверяемого тестера согласно индивидуальному заданию (таблица 4) и исследовать ее работу при поступлении верного равновесного кода и при нарушении веса кода. Для каждой заданной неисправности найти проверяющий код. Сделать выводы о соответствии указанных неисправностей критерию опасного отказа и возможности накопления данных неисправностей. Выполнить исследование работы схемы при наличии кратных (двойных и тройных) неисправностей.

Таблица 4

Вариант	Вид тестера	Моделируемые отказы
1	Самопроверяемый тестер для четырехразрядного равновесного кода «1 из 4» (1/4-СПТ)	Короткое замыкание на землю выхода <i>DD1.1</i> , выхода <i>DD3.1</i> , короткое замыкание на источник питания выхода <i>DD2.2</i> .
2	Самопроверяемый тестер для четырехразрядного равновесного кода «2 из 4» (2/4-СПТ)	Короткое замыкание на источник питания выхода <i>DD1.2</i> , выхода <i>DD2.1</i> , короткое замыкание на землю выхода <i>DD2.3</i>
3	Самопроверяемый тестер для восьмиразрядного кода с проверкой на четность	Короткое замыкание на землю выхода <i>DD1.1</i> , выхода <i>DD1.3</i> , короткое замыкание на источник питания выхода <i>DD2.2</i> .
4	Самопроверяемый тестер для восьмиразрядного кода с проверкой на четность	Короткое замыкание на землю выхода <i>DD3.1</i> , короткое замыкание на источник питания выхода <i>DD2.2</i> , выхода <i>DD1.2</i> .
5	Самопроверяемый тестер для пятиразрядного равновесного кода «1 из 5» (1/5-СПТ)	Короткое замыкание на землю выхода <i>DD1.2</i> , выхода <i>DD3.2</i> , короткое замыкание на источник питания выхода <i>DD3.1</i> .
6	Самопроверяемый тестер для четырехразрядного равновесного кода «1 из 4» (1/4-СПТ)	Короткое замыкание на землю выхода <i>DD2.1</i> , короткое замыкание на источник питания выхода <i>DD1.2</i> , выхода <i>DD3.2</i> .
7	Самопроверяемый тестер для четырехразрядного равновесного кода «2 из 4» (2/4-СПТ)	Короткое замыкание на землю выхода <i>DD2.1</i> , выхода <i>DD2.2</i> , короткое замыкание на источник питания выхода <i>DD1.3</i> .
8	Самопроверяемый тестер для восьмиразрядного кода с проверкой на четность	Короткое замыкание на землю выхода <i>DD2.1</i> , выхода <i>DD1.2</i> , короткое замыкание на источник питания выхода <i>DD1.4</i> .
9	Самопроверяемый тестер для восьмиразрядного кода с проверкой на четность	Короткое замыкание на землю выхода <i>DD3.1</i> , выхода <i>DD2.2</i> , короткое замыкание на источник питания выхода <i>DD1.2</i> .

Продолжение таблицы 4

Вариант	Вид тестера	Моделируемые отказы
10	Самопроверяемый тестер для пятиразрядного равновесного кода «1 из 5» (1/5-СПТ)	Короткое замыкание на землю выхода <i>DD1.1</i> , короткое замыкание на источник питания выхода <i>DD4.1</i> , выхода <i>DD4.3</i> .
11	Самопроверяемый тестер для четырехразрядного равновесного кода «1 из 4» (1/4-СПТ)	Короткое замыкание выхода <i>DD2.3</i> на землю, выхода <i>DD1.1</i> и <i>DD1.3</i> – на источник питания
12	Самопроверяемый тестер для восьмиразрядного кода с проверкой на нечетность	Короткое замыкание выхода <i>DD1.4</i> на землю, выходов <i>DD1.1</i> и <i>DD2.1</i> – на источник питания
13	Самопроверяемый тестер для пятиразрядного равновесного кода «1 из 5» (1/5-СПТ)	Короткое замыкание выходов <i>DD2.1</i> и <i>DD2.3</i> на источник питания, выхода <i>DD4.2</i> – на землю
14	Самопроверяемый тестер для восьмиразрядного кода с проверкой на четность	Короткое замыкание выходов <i>DD1.3</i> и <i>DD3.1</i> на источник питания, выхода <i>DD2.1</i> – на землю
15	Самопроверяемый тестер для четырехразрядного равновесного кода «1 из 4» (1/4-СПТ)	Короткое замыкание выхода <i>DD2.1</i> на источник питания, выходов <i>DD1.2</i> и <i>DD2.2</i> – на землю
16	Самопроверяемый тестер для пятиразрядного равновесного кода «1 из 5» (1/5-СПТ)	Короткое замыкание выхода <i>DD2.2</i> на источник питания, выходов <i>DD2.1</i> и <i>DD2.3</i> – на землю

3 Порядок выполнения работы

3.1 Изучить теоретические сведения.

3.2 Запустить на ЭВМ пакет моделирования.

3.3 Собрать схему согласно заданию.

3.4 Дополнить идеальную схему элементами, отражающими реальные параметры либо, выбрав в базе элементов, заменить идеальную модель элемента на любую из реальных.

3.5 Подобрать параметры элементов схемы таким образом, чтобы при наличии на логических входах разрешенной входной комбинации (равновесном коде) на выходе схемы присутствовал парафазный сигнал. Полученную осциллограмму сохранить в отчете.

3.6 Снять осциллограммы при наличии на логических входах схемы запрещенных входных комбинациях. Сделать вывод о работоспособности схемы.

3.7 Дополнить схему элементами, эмулирующими отказы. Последовательно имитировать отказы согласно заданию. Исследовать реакцию схемы

на каждый отказ при наличии на логических входах схемы разрешенных и запрещенных логических комбинаций, сохранить полученные осциллограммы. В случае возможности накопления неисправностей выполнить исследование работы схемы при наличии кратных (двойных и тройных) неисправностей.

3.8 Сохранить схему и закрыть пакет моделирования.

3.9 Оформить отчет, указывая показания приборов в виде таблиц, осциллографа – в виде графиков. Сделать выводы об устойчивости работы схемы, обнаруживаемости отказов и влиянии отказов на безопасность работы схемы.

Содержание отчета

Отчет оформляется в электронном виде в виде документа *Word* и содержит: фамилию, имя, отчество и группу студента, выполнившего работу, наименование и цель работы; описание функционирования исследуемой схемы; индивидуальное задание; экранные формы с исследуемой схемой; осциллограммы и показания приборов; выводы по работе. К отчету прилагаются файлы *CircuitMaker* или *Orcad* с результатами работы.

Лабораторная работа № 6

ИССЛЕДОВАНИЕ РАБОТЫ ПАРАФАЗНОГО *T*-ТРИГГЕРА

Ц е л ь р а б о т ы. Изучить принципы построения и обеспечения безопасности работы самопроверяемого парафазного *T*-триггера.

1 Краткие сведения из теории

В качестве элементов памяти в самопроверяемых схемах используют самопроверяемые парафазные триггеры. Парафазный триггер (ПТ) представляет собой устройство (рисунок 1), имеющее два парафазных информационных входа T^0 и T^1 и два выхода Q^0 и Q^1 .

Парафазный триггер обладает следующими свойствами:

- если на вход парафазного триггера поступает парафазный сигнал и сама схема ПТ исправна, то на его выходе также присутствует парафазный сигнал;
- если на вход ПТ в любом такте его работы поступают одинаковые сигналы, то схема ПТ блокируется в защитном состоянии, и в том же такте на выходе устанавливаются одинаковые сигналы (0,0 или 1,1), которые сохра-

няются во всех последующих тактах работы независимо от состояния входов;

- при возникновении в схеме ПТ одиночных неисправностей схема также блокируется в защитном состоянии;
- вывод схемы из защитного состояния возможен только по цепям установки (*SET* или *RST*).

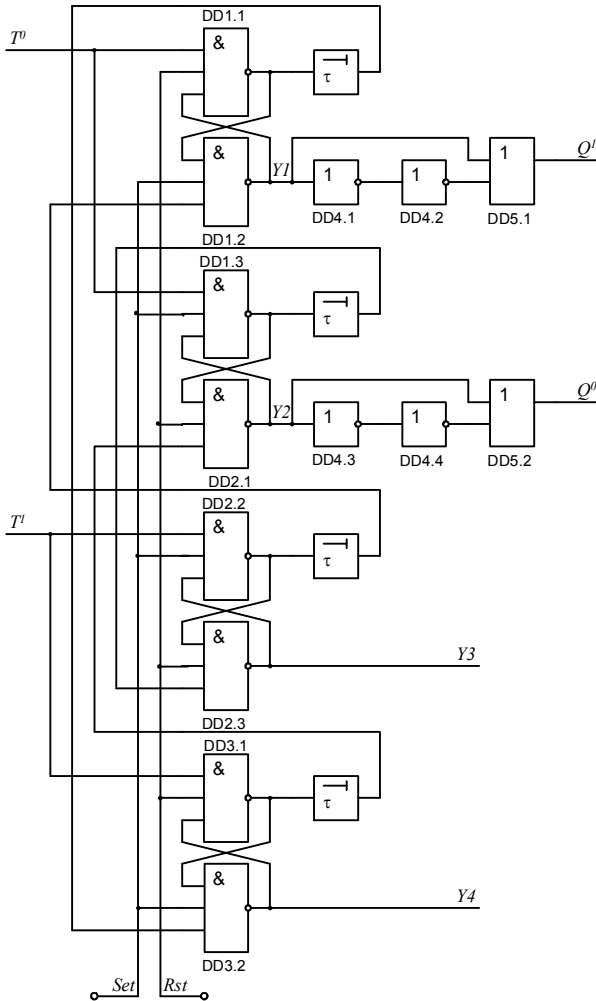


Рисунок 1 – Парафазный триггер

Парафазный триггер состоит из четырех бистабильных ячеек памяти $Y1$, $Y2$, $Y3$ и $Y4$. При кратковременной подаче логического нуля на вход RST и наличии сигналов $T^1 T^0=01$ схема переходит в устойчивое состояние 0110 (состояние «0» триггера). При подаче логического нуля на вход SET и наличии сигналов $T^1 T^0=01$ схема переходит в устойчивое состояние 1001 (состояние «1» триггера). Полный цикл работы триггера происходит при поступлении входной последовательности сигналов $T^1 T^0$ вида: 01, 10, 01, 10, 01. При этом схема последовательно проходит все свои состояния 0110 \rightarrow 1010 \rightarrow 1001 \rightarrow 0101 \rightarrow 0110.

Одна из возможных диаграмм работы парафазного триггера представлена на рисунке 2.

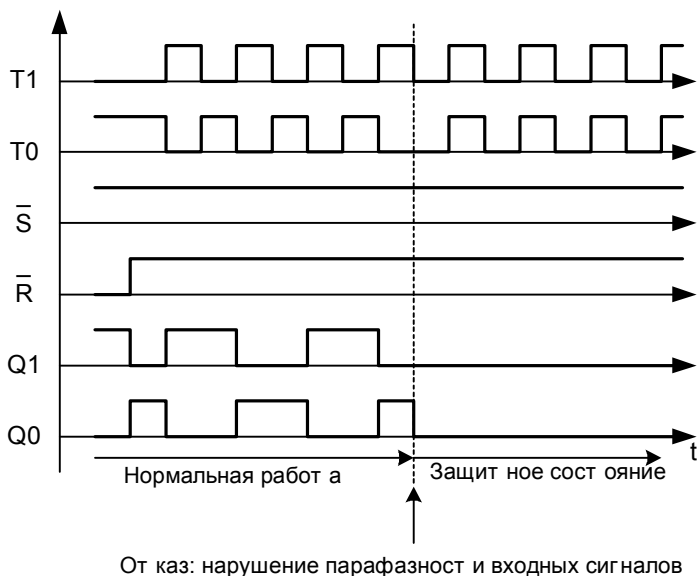


Рисунок 2 – Диаграмма работы парафазного T -триггера с отказом

2 Индивидуальное задание

Изучить схему самопроверяемого парафазного T -триггера и исследовать ее работу при отказах элементов согласно индивидуальному заданию (таблица 1). Продемонстрировать работу в нормальном режиме, переход в защит-

ное состояние при поступлении непарафазного сигнала, при возникновении неисправностей.

Сделать выводы о соответствии указанных неисправностей критерию опасного отказа и возможности накопления данных неисправностей. В случае возможности накопления неисправностей выполнить исследование работы схемы при наличии кратных (двойных и тройных) неисправностей.

Таблица 1

Вариант	Моделируемые отказы
1	Короткое замыкание на землю выхода $DD1.1$, выхода $DD2.3$, короткое замыкание на источник питания выхода $DD1.3$
2	Короткое замыкание на землю выхода $DD1.2$, выхода $DD3.2$, короткое замыкание на источник питания выхода $DD2.1$
3	Короткое замыкание на землю выхода $DD2.2$, выхода $DD4.1$, короткое замыкание на источник питания выхода $DD3.1$
4	Короткое замыкание на землю выхода $DD3.1$, выхода $DD4.2$, короткое замыкание на источник питания выхода $DD2.2$
5	Короткое замыкание на землю выхода $DD1.3$, короткое замыкание на источник питания выхода $DD3.2$, выхода $DD4.1$ –
6	Короткое замыкание на землю выхода $DD4.3$, короткое замыкание на источник питания выхода $DD1.1$, выхода $DD2.3$
7	Короткое замыкание на землю выхода $DD4.4$, короткое замыкание на источник питания выхода $DD1.2$, выхода $DD2.3$
8	Короткое замыкание на землю выхода $DD2.1$, короткое замыкание на источник питания выхода $DD3.1$, выхода $DD4.2$
9	Короткое замыкание на землю выхода $DD5.1$, короткое замыкание на источник питания выхода $DD2.2$, выхода $DD4.3$
10	Короткое замыкание на землю выхода $DD5.2$, короткое замыкание на источник питания выхода $DD1.1$, выхода $DD3.2$
11	Короткое замыкание на землю входа T^0 , короткое замыкание на источник питания выхода $DD4.4$, $DD5.1$
12	Короткое замыкание на землю входа T^1 , короткое замыкание на источник питания выхода $DD1.2$, $DD5.2$
13	Короткое замыкание на источник питания входа T^0 , выхода $DD4.1$, короткое замыкание на землю выхода $DD1.3$
14	Короткое замыкание на источник питания входа T^1 , выхода $DD4.2$, короткое замыкание на землю выхода $DD2.1$
15	Короткое замыкание на источник питания входа Set , короткое замыкание на землю выхода $DD1.1$, выхода $DD4.3$
16	Короткое замыкание на источник питания входа Rst , выхода $DD1.3$, короткое замыкание на землю выхода $DD2.3$

3 Порядок выполнения работы

3.1 Изучить теоретические сведения.

3.2 Запустить на ЭВМ пакет моделирования и собрать схему согласно заданию.

3.3 Дополнить идеальную схему элементами, отражающими реальные параметры либо, выбрав в базе элементов, заменить идеальную модель элемента на любую из реальных. Подобрать параметры элементов схемы таким образом, чтобы при наличии на логических входах разрешенной входной комбинации (парафазном сигнале) на выходе схемы присутствовал парафазный сигнал. Полученную осциллограмму сохранить в отчете.

3.4 Снять осциллограммы при наличии на логических входах схемы запрещенных входных комбинациях. Сделать вывод о работоспособности схемы.

3.5 Дополнить схему элементами, эмулирующими отказы. Исследовать реакцию схемы на каждый отказ при наличии на логических входах схемы разрешенных и запрещенных логических комбинаций, сохранить полученные осциллограммы. В случае возможности накопления неисправностей выполнить исследование работы схемы при наличии кратных (двойных и тройных) неисправностей.

3.6 Сохранить схему и закрыть пакет моделирования. Оформить отчет, указывая показания приборов в виде таблиц, осциллографа – в виде графиков. Сделать выводы об устойчивости работы схемы, обнаруживаемости отказов и влиянии отказов на безопасность работы схемы.

Содержание отчета

Отчет оформляется в электронном виде в виде документа *Word* и содержит: фамилию, имя, отчество и группу студента, выполнившего работу, наименование и цель работы; описание функционирования исследуемой схемы; индивидуальное задание; экранные формы с исследуемой схемой; осциллограммы и показания приборов; выводы по работе. К отчету прилагаются файлы *CircuitMaker* или *Orcad* с результатами работы.

СПИСОК ЛИТЕРАТУРЫ

1 Методы построения безопасных микроэлектронных систем железнодорожной автоматики/ В.В. Сапожников, Вл. В. Сапожников, Х.А. Христов, Д.В. Гавзов; Под ред. Вл. В. Сапожникова. – М.: Транспорт, 1995. – 272 с.

2 РТМ 32 ЦШ 1115842.01-94. Безопасность железнодорожной автоматики и телемеханики. Методы и принципы обеспечения безопасности микроэлектронных СЖАТ. – СПб.: ПГУ ПС, 1994. – 120 с.

3 Сертификация и доказательство безопасности систем железнодорожной автоматики / В.В. Сапожников, Вл. В. Сапожников, В. И. Талалаев и др.; Под ред. Вл. В. Сапожникова. – М.: Транспорт, 1997. – 288 с.

ПРИЛОЖЕНИЕ А

(справочное)

Порядок работы с *CircuitMaker*

Введение

Программа *CircuitMaker* предназначена для синтеза цифровых электронных устройств на базе стандартных логических элементов И-НЕ, ИЛИ-НЕ, И, ИЛИ, НЕ с различным количеством входов и выходов, а также *RS-*, *JK-*, и *D-* – триггеров на основе ТТЛ логики.

Программа предназначена для работы в операционных системах *Windows 3.x*, а также *Windows 95/NT*. Таким образом, в распоряжении пользователя оказывается удобный графический интерфейс этих операционных систем.

Для работы с данной программой не требуется практически никакой подготовки в операционной системе *Windows*, так как программа имеет интуитивный интерфейс, понятный даже новичку. Однако для работы требуются хотя бы начальные знания по цифровым логическим системам, по логическим элементам И-НЕ, ИЛИ-НЕ, И, ИЛИ, НЕ, триггерам и т.д.

Элементы управления программы

Меню программы предназначено для выбора действий пользователя, таких как создание файла, открытие файла, его запись, печать, команды редактирования и др.

Меню “*File*” содержит следующие команды:

- *New* – создать новый файл;
- *Open* – открыть существующий файл;
- *Close* – закрыть файл;
- *Revert* – вернуться к записанному файлу, то есть отмена всех исправлений в файле;
- *Merge* – соединить файлы (открыть еще одну схему в данном окне);
- *Save, Save as...* – записать файл или записать файл с другим именем;
- *Export options, Export Circuit, Export Waveforms* – команды экспортирования файла;
- *Print setup, Print Circuit, Print Waveforms* – команды настройки и печати;
- *Script Functions* – открытие скрипта;
- *Preferences* – настройка параметров работы *CircuitMaker*;
- *Exit* – выход из программы.

Меню “Edit” содержит стандартные команды редактирования в *Windows* приложениях: перенос, копирование и вставка из буфера обмена, команды переноса, копирования, поворота элементов, изменения их свойств, команду выбора шрифтов.

Принципы рисования схем

Построение схем в данной программе выполняется настолько легко и просто, что доступно даже начинающему пользователю, т. е. практически не требуется подготовка его к работе.

Для создания электрической схемы в пакете *CircuitMaker* необходимо выбрать необходимые элементы, используемые в создаваемой схеме, и разместить их на рабочем поле. Вызов меню с элементами можно осуществить нажатием соответствующей кнопки (рисунок А.1) на панели

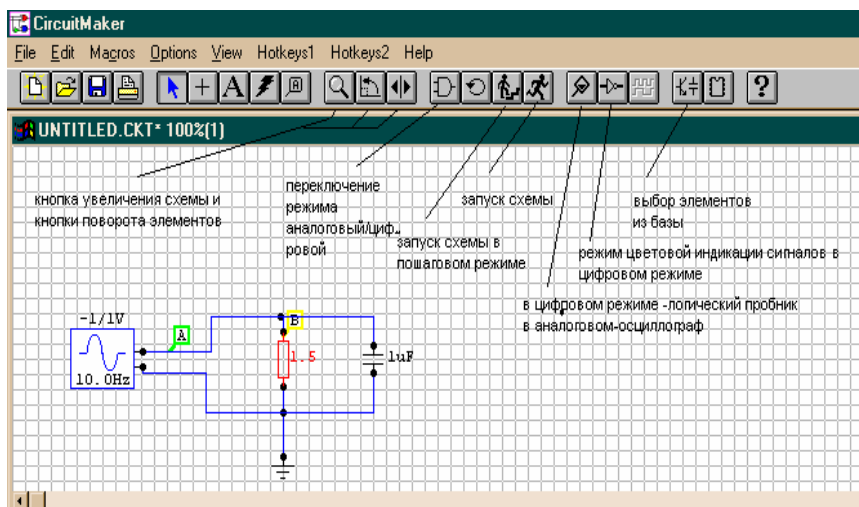


Рисунок А.1 – Панель инструментов *CircuitMaker*

инструментов, либо нажатием горячей клавиши «X». Для выбора часто используемых элементов в главном меню *CircuitMaker* предусмотрен набор горячих клавиш (*Hotkeys1*, *Hotkeys2*). Выбор этих элементов можно осуществить курсором мыши или нажатием на клавиатуре соответствующего символа. В меню выбора элементов (клавиша «X») можно задать горячую клавишу для быстрого выбора любого элемента. После этих операций следует соединить выходы элементов. Для того чтобы соединить два элемента между собой требуется перейти в режим соединения (*Alt+W*), подвести курсор

мышью к выводу элемента, нажать левую кнопку мыши, при этом вокруг вывода появится небольшой прямоугольник, и удерживая ее передвинуть указатель мыши к выводу другого элемента, при этом будет вычерчиваться линия слежения за курсором мыши и вокруг вывода другого элемента появится такой же небольшой прямоугольник. После отпускания кнопки мыши устанавливается соединение и провод, соединяющий два вывода будет нарисован в поле схемы. При необходимости соединение элементов можно производить выбирая положение линий вручную. Для соединения этим способом необходимо подвести курсор мыши к выводу элемента, нажать левую кнопку мыши, и перемещать указатель мыши к выводу другого элемента в горизонтальном или вертикальном направлении, тем самым указывая положение соединяющего провода. Для изменения направления соединения необходимо нажать на левую клавишу мыши, а при двойном нажатии левой клавиши мыши линия соединения обрывается на текущем положении курсора.

В *CircuitMaker* есть возможность упростить созданную схему путем изменения соединения проводов наиболее удобным способом. Для этого необходимо выделить соединение и нажать *Alt+I*.

Для того чтобы удалить элемент из схемы, достаточно навести курсор мыши на элемент, который требуется удалить, и нажать левую кнопку мыши, при этом элемент окрасится в красный цвет и, нажав кнопку *Delete* или *Del* или выбрав пункт меню *Delete*, элемент будет удален из схемы.

Для приведения схемы в действие следует нажать на соответствующую кнопку на панели инструментов или клавишу F10. Для пошагового исследования схемы следует нажать кнопку запуска в пошаговом режиме или клавишу F9.

Инструменты анализа схем

Для измерения параметров электрической цепи необходимо включить аналоговый режим эмуляции и запустить схему. При выделении курсором участка цепи на индикаторе показывается напряжение. При щелчке на выводе элемента показывается ток, а при щелчке по элементу – мощность.

Логический пробник. В *CircuitMaker* есть возможность цифровой эмуляции для определения логического состояния участка цепи. Для этого необходимо выбрать цифровой режим эмуляции и запустить схему. Затем выбрать на панели инструментов цифровой индикатор состояния. При наведении его на исследуемый участок цепи закрашенный треугольник вверх курсора указывает на наличие сигнала, соответствующего логической единице, а закрашенный треугольник вниз – на наличие логического нуля. Также есть возможность определения логического состояния цепи при помощи цветовой индикации. Для этого необходимо нажать на кнопку цветовой индикации на

панели инструментов и выделить исследуемые участки цепи. При этом красный цвет соответствует высокому уровню сигнала; синий – низкому; зелёный – неопределённому уровню сигнала или его отсутствию.

Логический анализатор. Для определения логического состояния и графического контроля необходимо использовать логический анализатор. Для этого необходимо перейти в цифровой режим, выбрать его в базе элементов (клавиша *t*) и, перенеся на схему, подключить к исследуемому участку цепи. После этого можно включить окно просмотра графиков и запустить схему.

Осциллограф. Осциллограф используется для анализа схемы в аналоговом режиме и просмотра результатов в графическом виде.

Для подключения осциллографа необходимо перейти в аналоговый режим, нажать на клавишу осциллографа, и курсором мыши указать точку исследуемой схемы (при необходимости можно, удерживая клавишу *Shift*, указать несколько контрольных точек). В появившемся окне необходимо выбрать режим работы осциллографа: *AC*, *DC* или *TRAN*. Осциллограф может работать в четырех режимах: *AC* (аналоговый контроль), *AC dB* (аналоговый контроль при исследовании затухания цепи), *DC* (цифровой контроль), *TRAN* (контроль характеристик, зависящих от времени). При запуске схемы выводится окно осциллографа с изображением характеристик в отмеченных точках. При необходимости можно наблюдать характеристики в других точках схемы или в нескольких одновременно (указывать точки, удерживая клавишу *Shift*). Для удобства просмотра графиков можно увеличить изображение, выделив интересующий участок (за пределами графика указать верхнюю правую точку участка, нажав левую клавишу мыши и удерживая ее, указать курсором нижнюю правую точку). Для быстрого определения значения графика в определенной точке нужно переместить ползунки, расположенные параллельно осям координат, при этом в верхней левой части окна осциллографа показывается значение точки в цифровом виде.

ПРИЛОЖЕНИЕ Б (справочное)

Порядок работы с системой *Orcad*

Система *Orcad* предназначена для решения следующих задач: графический ввод принципиальных схем и разработка печатных плат, моделирование и оптимизация аналоговых и смешанных аналого-цифровых устройств, проектирование программируемых логических интегральных схем (ПЛИС). Моделирование аналоговой или смешанной аналого-цифровой части проекта проводится с помощью программы *PSpice*, интегрированной с графическим схемным редактором *OrCAD Capture*.

Создание проекта в *OrCAD Capture*

Проекты, созданные с помощью программы *OrCAD Capture*, заносятся в файлы с расширением *.opj*, которые содержат ссылки на имена всех используемых файлов: файлов отдельных схем (*.dsn), библиотек, текстовых *VHDL*-файлов, файлов отчетов о проекте и др. Для создания нового проекта выполняется команда *File>New Project*, после чего в открывшемся диалоговом окне (рисунок Б.1) на строке *Name* указывается имя проекта (символы кириллицы не допускаются, если предполагается моделирование), а на строке *Location* - имя подкаталога расположения проекта (при этом для просмотра

файловой структуры удобно пользоваться кнопкой *Browse*). Далее в средней части этого окна выбирается тип проекта.

Analog or Mixed-Signal Circuit — аналоговые, цифровые или смешанные аналого-цифровые устройства, моделируемые с помощью программы *PSpice A/D* (возможна также дальнейшая разработка печатной платы с помощью *OrCAD Layout*). В начале создания проекта предусмотрена загрузка прототипа, указав его имя в изображенном на рисунке Б.2

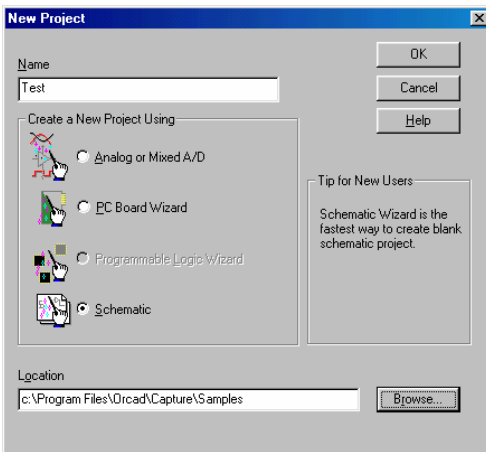


Рисунок Б.1 – Выбор типа проекта

диалоговом окне.

PC Board — печатные платы (моделирование смешанных аналого-цифровых устройства выполняется с помощью *PSpice*).

Schematic — не специализированные проекты (возможно только создание и документирование принципиальных схем, моделирование и разработка печатных плат не предусматривается).

Выбор типа проекта определяет набор команд меню *OrCAD Capture*, что не очень принципиально, так как имеется возможность обмена данными между любыми проектами.

На рисунке Б.3 показано окно редактора страницы принципиальной схемы, на которой справа расположена дополнительная панель инструментов, команды которой перечислены ниже.

Select — режим выбора объектов.

Part — выбор в библиотеке компонента для размещения его символа на схеме.

Wire — рисование электрических цепей. При нажатии кнопки **Shift** возможен ввод не ортогональных цепей.

Net Alias — размещение псевдонимов (дополнительных имен) цепей и шин.

Bus — изображение шины (ли-

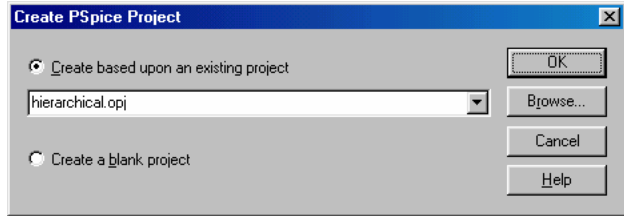


Рисунок Б.2 – Выбор прототипа проекта

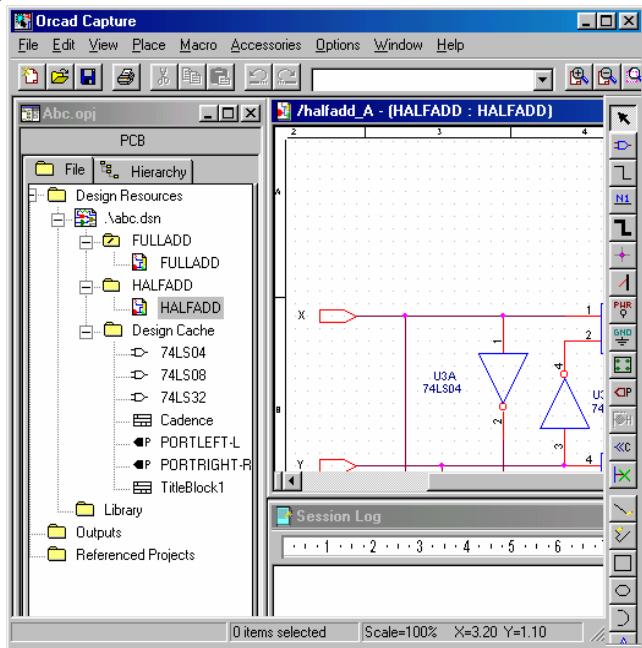


Рисунок Б.3 – Окно редактора страницы схе-

нии групповой связи).

Junction – нанесение точки электрического соединения двух цепей.

Bus Entry – нанесение отводов ос шины, расположенных под углом 45°.

Power и *Ground* – размещение символов выводов источников питания и «земли».

Hierarchical Block – размещение иерархических блоков.

Hierarchical Port – размещение портов иерархических блоков.

Hierarchical Pin – размещение выводов иерархических блоков.

Off-Page Connector – размещение символов соединителей страниц.

No Connect – подключение к выводу компонента символа отсутствия соединений.

Остальные элементы предназначены для размещения графических элементов и текста.

У некоторых графических объектов, таких как проводники, шины (линии групповой связи), линии, эллипсы (в частности, окружности), прямоугольники и многоугольники, можно изменять размеры и форму. Все остальные объекты можно только передвигать, вращать, зеркально отображать и удалять. Редактируемые объекты предварительно нужно выбрать — в результате для каждого выбранного графического объекта на экране изображаются специальные значки. Для изменения формы или размеров графических объектов нужно щелкнуть левой кнопки мыши при расположении курсора на одном из этих значков и затем, не отпуская кнопку, переместить соответствующим образом курсор; редактирование завершается отпусканием левой кнопки мыши. Для перемещения любого выбранного объекта нужно щелкнуть левой кнопкой мыши при расположении курсора в любой точке на контуре объекта, за исключением этих значков, и затем, не отпуская кнопку, выполнить перемещение. При перемещении группы объектов курсор изменяет свою форму (он принимает форму звездочки), и его можно расположить в любой точке внутри контура, окаймляющего выбранную группу.

Размещение символов компонентов и электрических цепей

Библиотеки программы *Capture* содержат в себе символы компонентов, источников питания и «земли». Они размещаются на схеме по команде *Place>Part*, активизируемой также нажатием на пиктограмму меню инструментов. В диалоговом окне этой команды (рисунок Б.4) сначала в списке *Libraries* выбирается имя одной или нескольких библиотек, содержание которых отображается на панели *Part* (для выбора нескольких библиотек нажимается и удерживается клавиша *Ctrl*). После этого на панели *Part* выбирается имя компонента, символ которого должен быть помещен на схему (если выбрано несколько библиотек, то после имени каждого компонента помеща-

ется символ / и затем имя библиотеки). В разделе *Graphic* выбирается обычное (*Normal*) или эквивалентное изображение логических компонентов в стиле *DeMorgan* (*Convert*). В разделе *Packaging* указывается номер секции компонента, после чего в расположенном ниже окне выводится изображение выбранной секции компонента с указанием номеров цоколевки его выводов (на строке *Parts per Pkg* указывается общее количество секций компонента).

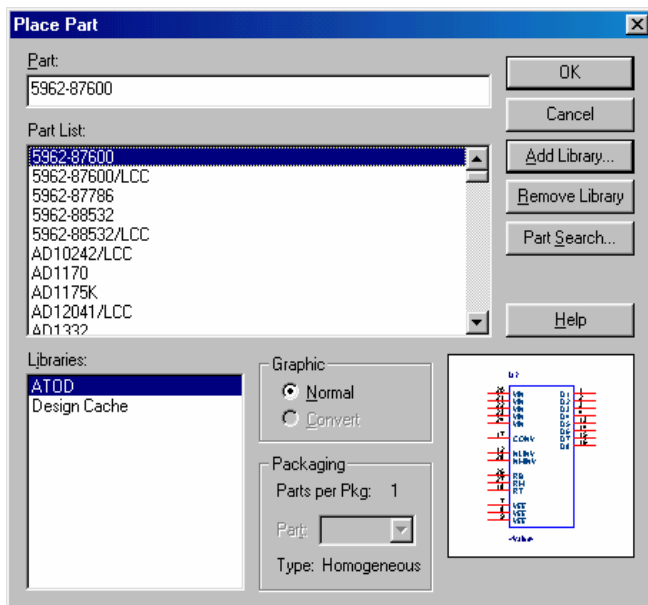


Рисунок Б.4 –Диалоговое окно команды

Нажмем на кнопку *Add Library* открывается диалоговое окно для добавления библиотек в список *Libraries*, нажатие на кнопку *Remove Library* удаляет выбранную библиотеку из списка. Кнопка *Part Search* предназначена для поиска конкретного компонента в библиотеках из списка *Libraries*. После нажатия на кнопку *OK* символ выбранного компонента переносится на схему. Движением курсора компонент перемещается в нужное место схемы и фиксируется нажатием левой кнопки мыши. После этого на схему может быть размещена еще одна копия этого же символа. Нажатие правой кнопки мыши открывает всплывающее меню, в котором дублируется вызов команд основного меню для вращения (*Rotate*), зеркального отображения (*Mirror*), изменения масштаба изображения (*Zoom*), редактирования параметров компонента (*Edit Properties*) и ряд других. Завершение размещения на схеме символа выбранного компонента производится после выбора в этом меню команды *End Mode* или нажатия на клавишу *Esc*.

Нажатие на панель *User Properties* открывает диалоговое окно просмотра и редактирования параметров компонента, где в графе *Name* указывается имя параметра, в графе *Value* — его значение, в графе *Attributes* — характе-

ристики (атрибуты) его отображения на схеме (R — только для чтения, V — видимые на схеме). Таким образом вводятся, в частности, необходимые для моделирования с помощью *PSpice* значения параметров компонентов.

По командам *Place>Ground* и *Place>Power* или нажатием на кнопки инструментов, открываются диалоговые окна для выбора символов «земли» и источников питания. Обе эти команды эквивалентны. При этом символы питания имеют видимые атрибуты их имен, которые можно изменять на панели *Name*, например можно указать имя $+5V$ (по умолчанию это имя, отображаемое на схеме, совпадает с именем символа). Имена *Name* не имеют принципиального значения, они наносятся лишь для большей наглядности схемы.

Подготовка к моделированию и оптимизации

После создания схемы моделируемого устройства на нее должны быть дополнительно нанесены элементы, отображающие паразитные эффекты в реальных конструкциях, и подключены источники питания и сигналов. Задание на моделирование заносится в так называемый профайл (*.SIM), который создается по команде *PSpice>New Simulation Profile*.

После ввода имени нового задания на моделирование или после выполнения команды *PSpice>Edit Simulation Profile* открывается диалоговое окно составления задания на моделирование, показанное на рисунке Б.5. В нем имеется 8 закладок:

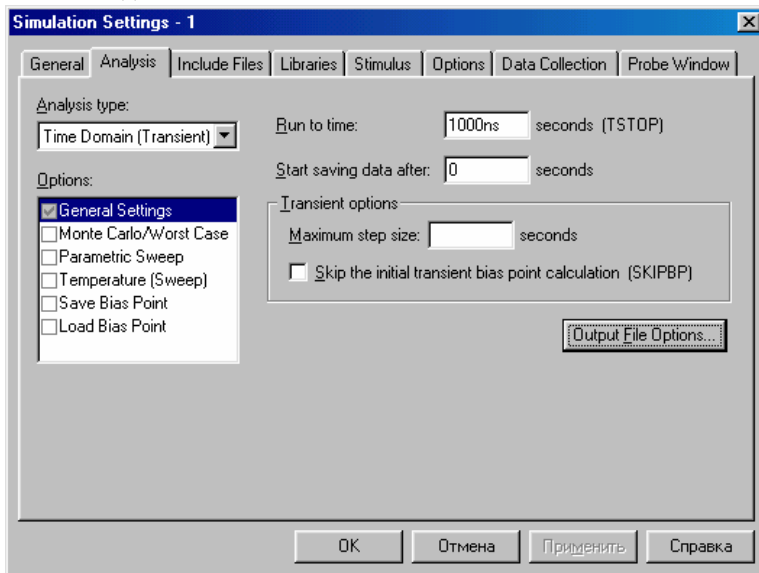


Рисунок Б.5 – Составление задания на моделирование

General – задание имен файлов (профайла, текстового файла результатов моделирования и файла графических данных для программы построения графиков *Probe*);

Analysis — выбор директивы моделирования;

Include Files — подключение внешних файлов;

Libraries — загрузка библиотек математических моделей;

Stimulus — загрузка файлов описания внешних сигналов;

Options — задание параметров моделирования;

Data Collection — выбор переменных, заносимых в файл графических данных;

Probe Window - характер отображения данных в программе построения графиков *Probe*.

Запуск моделирования выполняется по команде *PSpice>Run*. Его ход и результаты отображаются на экране программы *PSpice*.

Содержание

Введение	3
Лабораторная работа № 1. Исследование схем импульсных декодеров	3
Лабораторная работа № 2. Исследование схем коллекторно-базовой логики	11
Лабораторная работа № 3. Исследование схем элементов <i>Logisafe</i>	16
Лабораторная работа № 4. Исследование работы резисторно-транзисторной логики	22
Лабораторная работа № 5. Исследование работы самопроверяемых тестеров	26
Лабораторная работа № 6. Исследование работы парафазного <i>T</i> -триггера	33
Список литературы	37
Приложение А. Порядок работы с <i>CircuitMaker</i>	38
Приложение Б. Порядок работы с системой <i>Orcad</i>	42

Учебное издание

Х А Р Л А П Сергей Николаевич

Анализ безопасных микрoeлектронных схем

Лабораторный практикум по дисциплине «Микропроцессорные информационно-управляющие системы на транспорте»

Редактор **О. В. З а н и н а**

Технический редактор **В. Н. К у ч е р о в а**

Корректор **М. П. Д е ж к о**

Подписано в печать г. Формат бумаги 60x84 ¹/₁₆.
Бумага газетная. Гарнитура *Times New Roman*. Печать офсетная.
Усл. печ. л. . Уч.-изд. л. . Тираж 150 экз.
Зак. № . Изд. № .

Редакционно-издательский отдел БелГУТа, 246653, г. Гомель, ул. Кирова, 34.
Лицензия ЛВ № 57 от 22.10.2002 г.

Типография БелГУТа, 246022, г. Гомель, ул. Кирова, 34.
Лицензия ЛП № 360 от 26.07.99 г.