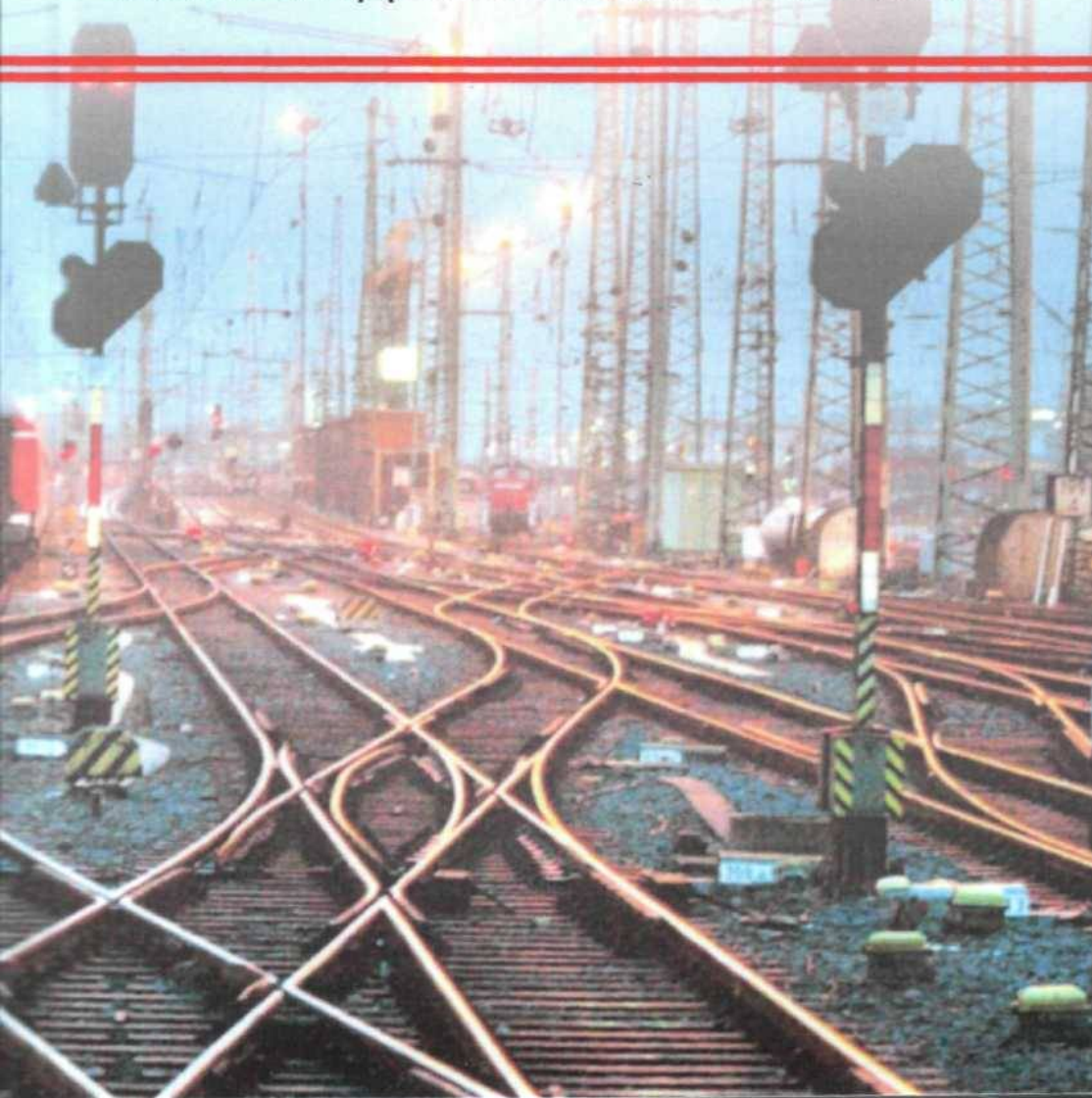


С. Н. ХАРЛАП

**РАЗРАБОТКА
МИКРОПРОЦЕССОРНОГО
МОДУЛЯ УПРАВЛЕНИЯ ДЛЯ СИСТЕМЫ
ЖЕЛЕЗНОДОРОЖНОЙ АВТОМАТИКИ**



**МИНИСТЕРСТВО ТРАНСПОРТА И КОММУНИКАЦИЙ
МИНИСТЕРСТВО ТРАНСПОРТА И КОММУНИКАЦИЙ
РЕСПУБЛИКИ БЕЛАРУСЬ**
УЧРЕЖДЕНИЕ ОБРАЗОВАНИЯ
«БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ТРАНСПОРТА»

Кафедра микропроцессорной техники
и информационно-управляющих систем

С. Н. ХАРЛАП

**РАЗРАБОТКА МИКРОПРОЦЕССОРНОГО
МОДУЛЯ УПРАВЛЕНИЯ ДЛЯ СИСТЕМЫ
ЖЕЛЕЗНОДОРОЖНОЙ АВТОМАТИКИ**

*Одобрено методической комиссией электротехнического факультета
в качестве учебно-методического пособия по курсовому проектированию
для студентов специальности «Автоматика, телемеханика и связь
на железнодорожном транспорте»*

Гомель 2015

УДК 656.25 (075.8)
ББК 39.27
X21

Р е ц е н з е н т – заведующий кафедрой «Автоматика и телемеханика»
канд. техн. наук, доцент **А. Н. Коврига** (УО «Бел-
ГУТ»)

Харлап, С. Н.

X21 Разработка микропроцессорного модуля управления для системы железнодорожной автоматики : учеб.-метод. пособие / С. Н. Харлап ; М-во трансп. и коммуникаций Респ. Беларусь, Белорус. гос. ун-т трансп. – Гомель : БелГУТ, 2015. – 175 с.
ISBN 978-985-554-447-1

Раскрыты основные принципы построения аппаратных средств безопасных микропроцессорных устройств управления и контроля для систем железнодорожной автоматики и телемеханики. Особое внимание уделено обеспечению безопасности схемных решений в микроэлектронных и микропроцессорных системах.

Предназначено для студентов специальности «Автоматика, телемеханика и связь на железнодорожном транспорте».

УДК 656.25 (075.8)
ББК 39.27

ISBN 978-985-554-447-1

© Харлап С. Н., 2015.

ПЕРЕЧЕНЬ ПРИНЯТЫХ СОКРАЩЕНИЙ

- АБТЦ – автоблокировка с тональными рельсовыми цепями.
АБТЦ-М – автоблокировка с тональными рельсовыми цепями микропроцессорная.
БМЭ – безопасный мажорирующий элемент.
БСО – безопасная схема отключения.
БСС – безопасная схема сравнения.
БУСП – блок управления светофором перегонный системы АБТЦ-М.
ВК – вычислительный канал.
ЖАТ – железнодорожная автоматика и телемеханика.
ПЗУ – постоянное запоминающее устройство.
ПО – программное обеспечение.
ПТ – парафазный триггер.
СЖАТ – система железнодорожной автоматики и телемеханики.
СОНОК – схема обнаружения номера неисправного канала.
СПТ – самопроверяемый тестер.
ССВК – самопроверяемая схема внутреннего контроля.
ФЭ – фиксирующий элемент.

1 ОПИСАНИЕ СХЕМНЫХ РЕШЕНИЙ И АЛГОРИТМОВ РАБОТЫ СУЩЕСТВУЮЩИХ СЖАТ

ВВЕДЕНИЕ

Современные тенденции развития систем железнодорожной автоматики и телемеханики связаны с заменой существующих релейных систем микроэлектронными и компьютерными системами управления движением поездов. Это обусловлено следующими причинами. Во-первых, снижением эксплуатационных затрат на обслуживание микроэлектронных систем по сравнению с релейными, что даже при более высокой стоимости таких систем делает их внедрение экономически выгодным. Во-вторых, более высокими эксплуатационными показателями микроэлектронных систем благодаря использованию резервирования отдельных элементов системы и развитой системы диагностики. В-третьих, расширением функциональных возможностей систем за счет информационной поддержки оперативного персонала (нормативной и справочной информации) и простой интеграцией микроэлектронных СЖАТ в системы управления движением поездов более высокого уровня.

Важнейшей характеристикой таких систем является способность надежно и достоверно выполнять заданные функции, обеспечивающие безопасное функционирование объектов контроля и управления (функциональная безопасность).

Основной проблемой, связанной с функциональной безопасностью микроэлектронных систем, является сложность и неочевидность принципов и методов обеспечения безопасности при использовании микроэлектронной элементной базы (особенно программируемой).

Поэтому данное пособие направлено на изучение и закрепление знаний, необходимых инженеру для разработки и эксплуатации систем управления на транспорте, обеспечивающих требуемый уровень функциональной безопасности.

1.1 Назначение и принципы построения системы

Перед началом курсового проектирования необходимо изучить принципы построения существующих систем, выполняющих функции, аналогичные указанным в задании [1–7]. Например, если требуется разработать модуль управления проходным светофором для системы микропроцессорной централизованной автоблокировки, то необходимо рассмотреть структуру централизованной автоблокировки, выполняемые ею функции, основные технологические алгоритмы, требования безопасности. Затем приводится описание назначения отдельных составных частей автоблокировки.

В существующей системе необходимо выделить модули, которые выполняют функции, аналогичные указанным в задании. Например, модуль управления проходным светофором предназначен для управления проходными перегонными светофорами и обеспечения контроля их состояния. В релейных системах, например в системе АБТЦ, управление перегонными светофорами осуществляется с помощью релейной схемы, представленной на рисунке 1.1.

Управление огнями проходного светофора осуществляется по шести жилам (З, Ж, К, ОЖЗ, ОК, РК). Коммутация управляющих цепей выполняется контактами сигнальных и огневых реле. Для всех огней проходных светофоров в АБТЦ устанавливаются двухнитевые лампы, однако, с целью экономии кабеля, переключение с основной нити (ОК) при перегорании на резервную (РК), производится только для лампы красного огня. В случае перегорания основной нити лампы красного огня обесточивается реле О, обрывается цепь питания медленнодействующего повторителя О1 (РЭЛ2М-1000), который своим тыловым контактом включает резервную нить лампы красного огня. При перегорании обеих нитей красного огня перенос красного огня в АБТЦ не предусматривается.

В микропроцессорных системах автоблокировки вместо релейных схем управления огнями проходного светофора используются микропроцессорные модули, в которых отсутствуют реле первого класса. Примером такого модуля может служить блок управления светофором перегонный БУСП системы АБТЦ-М [8]. Блок БУСП выполняет управление сигналами проходных све-

тофоров с контролем целостности нитей ламп. При этом контролируются как основные, так и резервные нити всех ламп светофора. Таким образом, если блок БУСП соответствует всем функциональным требованиям задания на курсовое проектирование, то его можно выбрать в качестве прототипа разрабатываемого модуля.

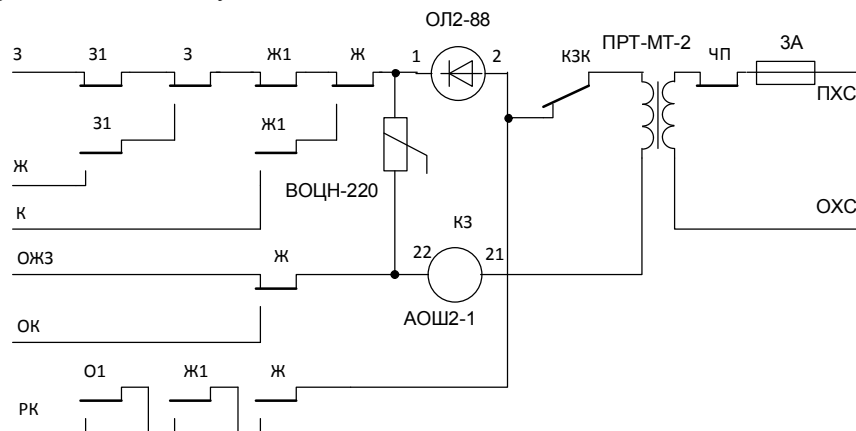


Рисунок 1.1 – Схема управления проходным светофором в АБТЦ

Затем необходимо определить критерии опасного и защитного отказа для разрабатываемого устройства. Для этого сначала следует рассмотреть критерии опасного и защитного отказов для системы в целом. Для рассматриваемой системы автоблокировки критерии опасного отказа определены в соответствующем стандарте [7].

Для модуля управления проходным светофором **критериями опасного отказа** являются:

- ложное включение разрешающего показания светофора (например, желтый или зеленый огонь вместо красного);
- смена разрешенного показания светофора на более разрешающее (например, зеленый вместо желтого);
- отсутствие контроля перегорания основной или резервной нити лампы;
- отсутствие переключения на резервную нить при перегорании основной нити.

Критериями защитного отказа являются:

- смена разрешающего показания на запрещающее (например, желтый вместо красного);
- смена разрешающего показания на более запрещающее (например, зеленый вместо желтого);

- некорректные показания светофора (например, одновременное горение красного и желтого);
- переключение на резервную нить при исправной основной нити.

1.2 Технические характеристики датчиков и исполнительных устройств

В данном разделе необходимо решить следующие задачи:

- среди функций проектируемого блока выделить функции, которые относятся к обеспечению интерфейса с датчиками и исполнительными устройствами;
- если датчики и исполнительные устройства в задании перечислены не полностью либо указан только их тип, то выбрать конкретные марки устройств;
- из справочников [9, 10], выбрать электрические и временные характеристики используемых датчиков и исполнительных устройств.

Рассмотрим порядок решения этих задач на примере **модуля управления проходным светофором**.

Основными функциями данного модуля являются:

- управление двухнитевыми лампами мощностью до 15 Вт путевого светофора в соответствии с алгоритмами системы;
- контроль целостности нитей ламп светофора;
- передача информации о сигнальном показании светофора и целостности нитей ламп в модуль управления системы верхнего уровня. Связь с модулем управления осуществляется по дублированным линиям связи посредством модемов;
- снижение сигнальных показаний при перегорании лампы;
- контроль исправности модуля и линии связи;
- светодиодная индикация состояния модуля и контролируемых объектов.

Рассмотрим эти функции подробнее. *Управление двухнитевыми лампами* мощностью до 15 Вт путевого светофора в соответствии с алгоритмами системы предполагает наличие в модуле внешних интерфейсов для подключения трех двухнитевых ламп (красного, желтого и зеленого огней). Согласно справочнику [10] для линзовых светофоров применяются двухнитевые лампы типов ЖС12-15+15 и ЖС12-25+25, где ЖС обозначает «железнодорожные для светофоров», 12 – номинальное напряжение в вольтах, 15+15 и 25+25 – номинальная мощность основной и резервной спиралей двухнитевых ламп в ваттах. Таким образом, объектами управления являются три лампы ЖС12-15+15. Электрические характеристики: номинальное напряже-

ние – 12 В, номинальная мощность – 15 Вт. К ограничениям можно отнести то, что запрещается эксплуатация ламп при напряжении, превышающем номинальное, ввиду резкого снижения продолжительности горения.

Способ *контроля целостности нитей ламп светофора* в задании явно не указан, поэтому его следует выбрать. Для уверенного контроля горения лампы необходимо контролировать протекание в цепи тока, большего номинального значения. Если бы в качестве объекта контроля выступала светодиодная матрица, то дополнительно пришлось бы либо контролировать напряжение на объекте контроля, либо нахождение рабочего тока в определенном диапазоне. Это связано с тем, что в лампах накала возможен только один тип отказа – обрыв нити, который приводит к отсутствию тока в управляющей цепи. В светодиодной матрице кроме обрыва возможно также короткое замыкание матрицы, которое может привести к резкому увеличению значения тока в цепи и падению напряжения на объекте контроля.

Контроль протекания тока можно обеспечить либо с помощью огневого реле аналогично рисунку 1.1, либо с помощью электронной схемы контроля. Так как по заданию требуется минимизировать количество используемых реле I класса, то необходимо выбрать второй способ.

Передача информации о сигнальном показании светофора и целостности нитей ламп в модуль управления системы верхнего уровня посредством модемов предполагает наличие цифрового интерфейса связи с модемами. Выбор интерфейса обусловлен типом модема. В зависимости от модема обычно используется один из стандартных последовательных интерфейсов *RS-232*, *RS-485*, *CAN*, *I2C* и некоторые другие.

Светодиодная индикация состояния модуля и контролируемых объектов предполагает выбор типа и количества светодиодов для отображения всей необходимой информации. Возможны несколько вариантов индикации:

- статический, когда для каждого вида информации предусматривается отдельный светодиод. Он прост в реализации, но требует большого количества светодиодов и неустойчив к отказам;
- динамический, когда для каждого вида информации предусматриваются отдельные коды, отличающиеся друг от друга частотой мигания и цветом. Динамический способ предпочтителен, так как более устойчив к отказам системы индикации.

Остальные функции модуля не относятся к интерфейсным и будут рассмотрены позже.

Теперь можно перейти к разработке структурной схемы устройства.

2 РАЗРАБОТКА СТРУКТУРНОЙ СХЕМЫ

2.1 Классификация структурных методов обеспечения безопасности

Структурные методы обеспечения безопасности являются наиболее распространенными и базируются на аппаратном и (или) программном резервировании элементов системы. В данном разделе рассмотрены основные принципы обеспечения безопасности функционирования микропроцессорных систем с использованием структурной избыточности.

Структурные методы резервирования и контроля в микропроцессорных системах, отвечающих требованиям безопасности, должны обеспечивать:

- защиту системы от одиночных сбоев и отказов;
- независимость отказов в однотипных элементах функционально избыточных структур;
- исключение возможности накопления отказов;
- контроль правильности функционирования программного обеспечения.

Можно предложить следующую классификацию методов обеспечения безопасности на уровне архитектуры (рисунок 2.1).

Безопасность на уровне архитектуры достигается в основном благодаря использованию аппаратной или программной избыточности. Аппаратная избыточность достигается применением многоканальных систем с жесткой или мягкой синхронизацией каналов. Количество каналов обычно не превышает трех. Программная избыточность обеспечивается обработкой информации несколькими различными программами (многопрограммные системы). Наиболее широко применяются в этом случае *N*-версионное программирование с реализацией диверситета на уровне алгоритмов или на уровне программ. Программы могут вызываться последовательно в одноканальных структурах, параллельно или последовательно в многоканальных структурах.

Задачу обнаружения отказов решают внутрипроцессорный и межпроцессорный контроль. Наиболее эффективно внутрипроцессорный контроль осуществляется тестированием системы в отведенные для этого промежутки времени, применением принципов самоконтроля (самопроверки) и сигнатурного анализа. Межпроцессорный контроль состоит во взаимной проверке работы нескольких процессоров на уровне системных шин, памяти и выхо-

дов (контроль с сильными связями) или проверке только выходов (контроль с умеренными связями).

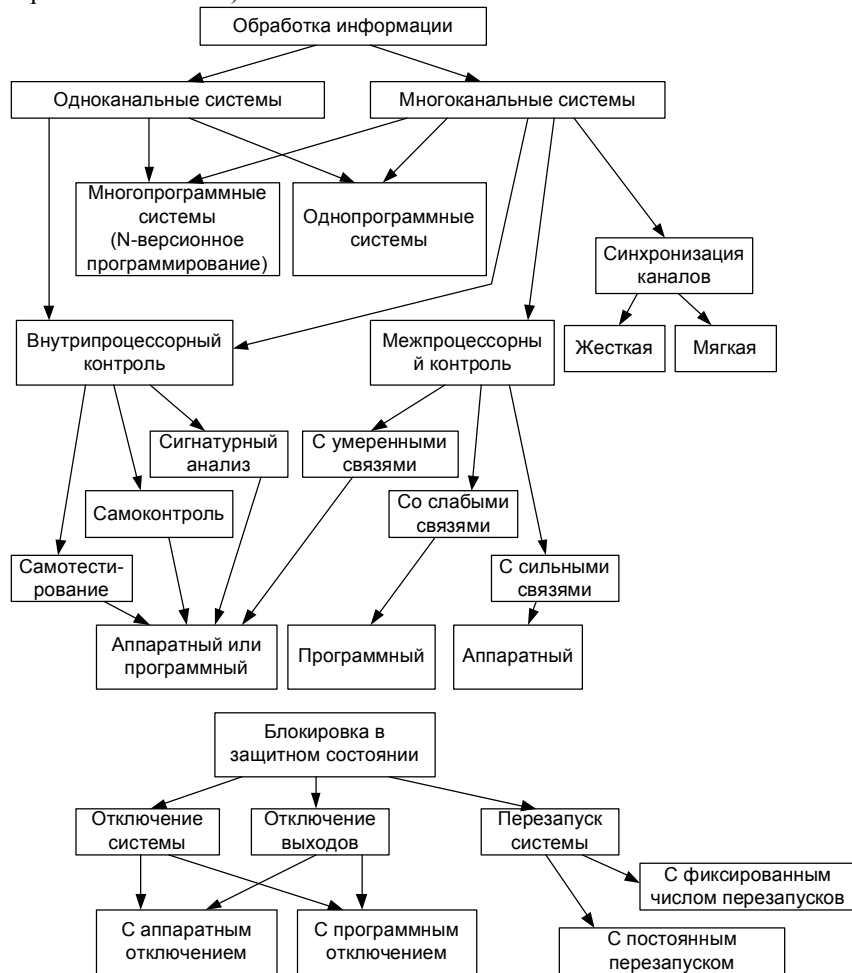


Рисунок 2.1 – Классификация структурных методов обеспечения безопасности

Применяется также контроль со слабыми связями, при котором один процессор реализует все алгоритмы, а другой выполняет проверку правильности их реализации первым процессором. Контроль может быть организован как аппаратно, так и программно.

Безопасное поведение при отказах обеспечивается отключением всей системы, отключением выходов или перезапуском (рестартом). Перезапуск может выполняться как фиксированное число раз, так и без ограничений.

Существует большое разнообразие типов безопасных структур, реализующих рассмотренные методы и используемых при построении систем управления ответственными технологическими процессами. В задании на курсовой проект жестко определены структура, вид контроля, наличие и вид диверситета, тип блокировки в защитном состоянии. Рассмотрим подробнее типовые структуры.

2.2 Одноканальные структуры безопасных систем

Среди одноканальных структур наибольшее распространение получили одноканальная самопроверяемая структура и одноканальная структура с диверситетным программным обеспечением.

2.2.1 Одноканальная самопроверяемая структура

Одноканальная самопроверяемая структура (одноканальная структура с одной программой и средствами внутреннего контроля) представлена на рисунке 2.2.

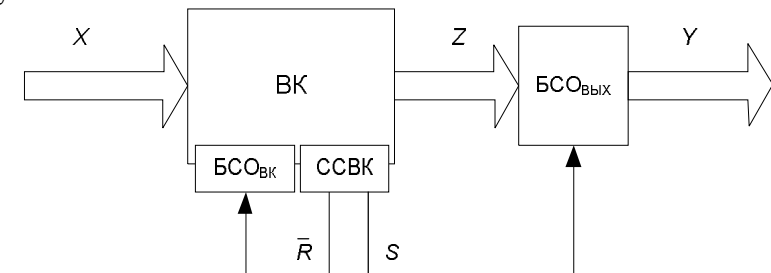


Рисунок 2.2 – Одноканальная самопроверяемая структура

Вычислительный канал ВК осуществляет прием входной информации X, ее обработку и формирует выходные воздействия Z. Безопасность функционирования системы обеспечивается за счет организации постоянной проверки вычислительного канала самопроверяемой схемой внутреннего контроля ССВК. Задачей самопроверяемой схемы внутреннего контроля является обнаружение неисправностей заданного класса в вычислительном канале и собственных неисправностей. На вход ССВК поступает внутренняя информация вычислительного канала, на основании которой ССВК может сделать

вывод об исправной работе ВК и корректности формируемых выходных сигналов.

Для организации контроля могут быть использованы самотестирование, самоконтроль или сигнатурный анализ. При организации самотестирования в определенные промежутки времени вместо реальных входных воздействий X на вход системы подаются тестовые воздействия, хранящиеся в памяти ВК или ССВК. Тестирование может производиться перед выполнением ответственных операций, после выполнения операций и (или) в паузах между операциями (рисунок 2.3).

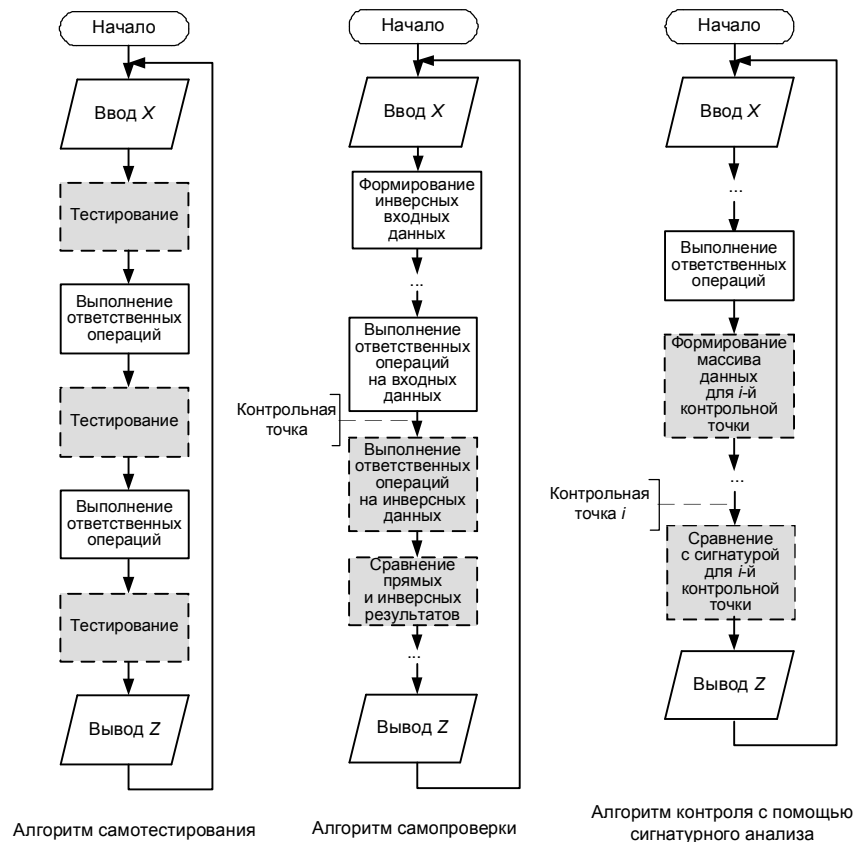


Рисунок 2.3 – Алгоритмы внутрипроцессорного контроля

Результаты обработки тестовых воздействий вычислительный канал передает на вход ССВК, где они сравниваются с эталонными значениями, хранящимися в памяти. Если сравниваемые данные совпадают, то формируются динамические сигналы подтверждения работоспособности ВК (сигнал \bar{R}) и разрешения формирования сигналов управления исполнительными объектами Y (сигнал S).

В случае обнаружения отклонения результатов обработки от эталонных значений прекращается формирование сигналов \bar{R} и S и посредством безопасных схем отключения выполняется блокировка ВК в защитном состоянии ($БСО_{ВК}$) и формирование защитных выходных воздействий ($БСО_{ВЫХ}$).

При организации самопроверки в программное обеспечение вводится информационная избыточность. Входные данные кодируются избыточным кодом (см. рисунок 2.3). Выходные воздействия и результаты промежуточных вычислений в контрольных точках формируются по основным алгоритмам, а контрольная информация – по инверсным алгоритмам на инверсных данных. Например, если требуется реализовать функцию $f = ab$, то контрольная информация вычисляется как функция $f_1 = \overline{\overline{a} \vee \overline{b}}$. Оба полученных значения передаются в ССВК для сравнения. На основании результатов сравнения ССВК формирует сигналы \bar{R} и S .

Для организации контроля работоспособности с помощью сигнатурного анализа выполняется контрольный прогон исправного устройства для снятия эталонных сигнатур. Прогон может выполняться как при изготовлении устройства с записью сигнатур в ПЗУ, так и при включении или восстановлении работоспособности устройства с записью сигнатур в ОЗУ. Первый способ является предпочтительным, так как исключается возможность формирования некорректных сигнатур при наличии необнаруженных отказов в вычислительном канале. Однако при этом невозможны программная настройка алгоритмов на конкретные условия эксплуатации, реализация адаптивных алгоритмов, программная реконфигурация системы.

Сигнатурой называется уникальная для данного состояния системы (процесса, алгоритма) последовательность значений, измеренных в указанной контрольной точке в определенные моменты времени. В процессе одного цикла выполнения программы в определенные моменты времени производится запись значений контролируемых переменных в массив сигнатур (см. рисунок 2.3). При этом каждое полученное значение привязывается к времени или к номеру контрольной точки. Например, сигнатура переменной $Synh$ будет представлять собой массив значений $Synh[0], Synh[1], \dots, Synh[n]$, где $Synh[i]$ – значение переменной $Synh$ в i -й контрольной точке, а n – общее количество контрольных точек. Переменные и контрольные точки

должны быть подобраны таким образом, чтобы любая неисправность аппаратуры либо ошибка в программном обеспечении, вызывающие установку ложных выходных значений, должны приводить к искажению сигнатур.

В качестве сигнатур могут быть использованы состояния внутренних регистров, памяти микропроцессора, значения внутренних переменных или входных сигналов. Обязательно должны сниматься сигнатуры входных и выходных сигналов. Примером сигнатуры может служить последовательность входных сигналов $x_1 x_2$ автомата определения направления движения и счета осей поезда [11]. Фиксации оси в четном направлении движения соответствует последовательность {00, 10, 11, 01, 00} [11], а в нечетном направлении – {00, 01, 11, 10, 00}. Контрольными точками в этом случае являются блоки алгоритма, соответствующие переходу в новое состояние S .

В конце рабочего алгоритма перед формированием управляющих воздействий полученные сигнатуры передаются на ССВК для сравнения с эталонными значениями. На основании результатов сравнения ССВК формирует сигналы \bar{R} и S . Если сигнатуры совпадают с эталоном, то они стираются, и процесс повторяется.

Указанным выходным значениям могут соответствовать и другие сигнатуры. Например, фиксации оси в четном направлении движения соответствуют также последовательности {00, 10, 11, 10, 11, 01, 00}, {00, 10, 11, 01, 11, 01, 00} и т. п. В этом случае ССВК должен проверять совпадение сигнатуры с одним из множества разрешенных эталонных значений. Так как последовательностей, соответствующих фиксации оси, может быть очень много, а отличаются они между собой повтором некоторой своей части, то возможен вариант приведения сигнатур к эталону за счет удаления повторяющихся частей. В этом случае сигнатуры {00, 10, 11, **10, 11**, 01, 00} и {00, 10, 11, 01, **11, 01**, 00} после удаления выделенных значений будут равны эталонному значению {00, 10, 11, 01, 00}.

Указанный подход применим только в том случае, когда система работает циклически, и значение сигнатуры может быть получено в процессе нормального функционирования, то есть сигнатура не зависит от периодичности поступления входных сигналов, времени наступления отдельных событий, прерываний и других внешних факторов. В таком случае разрабатывается стимулирующая или тестовая программа [12]. Стимулирующая программа должна обеспечивать переключение значений входных или внутренних сигналов (переменных) в системе таким образом, чтобы полученные потоки данных полностью отображали функционирование системы. Стимулирующие программы могут быть размещены в ПЗУ и вызываться периодически в определенные моменты времени.

Самопроверяемая схема внутреннего контроля может быть реализована как аппаратно в виде отдельной платы или внешнего устройства, так и программно. Аппаратно сигнатурные анализаторы просто реализуются на базе сдвиговых регистров, в которые в контрольных точках последовательно записываются значения цифровых сигналов. При организации самоконтроля ССВК строится с помощью самопроверяемых схем.

При программной реализации ССВК разрабатывается программный модуль, который вызывается основной программой в контрольных точках. Для исключения ситуации, когда из-за отказа в вычислительном канале вызов программного модуля контроля может быть пропущен, динамические сигналы \bar{R} и S должны формироваться программно, например, при успешном прохождении проверки ССВК инвертирует сигналы \bar{R} и S . В этом случае период следования импульсных сигналов \bar{R} и S будет равен двум интервалам времени между соседними проверками. Если вызов программного модуля контроля будет пропущен, то импульсы не будут сформированы, и БСО выполняют отключение системы.

Достоинством программной реализации ССВК является гибкость алгоритмов контроля, большое число контролируемых отказов аппаратуры, возможность расширения функций контроля в процессе эксплуатации. В то же время при аппаратном способе реализации ССВК обеспечивается более высокое быстродействие за счет параллельного выполнения основных алгоритмов и алгоритмов контроля, а также независимость отказов в вычислительном канале и ССВК.

Безопасность данной структуры сильно зависит от эффективности способа контроля исправности вычислительного канала, который должен обеспечивать обнаружение всех **одиноких отказов аппаратных средств** из заданного при проектировании перечня. Такими отказами являются [13-14]:

– *искажения любых разрядов всех программно доступных внутренних регистров процессора и ячеек памяти.* При самотестировании проверка осуществляется последовательной записью и повторным чтением следующих тестовых данных (для восьмиразрядных регистров): 0x55, 0xAA, 0x33, 0x99, 0xCC, 0x66, 0x00, 0xFF, 0x0F, 0xF0. Проверка регистров должна выполняться в течение каждого цикла тестирования в режиме *Online*. Проверка ячеек памяти выполняется перед их использованием;

– *некорректное выполнение любых используемых в системе команд.* Для проверки выполнимости всех используемых в системе команд в зависимости от всех условий, источников, целей и различного содержания всех адресных бит (включая загрузку счетчика команд) допускается генерирование этих команд в ОЗУ и их тестовое выполнение;

– *некорректная адресация*. Проверка корректности адресации выполняется, например, путем загрузки специальной комбинации данных в регистр или ячейку памяти, используемых для косвенной адресации, с последующим чтением и сравнением всех адресуемых регистров или ячеек памяти. Проверка выполняется с требуемой периодичностью;

– *любое некорректное содержание и (или) неправильное декодирование информации, хранящейся в ПЗУ*. Контроль осуществляется проверкой контрольной суммы. Проверка должна выполняться в течение каждого цикла тестирования.

Безопасные схемы отключения БСО должны обеспечивать гарантированное отключение, поэтому реализуются аппаратно. Наиболее часто БСО представляют собой либо коммутационные устройства (на базе реле, симисторов, тиристоров, мультиплексоров и т.п.), либо безопасные логические элементы «И», в которых на один из входов подается сигнал разрешения S . Безопасность в коммутационных устройствах обеспечивается либо использованием реле I класса надежности, либо двухполюсным размыканием управляющих цепей и контролем исправности ключей. Примеры аппаратных реализаций ССВК и БСО приведены ниже.

Достоинством данной структуры является относительная простота технической реализации и невысокая стоимость. Недостатки: обнаружение аппаратных отказов и сбоев только из заранее определенного перечня; дополнительные затраты на разработку специального самопроверяемого программного обеспечения; снижение эффективности из-за частого самоконтроля; невысокая эксплуатационная готовность, т. к. любой отказ переводит систему в нерабочее защитное состояние.

В связи с этими недостатками данная структура получила ограниченное применение. Используется для систем, с уровнем полноты безопасности не выше третьего. В качестве примера использования данной структуры можно привести систему микропроцессорной централизации VPI , разработанной GRS (США) [2].

2.2.2 Одноканальная система с диверситетным программным обеспечением

Структура одноканальной системы с диверситетным программным обеспечением представления на рисунке 2.4.

Программное обеспечение вычислительного канала ВК разделено на три части: две диверситетные программы «ПО $v.1$ » и «ПО $v.2$ » и сервисное ПО. Сервисное ПО выполняет функции ввода данных и синхронизации работы диверситетных программ. Входные данные сохраняются в отдельной области памяти. Затем последовательно вызываются диверситетные программы, на вход которых подаются одни и те же входные данные. Диверситетные

программы выполняют обработку данных по различным алгоритмам и вырабатывают управляющие воздействия Z_i , которые через безопасные схемы сравнения $БСС_{\&}$ поступают на объекты управления. Безопасные схемы $БСС_{\&}$ исключают возможность формирования активного сигнала управления (логической «1») при наличии различных сигналов на входах, то есть реализуют логическую функцию «И». На практике безопасные схемы $БСС_{\&}$ реализуют как часть устройств сопряжения с объектами.

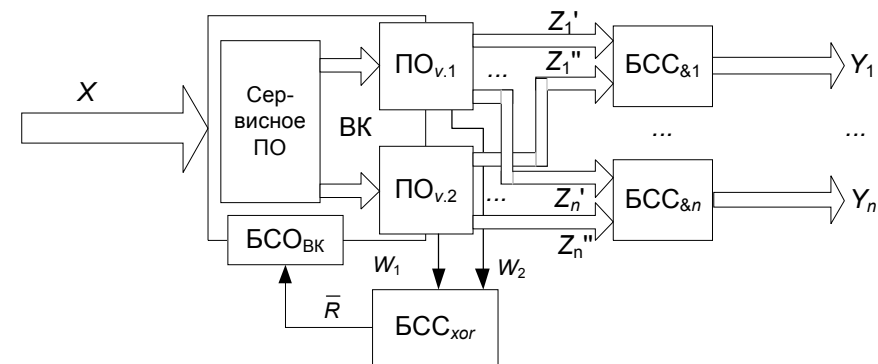


Рисунок 2.4 – Одноканальная структура с диверситетным программным обеспечением

Кроме управляющих воздействий диверситетные программы вырабатывают динамические контрольные сигналы W , которые поступают на вход безопасной схемы сравнения $БСС_{хор}$, выполняющей сравнение поступающих сигналов. Если сигналы W_1 и W_2 совпадают, то на выходе схемы формируется динамический сигнал подтверждения работоспособности ВК (сигнал \bar{R}). В случае обнаружения расхождения значений сигналов W_1 и W_2 прекращается формирование сигнала \bar{R} и посредством безопасной схемы отключения выполняется блокировка ВК в защитном состоянии ($БСО_{ВК}$).

Безопасная схема сравнения $БСС_{хор}$ и безопасная схема отключения $БСО_{ВК}$ могут быть реализованы как аппаратно, так и программно. Однако предпочтительной является аппаратная реализация, так как при программной реализации технологическое и контрольное ПО будут использовать одни и те же аппаратные средства. Следовательно, отказы аппаратуры могут исказить работу как диверситетных программ, так и контролирующего ПО, что может быть опасным.

Безопасность данной структуры во многом определяется степенью различия диверсистетных программ. Минимально необходимым считается такой уровень диверситета, при котором все отказы аппаратуры вызывают появление различных выходных сигналов, что должно приводить к блокировке системы в защитном состоянии. Некоторые способы достижения диверситета будут раскрыты ниже.

Достоинствами данной структуры являются достаточно высокая защищенность от ошибок в программном обеспечении, которая обеспечивается диверсистетностью ПО, и простота технической реализации. Основными недостатками являются: снижение быстродействия из-за повторного выполнения программ; невысокая эксплуатационная готовность, т.к. любой отказ переводит систему в нерабочее защитное состояние; высокие затраты на разработку диверсистетных версий ПО, которые достигают 70% общих затрат на разработку системы.

Несмотря на эти недостатки, данная структура получила широкое применение в 80–90-е гг. прошлого века. Такую структуру имела первая в мире система МПЦ *IZH-750 (Ebilock-750)* [2], внедренная на станции Гетеборг в 1978 г. В настоящее время структура вытесняется многоканальными системами. Это связано с тем, что в многоканальных структурах обеспечивается независимость отказов аппаратуры, а во многих случаях также возможно использование диверсистетного ПО в различных вычислительных каналах.

2.3 Многоканальные структуры безопасных систем

Многоканальные структуры безопасных микропроцессорных систем можно условно разделить на двух- и трехканальные. По способу организации контроля работоспособности каналов выделяют структуры с внутрипроцессорным и межпроцессорным контролем, реализованным в виде слабых, умеренных или сильных связей (рисунок 2.1). Рассмотрим наиболее распространенные многоканальные структуры более подробно.

2.3.1 Двухканальная система со слабыми связями

Двухканальная система со слабыми связями представлена на рисунке 2.5. Система включает в себя два вычислительных канала, один из которых (ВК1) выполняет все необходимые технологические операции, а второй (ВК2) контролирует правильность его функционирования. Входные данные могут поступать в вычислительные каналы двумя способами. В первом случае входные данные вводятся в вычислительные каналы одновременно через блок гальванической развязки ГР (на рисунке 2.5 выделен пунктиром). Галь-

ваническая развязка между каналами позволяет обеспечить независимость отказов в каналах. Отсутствие развязки может привести к тому, что отказ входного порта одного из каналов (например, короткое замыкание на землю одной из линий) приведет к чтению обоими каналами одинаково неправильных данных. Защититься от такого типа неисправностей можно использованием избыточного кодирования входной информации. При этом информация (или избыточный код) должны динамически изменяться с частотой, достаточной для исключения накопления отказов. В остальных случаях наличие гальванической развязки обязательно.

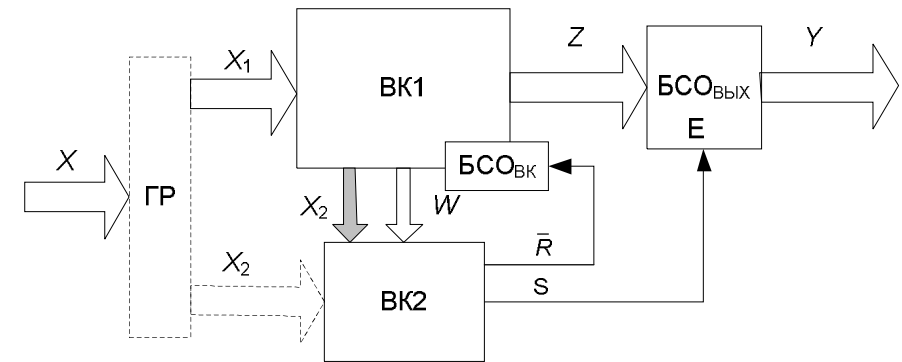


Рисунок 2.5 – Двухканальная система со слабыми связями

Альтернативным вариантом является ввод данных первым каналом и их ретрансляция на второй канал либо по отдельному интерфейсу (выделен на рисунке 2.5 серым цветом), либо по линиям обмена контрольной информацией *W*. В этом случае на организацию ввода данных налагается ряд ограничений. Входные данные должны кодироваться избыточным, динамически изменяемым кодом. Данные должны ретранслироваться на второй канал в закодированном виде без предварительной обработки первым каналом, чтобы исключить одинаковое искажение данных при неисправности в первом канале. Решение о корректности данных должен принимать второй канал самостоятельно на основании входных данных без «советов» первого канала.

Вычислительный канал ВК1 на основании поступившей информации вырабатывает управляющие воздействия *Z*, которые через безопасную схему отключения БСО_{ВЫХ} поступают на объекты управления. В процессе выполнения технологических алгоритмов ВК1 периодически формирует и передает по шине *W* контрольную информацию на вычислительный канал ВК2. Объ-

ем и периодичность контрольной информации должны быть достаточны для обнаружения любых отклонений от корректной работы ВК1.

Вычислительный канал ВК2 после обработки контрольной информации принимает решение о корректности выработанных ВК1 управляющих воздействий. Если управляющие воздействия считаются корректными, то ВК2 формирует динамические сигналы подтверждения работоспособности ВК1 (сигнал \bar{R}) и разрешения формирования сигналов управления исполнительными объектами Y (сигнал S). Кроме того, ВК2 обязан контролировать собственную исправность. В случае обнаружения отклонений в работе ВК1 прекращается формирование сигналов \bar{R} и S и посредством безопасных схем отключения выполняется блокировка ВК1 в защитном состоянии ($БСО_{ВК}$) и формирование защитных выходных воздействий ($БСО_{вых}$).

Контроль корректности работы вычислительных каналов может быть реализован различными способами. При организации параллельных вычислений по одинаковым алгоритмам возможно сравнение промежуточных результатов вычислений в контрольных точках. Сравнение результатов производится программно в ВК2. Однако наиболее распространенным способом является обработка одних и тех же данных с помощью диверситетных программ, загруженных в ВК1 и ВК2, с последующим сравнением результатов в ВК2. Другим способом является инверсная реализация алгоритмов. При этом сначала исходные данные обрабатываются в ВК1, который формирует управляющие воздействия. Полученные результаты передаются по шине W в канал ВК2, где они служат входными данными для инверсной программы, решающей подобную задачу, но по обратному алгоритму (например, если ВК1 решает задачу $y = \sin x$, то ВК2 – $x = \arcsin y$). Результаты выполнения инверсной программы должны совпадать с исходными данными $X2$. Недостатком инверсной реализации служит увеличение времени выработки управляющих воздействий, так как воздействия подаются на объекты управления только после того как ВК2 заново проведет все вычисления и выполнит сравнение полученных результатов. Распараллелить вычисления в этом случае невозможно.

Кроме того, возможно использование в ВК2 элементов экспертных систем, искусственного интеллекта и других средств, позволяющих адекватно оценить корректность функционирования вычислительных каналов. Например, в системе микропроцессорной централизации *Elektra*, разработанной фирмой *Alcatel Austria* совместно с Австрийским исследовательским центром в Зайберсдорфе, используются два одинаковых в аппаратном отношении канала с различным программным обеспечением. Контролирующий канал работает с экспертной системой *PAMELA*, которая методами искусственного интеллекта на базе заложенных в нее знаний дежурного по станции

и технологических инструкций осуществляет контроль правильности работы первого канала [15].

Достоинства данной структуры:

- возможность использования различных алгоритмов, методов и средств контроля, диверситетного аппаратного и программного обеспечения вычислительных каналов, что позволяет с высокой точностью обнаруживать отказы аппаратных средств и ошибки в программном обеспечении;
- простая синхронизация каналов, заключающаяся в одновременном считывании исходных данных вычислительными каналами, что упрощает схемную реализацию и уменьшает вероятность возникновения одинаковых отказов и сбоев в обоих каналах.

Недостатки структуры:

- относительно высокие затраты на проектирование диверситетных вычислительных каналов и программного обеспечения;
- сложность выбора точек для контроля промежуточных вычислений, т.к. требуется обеспечить высокую достоверность контроля при минимальном количестве проверок;
- возможность накопления маскируемых отказов в обоих вычислительных каналах;
- необходимость организации контроля за правильностью программного сравнения результатов в ВК2, т.к. отказы в ВК2 не должны искажать результаты контроля.

2.3.2 Двухканальная система с умеренными связями

Самой распространенной из двухканальных структур является структура с умеренными связями, представленная на рисунке 2.6. Система состоит из двух параллельно работающих вычислительных каналов, выполняющих одинаковые функции. Входные данные $X1$ и $X2$ вводятся в вычислительные каналы одновременно через блок гальванической развязки ГР. Оба канала выполняют обработку входной информации и вырабатывают выходные воздействия Z_i , которые через безопасные схемы сравнения БСС_& поступают на объекты управления.

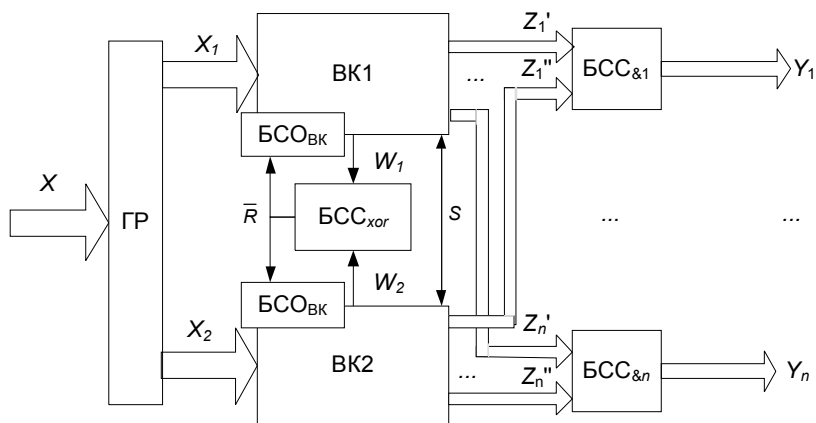


Рисунок 2.6 – Двухканальная система с умеренными связями

Кроме управляющих воздействий вычислительные каналы вырабатывают динамические контрольные сигналы W , которые поступают на вход безопасной схемы сравнения $БСС_{кор}$, которая выполняет сравнение поступающих сигналов. Если сигналы W_1 и W_2 совпадают, то на выходе схемы формируется динамический сигнал подтверждения работоспособности ВК (сигнал \bar{R}). В случае обнаружения расхождения значений сигналов W_1 и W_2 прекращается формирование сигнала \bar{R} и посредством безопасных схем отключения ($БСО_{ВК}$) выполняется блокировка вычислительных каналов в защитном состоянии.

Безопасная схема сравнения $БСС_{кор}$ и безопасные схемы отключения $БСО_{ВК}$ могут быть реализованы как аппаратно, так и программно. В структуре с умеренными связями широко применяется программная реализация. В этом случае программные модули, реализующие алгоритмы $БСС_{кор}$, дублируются и размещаются в различных вычислительных каналах. Программная реализация схем сравнения позволяет обеспечить более сложные алгоритмы проверок с минимальными затратами.

Работу вычислительных каналов требуется частично синхронизировать. Это связано с тем, что для обеспечения выработки одинаковых управляющих воздействий необходимо обеспечить одновременный ввод исходных данных для гарантии их идентичности. Кроме того, выходные воздействия Z должны поступать на схемы сравнения одновременно, что тоже требует синхронизации. Синхронизация осуществляется посредством специальных линий S , по которым осуществляется обмен информацией между каналами.

Наиболее широко применяются следующие способы синхронизации. В первом случае выделяются специальные сигналы готовности к приему и вы-

даче данных. Канал, который сформировал управляющие воздействия раньше, выставляет сигнал готовности и ожидает появления аналогичного сигнала у второго канала. Когда второй канал сформирует свои управляющие воздействия и выставит сигнал готовности, то оба канала одновременно выставляют данные на схемы сравнения. Такой способ очень прост в реализации, но имеет большой недостаток: при зависании одного из каналов, второй канал будет ждать от него сигнала готовности, не выставляя новые данные на сравнение. При этом на входах схемы сравнения будут присутствовать старые правильные сигналы, и блокировка каналов в защитном состоянии не произойдет. Поэтому в схеме сравнения необходимо контролировать актуальность входных сигналов, и если они не обновлялись в течение указанного времени, то принимать решение об отказе каналов.

При втором способе каналы постоянно (с определенной частотой) обмениваются данными, полностью определяющими внутреннее состояние каналов. В конце каждого обмена данными выполняется их сравнение с собственными данными. В случае расхождения данных включается отсчет времени (таймер), в течение которого должна восстановиться синхронизация. Обычно этот интервал времени равен двум-трем циклам обмена данными. Если синхронизация восстанавливается, то таймер сбрасывается, иначе принимается решение об отказе в каналах. Данный способ применим только в том случае, когда частота обмена информацией между каналами значительно выше частоты изменения внутреннего состояния каналов.

Система с умеренными связями допускает использование программного и аппаратного диверситета. При использовании программного диверситета в каждый канал загружается различное программное обеспечение, выполняющее идентичные функции. Наиболее часто диверситет обеспечивается применением различных операционных систем (*Windows NT* и *Pharlap* в МПЦ *ESA-11*, разработанной ОАО «АЖД Прага», *Windows Embedded* и *Linux* в МПЦ «ипуть», разработанной в БелГУТе) или использованием различных алгоритмов обработки информации (компьютер централизации МПЦ *Ebilock-950*, разработанной *ABB Signal*) [4].

При использовании аппаратного диверситета каналы базируются на различных аппаратных платформах. Например, в МПЦ «*Alistar*», разработанной *Vossloh System-Technik Malmö*, один канал реализован на процессоре *Intel*, а второй – на процессоре *Motorola* [4]. Безопасность системы тем выше, чем сильнее диверситет. При использовании диверситета время реакции различных каналов может существенно отличаться. При этом время выполнения одного функционального цикла (от считывания входных данных до выдачи управляющих воздействий) системы в целом определяется самым

медленным каналом, так как благодаря синхронизации более быстрый канал будет ожидать завершения цикла другим каналом.

Рассмотренная структура получила широкое распространение благодаря разнообразию используемых средств и алгоритмов контроля, относительно простой реализации схем сравнения, возможности использования программного и аппаратного диверситета.

2.3.3 Двухканальная система с сильными связями

Двухканальная система с сильными связями представлена на рисунке 2.7. В отличие от остальных структур системы с сильными связями предполагают синхронную работу обоих вычислительных каналов. Синхронизация выполняется не только по входам и выходам, как в системе с умеренными связями, но и в течение всего функционального цикла. Высокая степень синхронизации работы обоих каналов предполагает использование полностью идентичного аппаратного и программного обеспечения. Наиболее часто используются два способа синхронизации: по тактам (пошаговое выполнение) или по командам.

В первом случае оба канала тактируются одним двухканальным тактовым генератором ТГ, то есть применяется аппаратная синхронизация. При поступлении тактовых импульсов T_1 и T_2 вычислительные каналы выполняют один машинный цикл и ожидают поступления следующего такта. В это время с шины данных снимается контрольная информация W_1 и W_2 и подается на входы БСС_{xor}. При совпадении данных БСС_{xor} вырабатывает динамический сигнал подтверждения работоспособности ВК (сигнал \bar{R}). В случае обнаружения расхождения значений сигналов W_1 и W_2 прекращается формирование сигнала \bar{R} и посредством безопасных схем отключения (БСО_{ВК}) выполняется блокировка вычислительных каналов в защитном состоянии. Такой способ синхронизации обеспечивает очень высокую безопасность, так как время обнаружения расхождения в работе каналов равно одному такту генератора и не превышает несколько микросекунд.

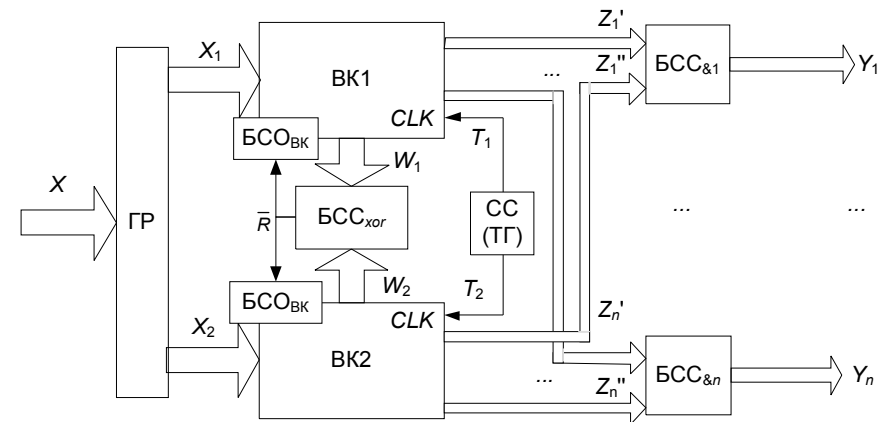


Рисунок 2.7 – Двухканальная система с сильными связями

Синхронизация выполнения программного обеспечения упрощает сравнение и распределение входных данных. Для программиста многоканальная система не отличается от одноканальной, поскольку все вычислительные каналы выполняют одни и те же задачи. Например, при тестировании программ программист может без последствий для этих программ сократить систему до одноканальной, подключив шины и соответственно периферийные блоки всех вычислительных каналов только к одному каналу. Благодаря этому проявляется возможность использовать обычные средства тестирования (например, внутрисхемный эмулятор).

К генератору предъявляются специальные требования по независимой синхронной работе тактовых выходов. Это означает, что никакие неисправности не должны приводить к одинаковым искажениям тактовых сигналов на различных выходах, в том числе не должно одновременно прерываться формирование тактовых импульсов на выходах генератора. Это связано с тем, что контрольная информация W сменяется только при поступлении тактового импульса. Если на оба канала одновременно перестанут поступать тактовые импульсы, то каналы зависнут, а так как на входах БСС_{xor} будут присутствовать предыдущие правильные данные, то блокировка каналов не произойдет. Такая ситуация является опасной, так как перестанут проверяться условия безопасности и не будут выполнены соответствующие действия при нарушении условий безопасности, например, в установленном маршруте при потере контроля стрелки не будет перекрыт сигнал. Предотвратить подобную ситуацию можно использованием сторожевых таймеров в вычисли-

тельных каналах, которые при зависании каналов могут выполнить их перезагрузку с переводом системы в защитное состояние.

Еще одним недостатком использования общего тактового генератора является ограничение по частоте. Это связано с тем, что BCC_{xor} должна успеть выполнить сравнение сигналов W_1 и W_2 и сформировать сигнал \bar{R} в промежутке между тактами. Поэтому быстроедействие системы в большей степени зависит от быстрогодействия BCC_{xor} , чем от производительности используемых процессоров.

Примером реализации пошагового выполнения может служить безопасный микропроцессорный блок *SIMIS-C*, разработанный фирмой *Siemens* на базе 8-миразрядного процессора [3].

Синхронизация по командам осуществляется в МЦ нового поколения не в каждом такте обработки, а после выполнения нескольких команд. Каждый канал тактируется собственным тактовым генератором. После перезапуска системы производится обмен данными между каналами. В результате обмена данными устанавливается общий одинаковый момент обработки данных и включаются устройства синхронизации (СС), которые обеспечивают управление и контроль обработки программ с синхронным выполнением команд. Для выравнивания скоростей обработки в каналах, получающих независимые тактовые сигналы, они синхронизируются каждые N команд через блок управления состоянием готовности процессора. Поскольку почти все стандартные процессоры обладают способностью поддерживать состояние ожидания при помощи этого блока, применяемый метод синхронизации не зависит от типа процессора. Количество команд N , после выполнения которых производится синхронизация, зависит от производительности процессоров: чем выше производительность, тем через большее число команд необходимо выполнять синхронизацию. Например, в блоке *SIMIS 3116*, использующем 16-разрядный процессор, синхронизация выполняется на каждой десятой команде. При этом уменьшение производительности вследствие синхронизации составляет менее 5 % [16].

Сравнение результатов обработки при синхронизации по командам может производиться как исключительно техническими средствами, так и частично на уровне программного обеспечения. Полностью программное сравнение результатов не применяется.

Структура с сильными связями по сравнению с другими структурами обладает самым высоким уровнем безопасности, который зависит от вида и числа контролируемых разрядов (сигналы W_1 и W_2) и частоты синхронизации. Одиночные отказы не опасны и должны обнаруживаться BCC_{xor} .

Недостатком структуры является невозможность использовать ни программный, ни аппаратный диверситеты, поэтому к программному обеспече-

нию предъявляются высокие требования по его безопасности. Это связано с тем, что любая ошибка в программном обеспечении ввиду идентичности каналов будет одинаково искажать работу этих каналов и не будет обнаружена контрольными средствами. Поэтому программное обеспечение проходит полное тестирование функциональных алгоритмов, а в некоторых случаях и доказательство правильности функционирования, что приводит к значительному увеличению затрат на разработку ПО.

Кроме того, если множество входных воздействий X не обеспечивает необходимой глубины проверки каналов обработки информации, то возможно появление маскируемых отказов, т.е. отказов, которые не проявляются на данном промежутке времени в виде расхождения сигналов W_1 и W_2 . Накопление таких отказов может привести к опасному отказу системы. Это тем более актуально, что некоторые алгоритмы функционирования системы могут выполняться очень редко (один раз в неделю или один раз в месяц). Для исключения подобной ситуации системы с сильными связями оснащаются мощными средствами самотестирования, которые периодически контролируют исправность аппаратуры и целостность программного обеспечения.

Поэтому системы с сильными связями имеют очень высокую стоимость, в два-три раза превышающую стоимость аналогичных по функциям систем с умеренными связями.

2.3.4 Двухканальная самопроверяемая система

Двухканальная самопроверяемая система представлена на рисунке 2.8. Самопроверяемая дублированная система состоит из двух каналов, построенных в виде самопроверяемых устройств. Каждый вычислительный канал снабжается самопроверяемой схемой внутреннего контроля ССВК, задачей которой является обнаружение неисправностей заданного класса в вычислительном канале и собственных неисправностей. На входы ССВК поступает внутренняя информация вычислительного канала, на основании которой ССВК может сделать вывод об исправной работе ВК и корректности формируемых выходных сигналов.

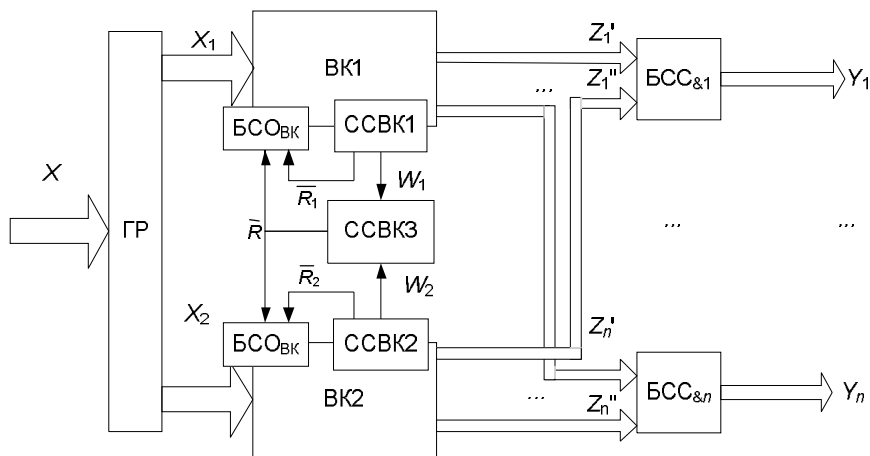


Рисунок 2.8 – Двухканальная самопроверяемая система

При исправной работе вычислительных каналов ССВК формируют динамические сигналы подтверждения работоспособности ВК (сигналы \bar{R}_1 и \bar{R}_2) и контрольные сигналы W_1 и W_2 , которые поступают на общую схему внутреннего контроля ССВК3. При наличии корректных сигналов W_1 и W_2 ССВК3 формирует общий сигнал подтверждения работоспособности каналов \bar{R} . Выходные воздействия Z сравниваются выходными безопасными схемами сравнения БСС_&. В случае обнаружения отклонения в работе какого-либо канала ССВК данного канала прекращает формирование сигнала \bar{R}_i и посредством безопасной схемы отключения БСС_{ВК} выполняет блокировку ВК в защитном состоянии. При этом ССВК неисправного канала прекращает формировать контрольный сигнал W . ССВК3 прекращает формирование сигнала \bar{R} , что приводит к блокировке второго канала. Выходные безопасные схемы сравнения БСС_& формируют защитные выходные воздействия Z .

Самоконтроль каналов может быть аппаратный или программный. Возможно использование аппаратного или программного диверситета.

Достоинством данной структуры является относительная простота технической реализации и невысокая стоимость. По безопасности структура превосходит одноканальные структуры за счет использования безопасных выходных схем сравнения, но уступает системам с умеренными и сильными связями. Недостатки: обнаружение аппаратных отказов и сбоев только из заранее определенного перечня; дополнительные затраты на разработку специального самопроверяемого программного обеспечения; снижение эффек-

тивности из-за частого самоконтроля; невысокая эксплуатационная готовность, т. к. любой отказ переводит систему в нерабочее защитное состояние.

Данная структура была использована в микропроцессорной централизации *EIA* фирмы *AEG* [17]. Эта система состоит из двух идентичных вычислительных каналов с одинаковым программным обеспечением, построенных на базе микропроцессорной системы с безопасными отказами *LOGISIRE C*. Каналы работают независимо друг от друга. Безопасность функционирования обеспечивается специальной операционной системой и защищенным от опасных отказов устройством контроля и отключения.

2.3.5 Организация резерва в одноканальных и двухканальных структурах

Недостатком всех рассмотренных выше одноканальных и двухканальных структур является то, что при обнаружении отказа система блокируется в защитном состоянии. При этом система выполняет только функции по обеспечению безопасности и не работает по своему функциональному назначению. Таким образом, любой отказ может привести к задержке движения поездов. На малоделятельных линиях такой подход оправдан, но в случае интенсивного движения в одноканальных и двухканальных структурах необходимо применять резервирование, которое предусматривает наличие еще одного комплекта технических средств, подключаемого к входным и управляющим цепям аналогично основному комплекту.

Различают нагруженное («горячее»), облегченное («теплое») и ненагруженное («холодное») резервирование. При использовании нагруженного резерва (рисунок 2.9) резервный комплект работает параллельно с основным. При этом нет никаких различий в функционировании основного и резервного комплектов. На их входы через гальваническую развязку ГР поступает полностью идентичная информация, выходы подключаются к объектам управления по схеме «ИЛИ» с помощью безопасных выходных схем БС_{ор} для того, чтобы сохранялась возможность управления объектами при отказе и блокировке одного из комплектов. При этом второй комплект продолжает выполнять технологические функции в полном объеме, пока не будет восстановлена работоспособность первого комплекта. Так как при отказе одного из комплектов перерыва в работе системы не наступает, то нагруженное резервирование обеспечивает высокий коэффициент готовности. Примерами использования нагруженного резерва являются МПЦ *ESA-11-BC* и МПЦ «Ипуть» [4].

Недостатком горячего резервирования является необходимость в периодической синхронизации работы комплектов. Это необходимо для исключения ситуаций, связанных с одновременной реализацией команд. Например, при выполнении команды на установку маршрута комплект, получив-

ший команду первым, начинает перевод стрелки, и стрелка теряет контроль. Второй комплект в это время опрашивает состояние потерявшей контроль стрелки и принимает решение о невозможности установки маршрута. Первый комплект устанавливает маршрут и открывает сигнал. Комплекты оказываются рассогласованными.

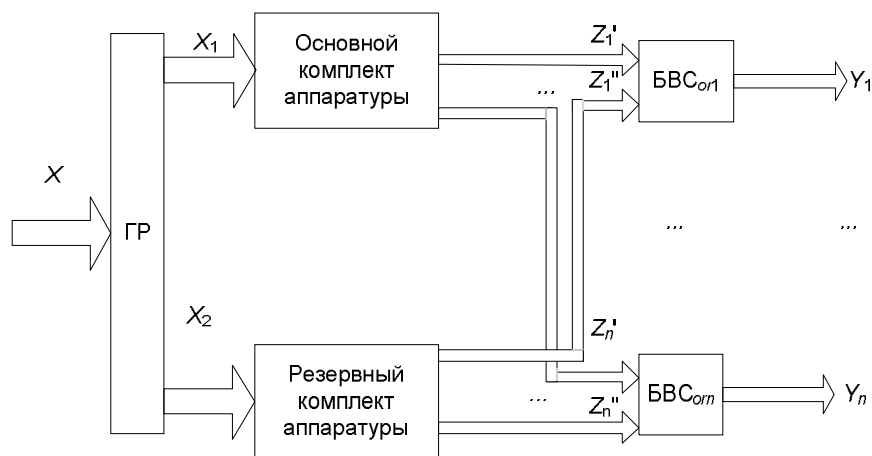


Рисунок 2.9 – Схема реализации нагруженного резерва

Если после того как поезд начнет движение по маршруту произойдет отказ в первом комплекте, то возникнет ситуация движения по незакрытому маршруту, что является опасным, так как возможен перевод стрелки под составом, установка враждебного маршрута и т.п.

Вторым недостатком нагруженного резерва является то, что резервный комплект работает в таких же условиях, что и основной. Поэтому интенсивность отказов резервного комплекта такая же, как и у основного, поэтому увеличиваются затраты на техническое обслуживание и ремонт.

Несмотря на недостатки, наличие нагруженного резерва является обязательным требованием для большинства систем, применяемых на магистральных железных дорогах.

При использовании облегченного резерва (рисунок 2.10) входы и выходы обоих комплектов подсоединены к безопасным коммутационным схемам БКС, которые позволяют подключить входы и выходы одного из комплектов к контрольным (X) и исполнительным (Y) цепям объектов управления. При исправности основного комплекта он формирует динамический сигнал E , подтверждающий его работоспособность. При поступлении сигнала E на

адресный вход БКС к контрольным и управляющим цепям исполнительных объектов подключаются входы и выходы основного комплекта. Входы и выходы резервного комплекта отключены от объектов управления. При возникновении неисправности в основном комплекте и его блокировке прекращается генерация сигнала E и БКС переключает цепи на управление с основного на резервный комплект. Таким способом реализовано резервирование в компьютере централизации *Ebilock-950* [4].

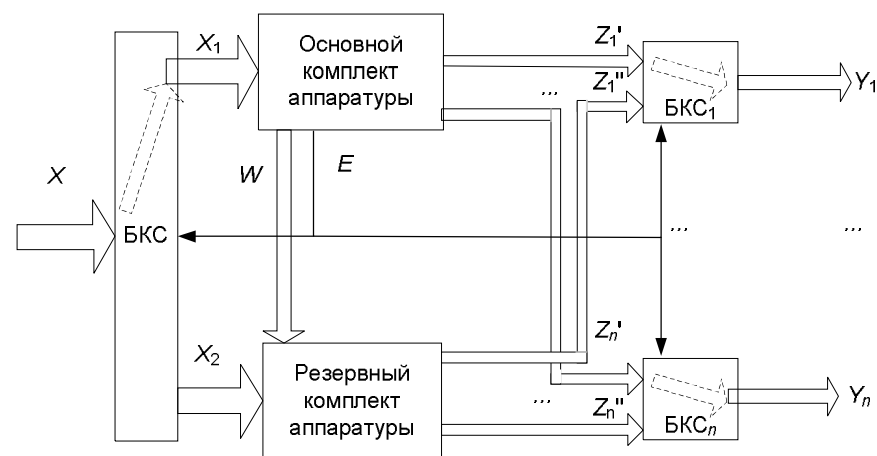


Рисунок 2.10 – Схема реализации облегченного резерва

Особенностью реализации облегченного резерва является то, что хотя резервный комплект отключен от объектов управления и контроля, он должен получать некоторую часть технологической информации W с основного комплекта, такую, например, как информация об установленных маршрутах. Это необходимо для корректного перехода на управление с резервного комплекта при отказе основного.

Недостатком облегченного резервирования является наличие некоторого промежутка времени инициализации, необходимого резервному комплекту для начала работы. В этот промежуток времени входит не только время перекоммутации выводов, но и чтение входных данных, их обработка, сравнение с технологической ситуацией, полученной с основного комплекта, выработка управляющих воздействий. В течение этого времени невозможно осуществлять управление объектами. Чем в большем объеме передается технологическая информация с основного комплекта на резервный, тем меньше время инициализации, но снижается производительность и сложнее реализо-

вать синхронизацию поступающей информации в каналах резервного комплекта. Преимуществом облегченного резервирования является то, что резервный комплект работает в более мягких условиях эксплуатации и имеет более низкую интенсивность отказов.

При использовании ненагруженного резерва предполагается одновременная работа только одного комплекта, второй (резервный) должен быть выключен. Входы и выходы резервного комплекта могут быть подключены непосредственно к цепям управления, как в схеме нагруженного резерва, или через коммутационные схемы, как при облегченном резервировании. При отказе основного комплекта и его блокировке основной комплект выключается и включается резервный, который после инициализации может приступить к выполнению технологических операций.

Преимуществами ненагруженного резерва является простота реализации. Кроме того, выключенный комплект имеет на порядок меньшую интенсивность отказов. Недостатками ненагруженного резерва являются достаточно большое время инициализации резерва, потеря информации о текущей технологической ситуации (например, установленных маршрутах) при отказе основного комплекта и, как следствие, более низкий коэффициент готовности системы.

Чаще всего в качестве резерва используются аппаратные и программные средства, идентичные основному комплекту. Однако возможно использование различных структур в основном и резервном каналах, например в основном канале может использоваться двухканальная система с сильными связями, а в резервном – двухканальная с умеренными связями. Такой подход не получил широкого распространения, так как не дает существенного выигрыша в надежности и безопасности системы, но значительно увеличивает затраты на разработку и сопровождение.

2.3.6 Трехканальная система с умеренными связями

Трехканальная система с умеренными связями представлена на рисунке 2.11. Система состоит из трех параллельно работающих вычислительных каналов, выполняющих одинаковые функции. Входные данные X вводятся в вычислительные каналы одновременно через блок гальванической развязки ГР. Каналы выполняют обработку входной информации и вырабатывают выходные воздействия Z_i , которые через безопасные мажорирующие элементы БМЭ_{*i*} поступают на объекты управления.

Кроме управляющих воздействий вычислительные каналы вырабатывают динамические контрольные сигналы W , которые поступают на вход безопасной схемы определения номера отказавшего канала СОНОК, выполняющей анализ поступающих сигналов. Если сигналы W_1 , W_2 и W_3 идентичны,

то на выходе схемы формируются динамические сигналы подтверждения работоспособности вычислительных каналов (\bar{R}_1 , \bar{R}_2 и \bar{R}_3). В случае обнаружения расхождения значений сигналов W_1 , W_2 и W_3 определяется номер канала, у которого сигнал W отличается от контрольных сигналов остальных каналов и прекращается формирование соответствующего сигнала \bar{R} . посредством безопасной схемы отключения (БСО_{ВК}) выполняется блокировка неисправного канала в защитном состоянии. Трехканальная структура деградирует до двухканальной. При этом полностью сохраняется работоспособность системы и поддерживается необходимый уровень безопасности.

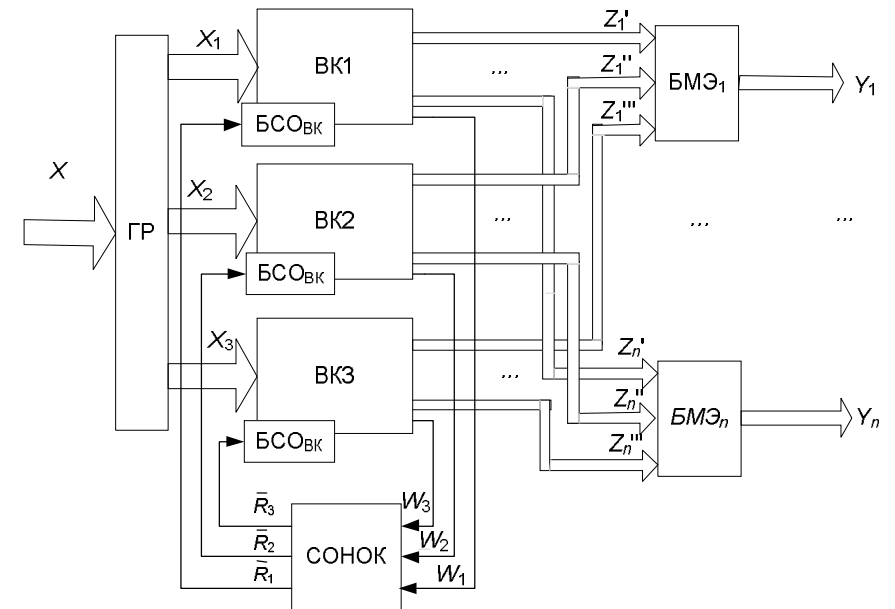


Рисунок 2.11 – Трехканальная система с умеренными связями

Способы реализации структурных элементов системы, алгоритмы функционирования и синхронизация не отличаются от их реализации в двухканальных системах. Применение диверситета в трехканальных структурах ограничено в связи со значительным ростом затрат.

Полученная структура получила широкое распространение благодаря разнообразию используемых средств и алгоритмов контроля и относительно простой реализации. Данная структура используется в микропроцессорных

устройствах, разработанных фирмой *Alcatel SEL*, в частности в микропроцессорной централизации *ESTW L90* [18].

2.3.7 Трехканальная система с сильными связями

Трехканальная система с сильными связями представлена на рисунке 2.12. Синхронизация каналов выполняется так же, как и в двухканальной системе с сильными связями, поэтому все три канала должны иметь полностью идентичное аппаратное и программное обеспечения.

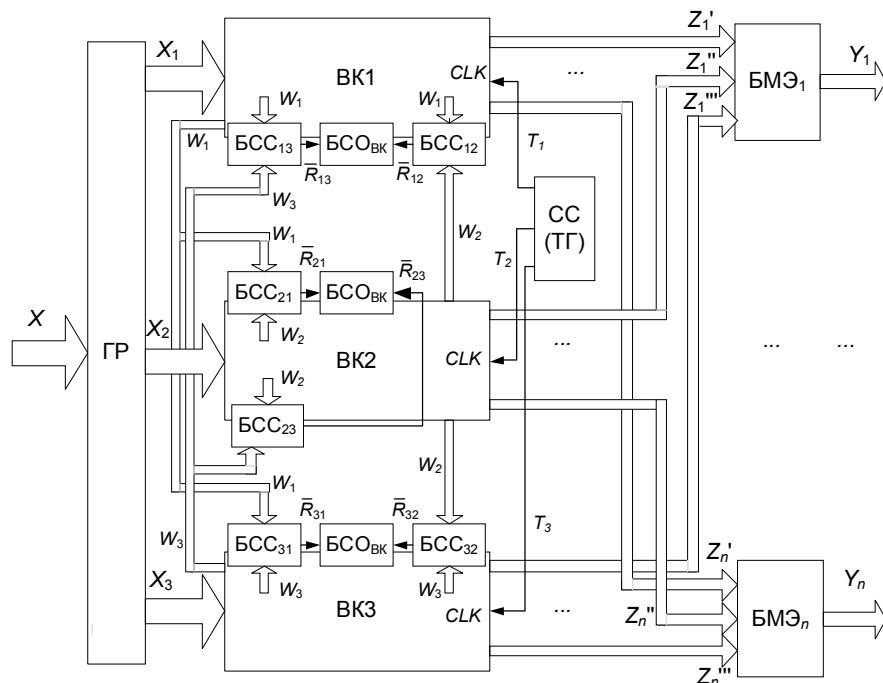


Рисунок 2.12 – Трехканальная система с сильными связями

Входные данные X вводятся в вычислительные каналы одновременно через блок гальванической развязки ГР. Каналы выполняют обработку входной информации и вырабатывают выходные воздействия Z_i , которые через безопасные мажорирующие элементы БМЭ_{*i*} поступают на объекты управления.

Синхронизация каналов может быть выполнена как по тактам, так и по командам (см. п. 2.3.3). Все каналы тактируются одной трехканальной схемой синхронизации СС. При поступлении тактовых импульсов T_1, T_2 и T_3

вычислительные каналы выполняют один такт и ожидают поступления следующего такта. В это время с шин данных снимается контрольная информация W_1, W_2 и W_3 и подается на входы БСС. Каждый вычислительный канал имеет две БСС, которые сравнивают контрольную информацию собственного канала с аналогичной информацией других каналов. При совпадении данных БСС вырабатывают динамические сигналы подтверждения работоспособности ВК (сигналы \bar{R}), которые поступают на безопасные схемы отключения каналов БСО_{БК}, где они обрабатываются по схеме логического «ИЛИ».

В случае обнаружения расхождения значений контрольных сигналов БСС прекращает формирование сигнала \bar{R} . Если искажение контрольной информации произошло, например, в канале ВК1, то схемы сравнения этого канала БСС₁₂ и БСС₁₃ зафиксируют отклонения и прекратят формирование сигналов \bar{R}_{12} и \bar{R}_{13} . В этом случае безопасная схема отключения (БСО_{БК}) выполнит блокировку вычислительного канала ВК1 в защитном состоянии.

Кроме того отклонения зафиксируют БСС₂₁ вычислительного канала ВК2 и БСС₃₁ вычислительного канала ВК3. Они также прекратят формирование сигналов \bar{R}_{21} и \bar{R}_{31} соответственно. Но БСС₂₃ и БСС₃₂ будут продолжать генерировать сигналы \bar{R}_{23} и \bar{R}_{32} , поэтому вычислительные каналы ВК2 и ВК3 будут работать в штатном режиме. При этом трехканальная система деградирует до двухканальной.

Достоинства и недостатки трехканальной структуры с сильными связями аналогичны достоинствам и недостаткам двухканальной структуры и подробно рассмотрены в п. 2.3.3. По сравнению с двухканальной системой трехканальная имеет более высокую надежность, но и более высокую стоимость в связи со сложностью ее реализации.

Представленная структура используется в микропроцессорных устройствах, разработанных фирмой *Siemens*, в частности в микропроцессорном блоке *SIMIS 3116* [16].

2.3.8 Трехканальная самопроверяемая система

Трехканальная самопроверяемая система представлена на рисунке 2.13. Самопроверяемая трехканальная система состоит из трех каналов, построенных в виде самопроверяемых устройств. Каждый вычислительный канал снабжается самопроверяемой схемой внутреннего контроля ССВК, задачей которой является обнаружение неисправностей заданного класса в вычислительном канале и собственных неисправностей. На входы ССВК поступает внутренняя информация вычислительного канала, на основании которой

ССВК может сделать вывод об исправной работе ВК и корректности формируемых выходных сигналов.

При исправной работе вычислительных каналов ССВК формируют динамические сигналы подтверждения работоспособности ВК (сигналы $\bar{R}_1 - \bar{R}_3$) и контрольные сигналы $W_1 - W_3$. Контрольные сигналы $W_1 - W_3$ поступают на мажоритарный элемент контроля МЭК. При наличии корректных сигналов W хотя бы на двух входах МЭК формирует общий сигнал подтверждения работоспособности каналов \bar{R} .

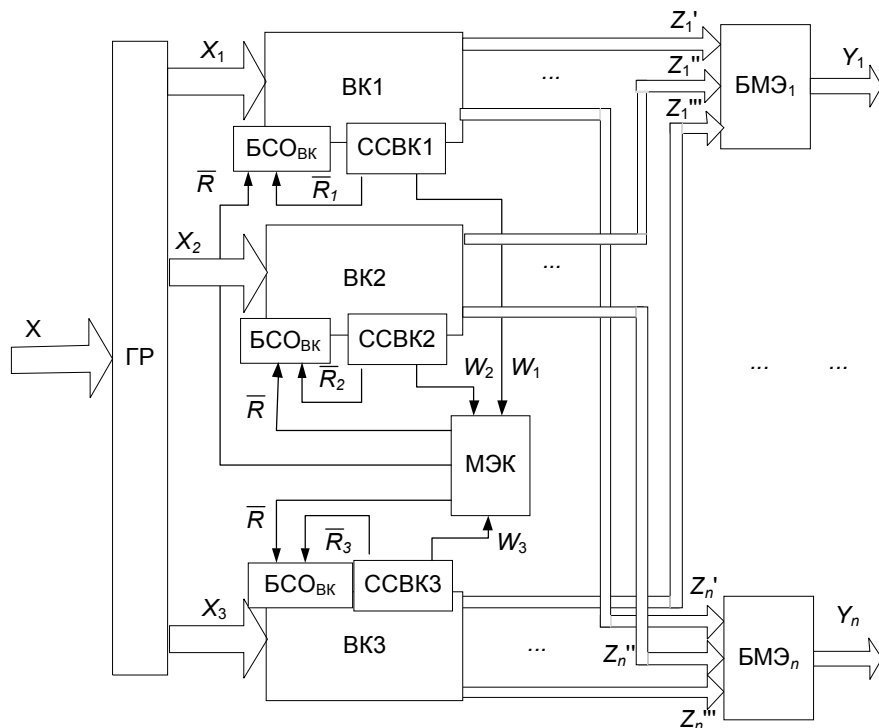


Рисунок 2.13 – Трехканальная самопроверяемая система

Входные данные X вводятся в вычислительные каналы одновременно через блок гальванической развязки ГР. Каналы выполняют обработку входной информации и вырабатывают выходные воздействия Z_i , которые через безопасные мажорирующие элементы БМЭ₁ поступают на объекты управления.

В случае обнаружения отклонения в работе какого-либо канала ССВК данного канала прекращает формирование сигнала \bar{R}_i и посредством безопасной схемы отключения БСС_{ВК} выполняет блокировку этого канала в защитном состоянии. При этом ССВК неисправного канала прекращает формировать контрольный сигнал W . Так как на два из трех входов МЭК продолжают поступать корректные сигналы, то он продолжает формировать сигнал подтверждения работоспособности каналов \bar{R} . При этом трехканальная система деградирует до двухканальной самопроверяемой структуры. Если происходит отказ еще одного канала, то ССВК этого канала выполняет его блокировку. Корректный контрольный сигнал будет поступать только на один из входов МЭК, поэтому МЭК прекратит формировать сигнал \bar{R} и выключит оставшийся вычислительный канал. Система перейдет в защитное состояние.

Достоинства и недостатки трехканальной самопроверяемой структуры аналогичны достоинствам и недостаткам двухканальной структуры и подробно рассмотрены в п. 2.3.4. По сравнению с двухканальной системой трехканальная имеет более высокую надежность, но и более высокую стоимость в связи со сложностью ее реализации.

2.4 Разработка структурной схемы устройства

Для разработки структурной схемы устройства необходимо выбрать из типовых структур наиболее подходящую структуру, изучить ее организацию и назначение типовых функциональных блоков. Следующим этапом необходимо детализировать типовую структуру до блоков, каждый из которых будет в дальнейшем представлен отдельным конструктивным элементом (платой). На структурной схеме для лучшего ее понимания должны быть представлены датчики и исполнительные устройства, которые являются по отношению к разрабатываемому модулю внешними устройствами.

Рассмотрим структурную схему модуля управления проходным светофором. В качестве примера выберем двухканальную систему с умеренными связями, аппаратным диверситетом и аппаратным отключением системы.

Первоначально определимся с элементной базой разрабатываемого устройства. Если по заданию предполагается аппаратный диверситет, то необходимо выбрать один из следующих вариантов:

- микроконтроллеры с различной организацией, например с *RISC* и *CISC* архитектурой;
- микроконтроллер и универсальный микропроцессор или промышленный контроллер на базе универсального процессора;

– микроконтроллер и программируемая логическая интегральная схема (ПЛИС).

Так как по заданию предполагается аппаратный диверситет, то выберем микроконтроллеры с различной организацией, например микроконтроллеры серий PIC16 и MC51. Микроконтроллер PIC16 имеет RISC-архитектуру, а MC51 – CISC-архитектуру.

Следующим этапом необходимо определиться с цифровым интерфейсом для подключения модема. Выберем модем AnCom ST, который разработан ООО “Аналитик-ТС” для российских телефонных линий, обладает высокой помехозащищенностью, расширенными допусками на воздействие дестабилизирующих факторов и широкими возможностями по настройке на реальные каналы связи. Модем может быть подключен к контроллеру по стыку RS-232C, RS-485 или USB. В нашем случае будем использовать интерфейс RS-485.

Получившаяся структурная схема модуля управления проходным светофором представлена на рисунке 2.14.

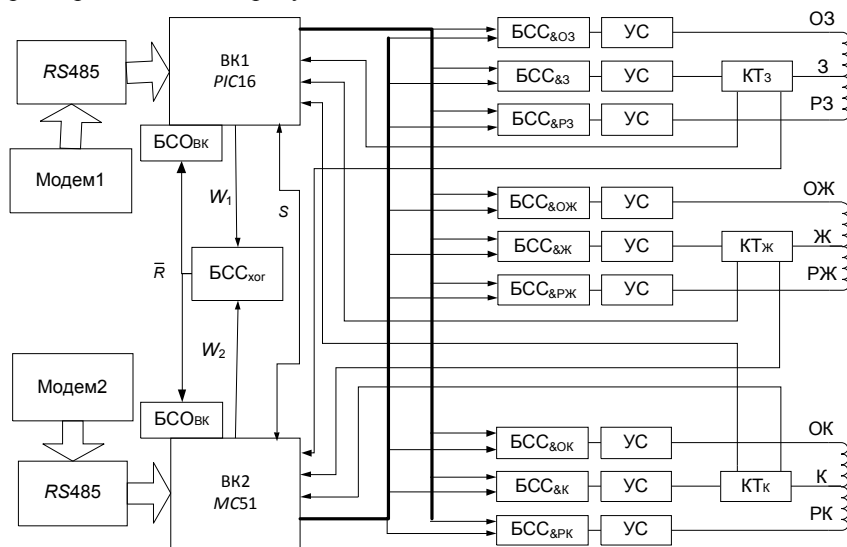


Рисунок 2.14 – Структурная схема двухканального модуля управления проходным светофором с умеренными связями

Модуль включает в себя два диверситетных вычислительных канала BK1 и BK2. Каждый из каналов через преобразователи уровня RS485 и модемы подключен к своей линии связи. Каналы работают в асинхронном режиме,

синхронизация выполняется по линиям S в определенных точках технологического алгоритма (перед выдачей контрольных сигналов W). Контрольные сигналы W с каждого канала поступают на блок БСС_{хор}, где они сравниваются. В случае совпадения контрольных сигналов принимается решение о правильной работе каналов и формируется динамический сигнал \bar{R} , который поступает на входы безопасных схем отключения вычислительных каналов БСО_{ВК}. При наличии сигнала \bar{R} вычислительные каналы продолжают работу. В случае, если БСС_{хор} обнаружит расхождение сигналов W_1 и W_2 , сигнал \bar{R} станет статическим, и БСО_{ВК}, в соответствии с заданием выполнит аппаратное отключение каналов.

Каждый вычислительный канал имеет девять выходов и три входа для включения и контроля горения трех ламп светофора. Для включения одной лампы необходимо подать два активных сигнала на соответствующие выходы микроконтроллера. Например, для включения основной нити зеленого огня необходимо выставить активные сигналы ОЗ и З. Соответствующие сигналы с обоих микроконтроллеров поступают на входы безопасных схем сравнения БСС_{&O3} и БСС_{&З}. В случае совпадения сигналов схемы сравнения формируют активные сигналы на входы устройств сопряжения УС. Устройства сопряжения формируют электрические сигналы, обеспечивающие горение соответствующей лампы светофора. При протекании тока через нить накала на выходах устройства контроля тока КТ_З появляются сигналы, информирующие микроконтроллеры о горении лампы. Схема составлена таким образом, что одним устройством контроля тока контролируется горение как основной, так и резервной нитей. Какая из нитей контролируется, определяется выходными управляющими сигналами. Если активны выходы ОЗ и З, то контролируется основная нить, если активны выходы З и РЗ, – то резервная.

Гальваническая развязка между каналами обеспечивается:

- по цифровому интерфейсу RS485 – за счет использования отдельных интерфейсов для каждого канала;
- по линиям синхронизации S – использованием симплексного (одностороннего) способа передачи информации, когда по одной линии передает первый микроконтроллер, а второй принимает, а по второй линии передает второй микроконтроллер, а первый принимает;
- в устройствах БСС и КТ – внутренней гальванической развязкой.

В устройствах БСО гальваническая развязка не выполняется, а доказывается, что любой отказ приведет к отключению всей системы, что является защитным отказом.

Таким образом, представленное на структурной схеме устройство позволяет безопасно выполнить все функции, указанные в задании на курсовой проект.

3 РАЗРАБОТКА ПРИНЦИПАЛЬНЫХ СХЕМ УСТРОЙСТВ ВНУТРЕННЕГО КОНТРОЛЯ И СРАВНЕНИЯ

3.1 Принципы построения безопасных схем внутреннего контроля и сравнения

Обмен информацией между отдельными элементами микропроцессорной системы осуществляется через шины внутреннего интерфейса. Поэтому при контроле совпадения сигналов на этих шинах с заранее известными тестовыми значениями можно утверждать, что микропроцессорная система в процессе выполнения рабочих и тестовых алгоритмов функционирует без отказов. Таким образом можно контролировать исправность внутренних функциональных узлов вычислительных каналов.

В большинстве случаев устройство внутреннего контроля не определяет, какой узел отказал, а просто фиксирует отклонение в работе вычислительного канала. Устройство внутреннего контроля должно выполнять следующие функции:

- формирование динамического сигнала подтверждения работоспособности канала при поступлении корректной информации на вход схемы контроля;
- блокировка работы схемы контроля при отклонении в работе вычислительного канала. При этом должно прекращаться формирование динамического сигнала подтверждения работоспособности канала. Формирование сигнала не должно самостоятельно возобновляться после восстановления корректности входной информации;
- самоконтроль и самоблокировка при отказах в элементах схемы контроля;
- выход из состояния блокировки только с помощью специальных сигналов восстановления работоспособности.

Кроме того, желательно, чтобы схема контроля определяла, что является причиной блокировки: отказ или кратковременный сбой в работе вычислительного канала, выполняя при сбое автоматический перезапуск схемы контроля.

Наиболее распространены три подхода к реализации схем контроля: использование самопроверяемых элементов, трансляция тактового сигнала и программный контроль. Первый подход заключается в использовании таких самопроверяемых элементов, как парафазный T -триггер и СПТ-тестеры. В этом случае устройство внутреннего контроля функционально разделяют на две части: схему сравнения и фиксирующий элемент (рисунок 3.1). При таком подходе фиксирующий элемент можно сделать универсальным, а все различия в представлении и объеме контрольной информации учесть в схеме сравнения.

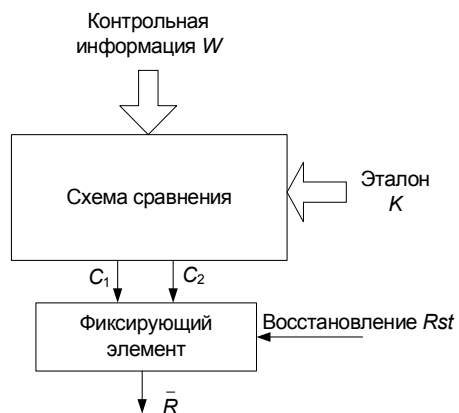


Рисунок 3.1 – Структурная схема самопроверяемого устройства внутреннего контроля

Формирование сигнала \bar{R} при этом прекращается. Выход из состояния блокировки осуществляется сигналом Rst .

Второй подход к построению безопасных схем контроля заключается в трансляции тактовых сигналов вычислительных каналов через схему контроля (рисунок 3.2).

Данная структура применяется в системах с жесткой синхронизацией (системы с сильными связями), например в блоке *SIMIS* [3]. Тактовый генератор ТГ формирует тактовые импульсы T , которые поступают на тактирующий вход схемы сравнения. В момент включения системы буферные элементы очищены, поэтому контрольная информация W и K , поступающая

Схема сравнения выполняет контроль корректности входной информации путем сравнения контрольной информации W с эталонными значениями K . Если входная информация корректна, то схема сравнения формирует на выходе соответствующие кодированные значения (например, парафазные сигналы C_1 и C_2).

Фиксирующий элемент в случае корректности сигналов C_1 и C_2 , формирует динамический сигнал подтверждения работоспособности канала \bar{R} . При нарушении парафазности сигналов C_1 и C_2 фиксирующий элемент блокируется.

на информационные входы схемы сравнения, будет идентичной. В случае совпадения сигналов W и K тактовые импульсы T будут транслироваться на выход КС схемы сравнения. При поступлении импульсов КС на управляющий вход тактового генератора ТГ на его выходах формируются сигналы T_1 и T_2 , тактирующие вычислительные каналы. Эти же сигналы через делители частоты ДЧ поступают на входы синхронизации T_0 буферных элементов, которые производят запись контрольной информации с вычислительных каналов для последующего сравнения. Коэффициент деления частоты подбирают таким образом, чтобы в промежутке между записями информации в буферные элементы схема сравнения успевала обработать все разряды предыдущей выборки. В случае расхождения сигналов W и K трансляция тактовых импульсов T на выход КС прекращается, и генератор ТГ перестает формировать сигналы T_1 и T_2 . Вычислительные каналы останавливают свою работу («зависают»), и система блокируется.

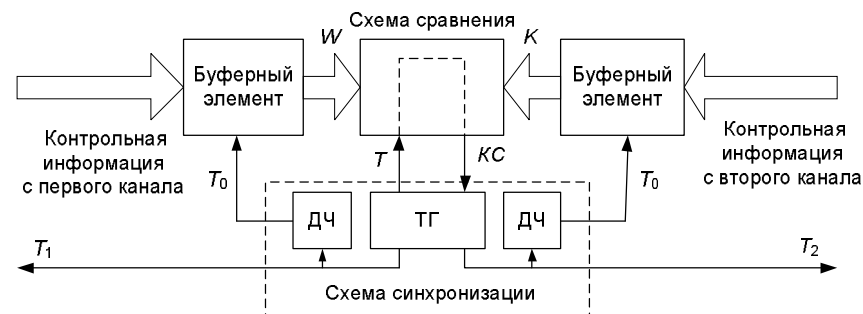


Рисунок 3.2 – Структурная схема устройства контроля с трансляцией тактовых сигналов вычислительных каналов

Для перехода системы в защитное состояние необходимо использовать выходные схемы с динамическим контролем управляющих сигналов, которые при нарушении динамики входного сигнала (например, прекращении поступления импульсов) переводят исполнительные объекты в защитное состояние.

Третий подход к реализации схем контроля заключается в программном сравнении результатов работы вычислительных каналов и выработки соответствующих сигналов блокировки и отключения каналов. Преимуществом данного метода является возможность использования разнообразных алгоритмов кодирования и обработки информации. Однако использование слишком сложных алгоритмов ограничено производительностью вычислительных каналов, так как время, отведенное на операции контроля, не должно пре-

вышать определенных значений (норм). Поэтому данный подход не применим в системах с сильными связями, так как у них интервал контроля составляет несколько тактов.

В безопасных системах при возникновении отказа возможны **три стратегии поведения устройства контроля**:

- блокировка и (или) отключение всей системы;
- отключение рабочих выходов и перезапуск (рестарт) системы. Если после перезапуска не удастся восстановить нормальную работу, выполняется блокировка и (или) отключение системы. Количество перезапусков обязательно ограничивается либо числом попыток, либо по времени, отведенном для перезапуска;
- отключение рабочих выходов и постоянный перезапуск системы до устранения последствий отказа.

Первая и третья стратегии не различают отказ и сбой, т. е. реагируют на все отклонения одинаково. При этом первая стратегия считает любое отклонение отказом, а третья – сбоем.

Первая стратегия обеспечивает высокую безопасность, так как при любом отклонении в работе вычислительных каналов переводит систему в защитное состояние. Фиксирующий элемент в этом случае достаточно прост, а время реакции устройства внутреннего контроля минимально. Однако недостатком этой стратегии является высокая чувствительность к сбоям в работе каналов, так как реакция на сбой идентична реакции на отказ, то есть приводит к блокировке системы. Учитывая, что сбои происходят гораздо чаще отказов, то общая надежность системы в этом случае значительно снижается. Используется такая стратегия только в том случае, когда технологическим процессом предусмотрено постоянное присутствие человека, который может быстро восстановить работоспособность системы после ее блокировки.

Третья стратегия предполагает, что любое отклонение в работе системы является сбоем, т. е. самостоятельно устранится через некоторое время. Поэтому при обнаружении отклонения устройство контроля отключает выходы для предотвращения формирования неправильных сигналов и выполняет перезапуск. Если после перезапуска работоспособность системы не восстанавливается, то опять выполняется перезапуск. Процесс повторяется до тех пор, пока не будут устранены причины, вызвавшие отклонения в работе, и не будет восстановлена работоспособность. Стратегия обладает высокой помехоустойчивостью, простой реализацией, обеспечивает высокую надежность и часто применяется в необслуживаемых системах или удаленных системах, не требующих постоянного присутствия человека. Недостатком системы является возможность накопления отказов при перезапусках, что мо-

жет привести к появлению кратных отказов, в совокупности приводящих к опасному отказу. Поэтому при использовании данной стратегии необходим постоянный мониторинг состояния системы, и в случае обнаружения многократных безрезультатных перезапусков принудительное ручное отключение системы.

Вторая стратегия является комбинацией остальных стратегий. При обнаружении отклонения в работе вычислительных каналов устройство внутреннего контроля регистрирует сбой и выполняет перезапуск аналогично третьей стратегии. Однако количество перезапусков ограничивается либо разрешенным числом попыток, либо временем, отведенным для восстановления работоспособности системы. Если система, исчерпав все попытки, не восстанавливает свою работоспособность, то фиксируется отказ и выполняется блокировка системы в защитном состоянии. Данная стратегия исключает недостатки рассмотренных выше стратегий и поэтому получила наибольшее распространение. Недостатком является усложнение реализации схем внутреннего контроля и увеличение времени реакции устройства контроля на отказ вычислительного канала.

Как уже сказано выше, самопроверяемые схемы внутреннего контроля используют такие самопроверяемые элементы, как парафазный T -триггер и СПТ-тестеры. Рассмотрим эти элементы подробнее.

3.2 Самопроверяемые элементы

Самопроверяемые элементы обладают способностью обнаружения отказов в процессе нормального функционирования. Отказы обнаруживаются по значениям выходных сигналов без дополнительной подачи на входы элементов специальных проверочных тестов или других способов проверки. Самопроверяемые элементы позволяют строить сложные самопроверяемые схемы, в которых любая неисправность распространяется от точки своего возникновения к выходам схемы. Если на выходе схемы стоит контрольный элемент, то таким образом можно легко контролировать исправность всей схемы.

Самопроверяемые элементы работают в парафазной логике (парафазное статическое кодирование). В этом случае значение логической «1» кодируются двумя сигналами – «10», а значение «0» – сигналами «01». Коды «00» и «11» являются защитными.

3.2.1 Логические элементы

Схемы простых парафазных логических элементов представлены на рисунке 3.3. В таблице 3.1 приведены значения выходов парафазного элемента «И» в исправном состоянии и при наличии константных отказов.

Из таблицы 3.1 следует, что для каждого одиночного отказа выходной сигнал элемента может быть правильным или принимать защитное значение в зависимости от вида входного сигнала. Правильный входной сигнал, при котором неисправная схема формирует защитный сигнал на выходе, называют **проверяющим кодом**. Последовательность проверяющих кодов, подача которых на вход схемы обеспечивает обнаружение всех одиночных отказов, называют **проверяющим тестом**. Из таблицы 3.1 можно убедиться, что проверяющим тестом для элемента «И» является последовательность {01 10, 10 01, 10 10}.

Аналогично функционирует элемент при нарушении парафазности на его входах. Такими же свойствами обладают элементы «ИЛИ» и «НЕ».

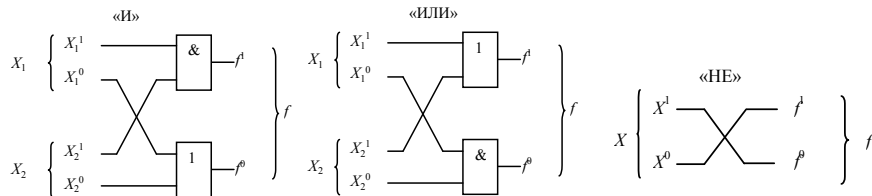


Рисунок 3.3 – Схемы парафазных логических элементов

Таблица 3.1 – Значения выходов парафазного элемента «И»

Входы		Вы-ходы	Отказы												
x_1	x_2		f	$x_1^1=0$	$x_1^1=1$	$x_1^0=0$	$x_1^0=1$	$x_2^1=0$	$x_2^1=1$	$x_2^0=0$	$x_2^0=1$	$f^1=0$	$f^1=1$	$f^0=0$	$f^0=1$
01	01	01	01	01	01	01	01	01	01	01	01	01	11	00	01
01	10	01	01	11	00	01	01	01	01	01	01	01	11	00	01
10	01	01	01	01	01	01	01	01	11	00	01	01	11	00	01
10	10	10	00	10	10	11	00	10	10	11	00	10	10	11	

Любая комбинационная схема в результате замены элементов «И», «ИЛИ», «НЕ» их парафазными реализациями преобразуется в самопроверяемую схему, обладающую следующими свойствами:

- любой одиночный константный отказ приводит к нарушению парафазности на выходе хотя бы при одном наборе данных проверяющего теста;
- нарушение парафазности хотя бы на одном из входов исправной схемы приводит к нарушению парафазности на выходе хотя бы при одном наборе данных проверяющего теста.

Самопроверяемые элементы позволяют контролировать только одиночные отказы, поэтому важнейшей задачей при построении безопасных самопроверяемых схем является исключение накопления отказов за счет периодической подачи проверяющих тестов.

3.2.2 Триггеры

В качестве элементов памяти в самопроверяемых схемах используют самопроверяемые парафазные триггеры. Парафазный T -триггер (ПТ) представляет собой устройство (рисунок 3.4), имеющее два парафазных информационных входа T^0 и T^1 и два выхода Q^0 и Q^1 .

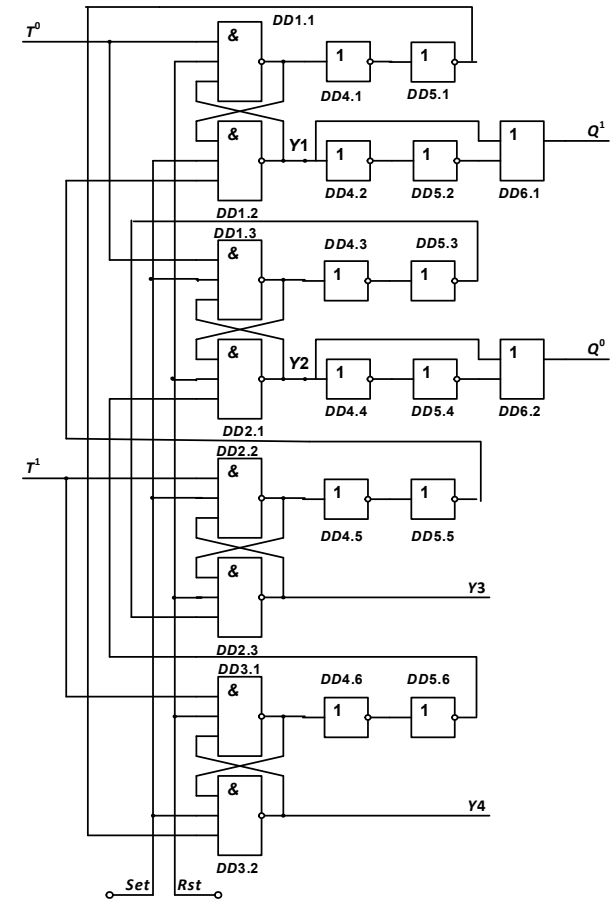


Рисунок 3.4 – Самопроверяемый парафазный T -триггер

Парафазный триггер обладает следующими свойствами:

- если на вход парафазного триггера поступает парафазный сигнал и сама схема ПТ исправна, то на его выходе также присутствует парафазный сигнал;
- если на вход ПТ в любом такте его работы поступают одинаковые сигналы, то схема ПТ блокируется в защитном состоянии, и в том же такте на выходе устанавливаются одинаковые сигналы (0,0 или 1,1), которые сохраняются во всех последующих тактах работы независимо от состояния входов;
- при возникновении в схеме ПТ одиночных отказов схема также блокируется в защитном состоянии. Блокировка может произойти не мгновенно, но не более чем через четыре такта (полный цикл) его работы;
- вывод схемы из защитного состояния возможен только по цепям установки (SET или RST).

Парафазный триггер состоит из четырех бистабильных ячеек памяти: $Y1$, $Y2$, $Y3$ и $Y4$. При кратковременной подаче логического нуля на вход RST и наличии сигналов $T^1 T^0 = 01$ схема переходит в устойчивое состояние «0110» (состояние «0» триггера). При подаче логического нуля на вход SET и наличии сигналов $T^1 T^0 = 10$ схема переходит в устойчивое состояние «1001» (состояние «1» триггера). Полный цикл работы триггера происходит при поступлении входной последовательности сигналов $T^1 T^0$ вида {01, 10, 01, 10, 01}. При этом схема последовательно проходит все свои состояния «0110 → 1010 → 1001 → 0101 → 0110». Одна из возможных диаграмм работы парафазного T -триггера представлена на рисунке 3.5

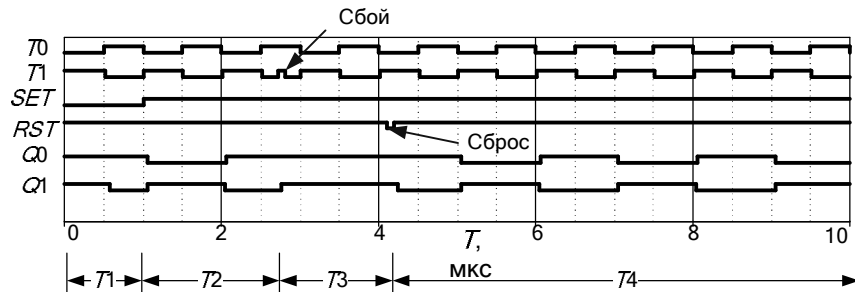


Рисунок 3.5 – Временная диаграмма работы парафазного T -триггера

Запуск триггера производится подачей на вход Set логического нуля (интервал $T1$). При этом на входах $T0$ и $T1$ должны присутствовать парафазные сигналы. После переключения входа Set в состояние логической единицы триггер переключается в противоположное состояние по фронту сигнала $T1$ (интервалы $T2$ и $T4$). По фронту сигнала $T0$ переключаются внутренние ячейки памяти $Y3$ и $Y4$ (рисунок 3.4).

Искажение сигнала $T1$ (момент времени 2,7 мкс) приводит к немедленной блокировке триггера (интервал $T3$). При этом триггер не реагирует на изменения входных сигналов. Восстановление нормальной работы триггера происходит кратковременной подачей логического нуля на вход Rst (момент времени 4,1 мкс).

Парафазный T -триггер используется в качестве элементарной ячейки памяти, на основе которой может быть реализован триггер любого типа. Обобщенная структурная схема парафазного триггера представлена на рисунке 3.6. Парафазный триггер состоит из парафазного T -триггера, схемы сброса и схемы управления.

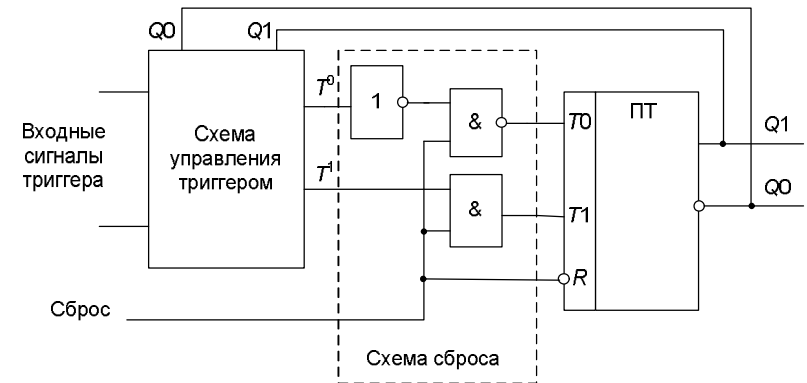


Рисунок 3.6 – Обобщенная структурная схема парафазного триггера

Схема сброса предназначена для установки T -триггера в состояние «0». Для этого на вход «Сброс» подается нулевой импульс, который поступает на вход R триггера. Одновременно с помощью элементов «И» и «И-НЕ» на входах $T1$ и $T0$ формируется парафазный сигнал «01», необходимый для установки триггера. Когда на вход «Сброс» поступает логическая единица, сигналы $T0$ и $T1$ с выхода схемы управления транслируются на соответствующие входы триггера без искажений.

Вид триггера определяется логической функцией, реализуемой схемой управления. Например, схема управления асинхронного D -триггера описывается функциями $T^1 = D^1 Q^0 \vee D^0 Q^1$; $T^0 = (D^1 \vee Q^0)(D^0 \vee Q^1)$.

Схема асинхронного D -триггера представлена на рисунке 3.7, а временная диаграмма работы – на рисунке 3.8.

Парафазные триггеры других типов имеют аналогичную структуру. В таблице 3.2 приведены функции, описывающие схемы управления асинхронных и синхронных триггеров основных типов. Синхронные триггеры имеют парафазный синхронный вход $C^1 C^0$.

Для реализации парафазного самопроверяемого JK -триггера требуется два T -триггера (рисунок 3.9). При помощи парафазных самопроверяемых триггеров строят различные типовые самопроверяемые цифровые схемы, например схему двухступенчатого JK -триггера (рисунок 3.10).

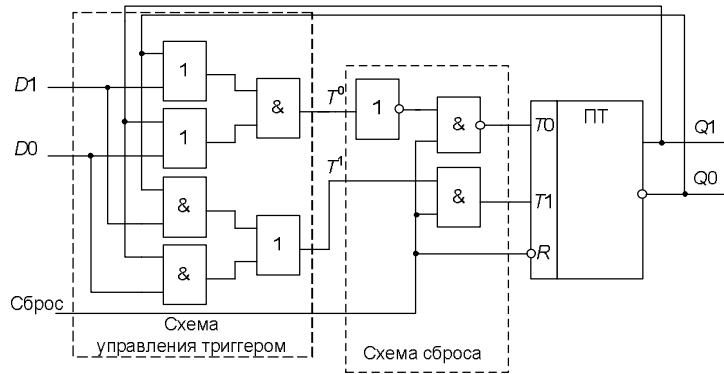


Рисунок 3.7 – Схема парафазного D -триггера

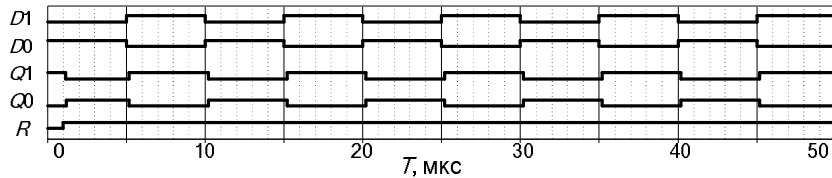


Рисунок 3.8 – Временная диаграмма работы парафазного D -триггера

Таблица 3.2 – Функции схем управления парафазных триггеров

Тип триггера	Функции триггеров	
	асинхронного	синхронного
D	$T^1 = D^1 Q^0 \vee D^0 Q^1$;	$T^1 = D^1 C^1 Q^0 \vee D^0 C^1 Q^1$;

	$T^0 = (D^1 \vee Q^0)(D^0 \vee Q^1)$.	$T^0 = (D^1 \vee C^0 \vee Q^0)(D^0 \vee C^0 \vee Q^1)$.
RS	$T^1 = S^1 C^1 Q^0 \vee R^1 C^1 Q^1$; $T^0 = (S^0 \vee Q^1)(R^0 \vee Q^0)$.	$T^1 = S^1 C^1 Q^0 \vee R^1 C^1 Q^1$; $T^0 = (S^0 \vee C^0 \vee Q^1)(R^0 \vee C^0 \vee Q^0)$.
JK	$T_1^1 = K^1 Y_1^1 (J^0 \vee Y_2^0) \vee J^1 Y_1^0 (K^0 \vee Y_2^1)$; $T_1^0 = (K^0 \vee Y_1^0 \vee J^1 Y_2^1)(J^0 \vee Y_1^1 \vee K^1 Y_2^0)$; $T_2^1 = K^0 Y_2^1 (J^1 \vee Y_1^1) \vee J^0 Y_2^0 (K^1 \vee Y_1^0)$; $T_2^0 = (K^1 \vee Y_2^0 \vee J^0 Y_1^0)(J^1 \vee Y_2^1 \vee K^0 Y_1^1)$;	$T_1^1 = K^1 Y_1^1 (J^0 \vee Y_2^0) C^1 \vee J^1 Y_1^0 (K^0 \vee Y_2^1) C^1$; $T_1^0 = (K^0 \vee Y_1^0 \vee J^1 Y_2^1 \vee C^0) \times$ $\times (J^0 \vee Y_1^1 \vee K^1 Y_2^0 \vee C^0)$; $T_2^1 = K^0 Y_2^1 (J^1 \vee Y_1^1) C^1 \vee J^0 Y_2^0 (K^1 \vee Y_1^0) C^1$; $T_2^0 = (K^1 \vee Y_2^0 \vee J^0 Y_1^0 \vee C^0) \times$ $\times (J^1 \vee Y_2^1 \vee K^0 Y_1^1 \vee C^0)$;

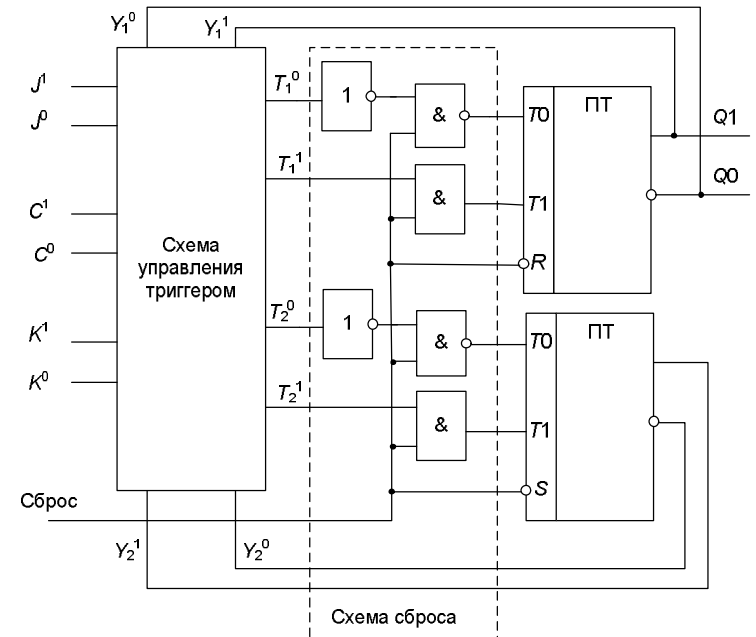


Рисунок 3.9 – Структура парафазного JK -триггера

Если $C^1 C^0 = 01$, то триггер закрыт для приема информации. С поступлением тактового импульса, когда $C^1 C^0 = 10$, триггер первой ступени воспринимает информацию на входах $J^1 J^0$ и $K^1 K^0$. В это время D -

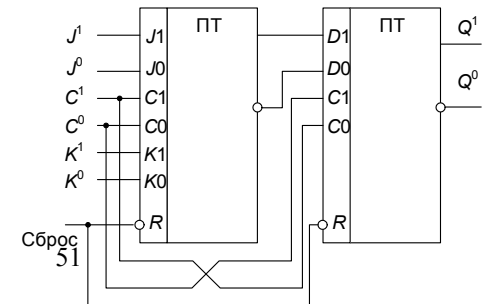


Рисунок 3.10 – Двухступенчатый JK -триггер

триггер, входящий во вторую ступень, не реагирует на изменения сигналов на входах D^1 и D^0 , поскольку на его входах C^1C^0 присутствуют сигналы 01. После изменения тактового импульса, когда на входы C^1C^0 D -триггера поступают сигналы 10, информация переносится из первой во вторую ступень, и на выходах D -триггера Q^1 и Q^0 появляются новые значения сигналов. Свойство самопроверяемости данной схемы определяется самопроверяемостью обоих триггеров. Блокировка в защитном состоянии JK -триггера приводит к немедленной блокировке и D -триггера, поскольку нарушается парафазность на входах D^1 и D^0 .

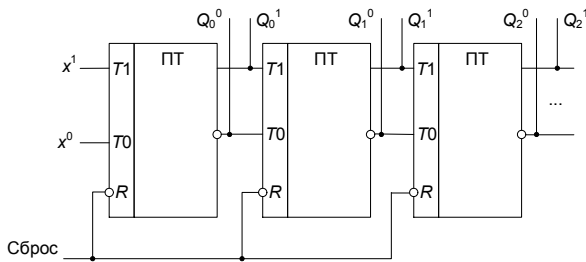


Рисунок 3.11 – Двоичный счетчик

менты и триггеры образуют функционально полный набор элементов для реализации самопроверяемых схем без применения избыточного кодирования состояний кодом с обнаружением ошибок.

В этом случае процедура синтеза схемы такова. Состояния дискретного устройства кодируются неизбыточным кодом и вычисляются функции включения внутренних элементов памяти и выходные функции. Логический и выходной преобразователи строятся в виде самопроверяемых парафазных схем. В качестве элементов памяти применяются парафазные триггеры. Устанавливаются схемы контроля, фиксирующие парафазность выходных сигналов устройства.

3.2.3 Тестеры

Для контроля кодов с обнаружением ошибок можно использовать самопроверяемые тестеры (СПТ). Они представляют собой кодовые детекторы, задача которых состоит в том, чтобы отличить кодовые комбинации, принадлежащие рассматриваемому коду, от остальных возможных комбинаций. СПТ реализуются в виде устройства с n входами и двумя выходами z_1 и z_2 .

Тестер обладает следующими свойствами:

На основе рассмотренных элементов можно построить любые другие схемы, например двоичный счетчик (рисунок 3.11), параллельные и сдвиговые регистры.

Рассмотренные парафазные самопроверяемые логические элементы

– контролирует корректность входного вектора, т.е. выходы z_1 и z_2 принимают значения 1, 0 или 0, 1, если на входе тестера присутствует вектор рассматриваемого кода, и значения 0, 0 или 1, 1 в противном случае;

– выполняет самопроверку, т. е. для любой одиночной неисправности тестера существует корректный входной вектор кода, на котором выходы z_1 и z_2 принимают значения 0, 0 или 1, 1.

Наиболее часто для кодирования ответственной информации в системах железнодорожной автоматики применяются **равновесные коды**. Равновесным кодом (кодом с постоянным весом) называют код nCm , где n – количество разрядов кода, m – количество единиц (вес кода). Широкое распространение равновесного кода определено простыми схемными решениями кодеров и декодеров, а также достаточно высокой степенью защищенности. Для трансформации команды, закодированной равновесным кодом, необходимо искажение одного разряда из состояния 0 в 1, а другого – из 1 в 0. При этом общее количество единиц не изменится, ошибка не будет обнаружена.

Рассмотрим примеры реализации самопроверяемых тестеров для равновесных кодов.

На рисунке 3.12 показана схема тестера для четырехразрядного равновесного кода «2 из 4» (2/4-СПТ). На входы x_1, x_2, x_3 и x_4 подаются четырехразрядные двоичные коды. В таблице 3.3 представлено преобразование кода самопроверяемым тестером.

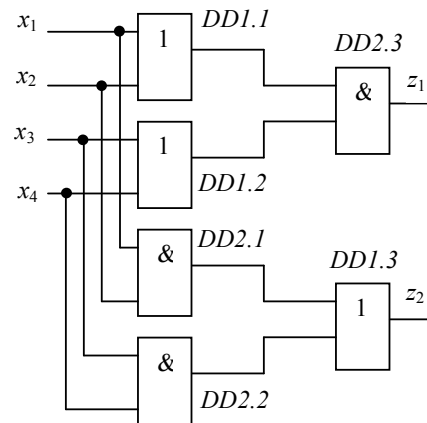


Рисунок 3.12 – Схема тестера для четырехразрядного равновесного кода 2/4-СПТ

Правильным считается код, вес которого равен двум (две единицы в коде).

Свойство самопроверки заключается в том, что для любой одиночной неисправности элементов тестера можно найти такую кодовую комбинацию, которая установит выходы тестера в состояние 0,0 или 1,1. Например, отказ «1→0» на выходе элемента $DD1$ обнаруживается кодом «0101», т.к. на выходе установится значение 0,0.

Тестеры характеризуются двумя оценками: сложностью, которая равна суммарному числу входов логических элементов, принадлежащих структуре тестера, и длиной проверяющего теста, которая равна числу слов кода, подача которых на вход тес-

терского теста, которая равна числу слов кода, подача которых на вход тес-

тера обеспечивает обнаружение всех одиночных неисправностей. Для тестера 2/4-СПТ проверяющий тест $T = \{0101, 0011, 1100\}$.

Таблица 3.3 – Преобразование кода тестером 2/4-СПТ

Четырехразрядный равновесный код				Выходы		Результат контроля
x_1	x_2	x_3	x_4	z_1	z_2	
0	0	0	0	0	0	Ошибка, код с меньшим весом
0	0	0	1	0	0	То же
0	0	1	0	0	0	“
0	0	1	1	0	1	Верный код
0	1	0	0	0	0	Ошибка, код с меньшим весом

Окончание таблицы 3.3

Четырехразрядный равновесный код				Выходы		Результат контроля
x_1	x_2	x_3	x_4	z_1	z_2	
0	1	0	1	1	0	Верный код
0	1	1	0	1	0	“
0	1	1	1	1	1	Ошибка, код с большим весом
1	0	0	0	0	0	То же, с меньшим весом
1	0	0	1	1	0	Верный код
1	0	1	0	1	0	“
1	0	1	1	1	1	Ошибка, код с большим весом
1	1	0	0	0	1	Верный код
1	1	0	1	1	1	Ошибка, код с большим весом
1	1	1	0	1	1	То же
1	1	1	1	1	1	“

Виды отказов, обнаруживаемых проверяющим тестом, приведены в таблице 3.4.

Таблица 3.4 – Виды отказов 2/4-СПТ

Неисправность		Проверяющий код	Значение	
вид	элемент		при исправной работе	при наличии неисправности
«1→0»	DD1.1	0101	10	00
«0→1»	DD1.1	0011	01	11
«1→0»	DD1.2	0101	10	00
«0→1»	DD1.2	1100	01	11
«1→0»	DD2.1	1100	01	00
«0→1»	DD2.1	0101	10	11
«1→0»	DD2.2	0011	01	00
«0→1»	DD2.2	0101	10	11
«1→0»	DD2.3	0101	10	00

«0→1»	DD2.3	1100	01	11
«1→0»	DD1.3	1100	01	00
«0→1»	DD1.3	0101	10	11

Разработаны схемные реализации большого количества других тестеров.

Самопроверяемый тестер для четырехразрядного равновесного кода «1 из 4» (1/4-СПТ) приведен на рисунке 3.13. Правильным считается код, вес которого равен единице (одна единица в коде). Проверяющий тест для этого тестера $T = \{1000, 0100, 0010, 0001\}$. Самопроверяемый тестер для пятиразрядного равновесного кода «1 из 5» (1/5-СПТ) приведен на рисунке 3.14. Проверяющий тест для этого тестера $T = \{10000, 01000, 00100, 00010, 00001\}$.

Наряду с равновесными кодами широко применяются коды с контролем четного (нечетного) количества единиц. Данные коды являются менее защищенными, чем равновесные, так как при использовании этих кодов к трансформации команды приводит искажение любых двух разрядов сообщения.

Однако простая реализация кодеров и декодеров, а также аппаратная поддержка данного вида кодирования рядом передатывающих устройств обеспечили их широкое распространение. Контроль корректности кодов с контролем четности (нечетности) также можно выполнить с помощью самопроверяемых тестеров.

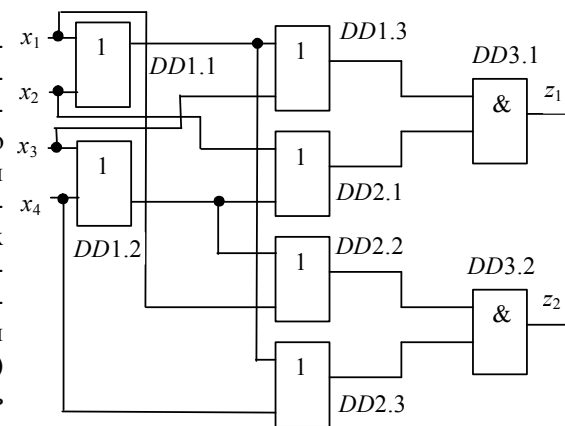


Рисунок 3.13 – Схема тестера для четырехразрядного равновесного кода 1/4-СПТ

Тестер для кода с проверкой на нечетность строят так. Множество переменных кода произвольно разбивают на два непересекающихся подмножества. Переменные, входящие в одно подмножество, объединяются схемой свертки по модулю 2. На рисунке 3.15 приведен тестер для кода с $n = 6$. Тестеры для кодов с проверкой на четность строят аналогично с установкой дополнительного инвертора на одном из выходов.

Тестеры могут быть описаны системами функций алгебры логики. При этом используется принцип суперпозиции функций. Входные переменные

тестера обозначаются цифрами от 1 до n , соответствующими индексам этих переменных. Для обозначения промежуточных функций, реализуемых на внутренних линиях схемы, также используются цифры от $n + 1$ и далее. Логическая операция дизъюнкции обозначается знаком "+", а операция конъюнкции – знаком «&». Если с помощью конъюнкции связываются два скобочных выражения, то знак «&» опускается.

Промежуточные функции выделяется с таким расчетом, чтобы получаемая при этом система функций полностью отражала структуру схемы тестера. Для этого каждый промежуточный узел разветвления в схеме обозначается отдельной цифрой. Проверяющий тест T указывается в виде множества слов кода nCm , заключенных в фигурные скобки.

Для примера описание тестера 1/4-СПТ системой функций алгебры логики имеет вид

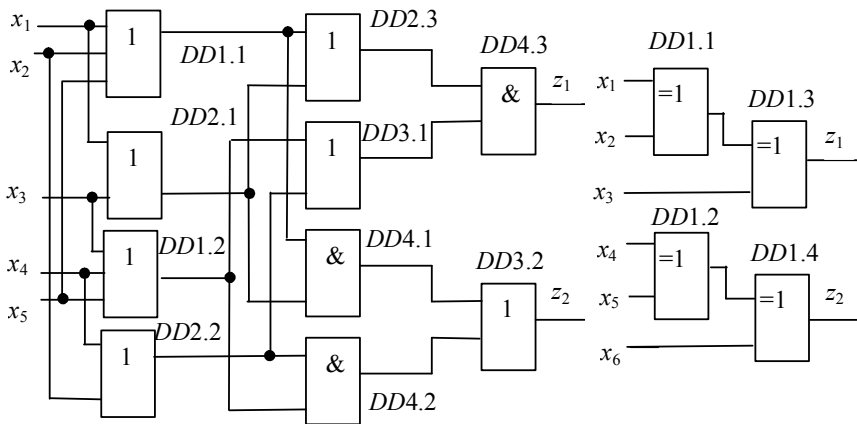


Рисунок 3.14 – Схема тестера для пятиразрядного равновесного кода 1/5-СПТ

Рисунок 3.15 – Схема тестера для кода с проверкой на нечетность

$$5 = 1 + 2, 6 = 3 + 4, Z_1 = (3 + 5) \times (2 + 6), Z_2 = (1 + 6) \times (4 + 5).$$

Схемные решения тестеров для других кодов приведены в [19].

Самопроверяемые тестеры можно использовать для контроля не только корректности кодов, но и правильности работы одно- и многоканальных структур.

Рассмотрим типовые структуры реализации фиксирующих элементов.

3.3 Принципы построения самопроверяемых фиксирующих элементов

Условно фиксирующие элементы можно классифицировать по способу блокировки и перезапуска в случае обнаружения отклонения в работе схемы сравнения.

3.3.1 Фиксирующие элементы без перезапуска и с ручным перезапуском

Структура фиксирующего элемента без перезапуска, реализующего стратегию отключения системы при любом отклонении в работе каналов, представлена на рисунке 3.16.

Фиксирующий элемент состоит из следующих функциональных блоков: парафазного тактового генератора ПТГ, самопроверяемого тестера 2 из 4 (2/4-СПТ), парафазного T -триггера со схемой сброса и схемы формирования сигнала сброса ($R1$, $C1$ и $DD1$).

Фиксирующий элемент работает следующим образом (рисунок 3.17). После включения питания начинается заряд конденсатора $C1$ (сигнал RC на рисунке 3.17). На выходе триггера Шмитта $DD1$ формируется сигнал логического нуля, который поступает на вход схемы сброса парафазного триггера (сигнал Rst). Скорость заряда $C1$ подбирается таким образом, чтобы к моменту появления парафазных сигналов C_1 и C_2 на входе фиксирующего элемента, сигнализирующих об исправной работе вычислительных каналов, на выходе триггера Шмитта еще присутствовал логический ноль.

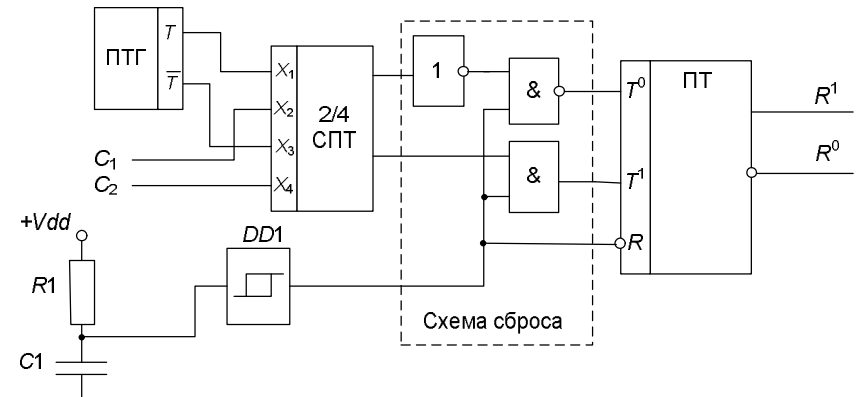


Рисунок 3.16 – Структурная схема фиксирующего элемента без перезапуска

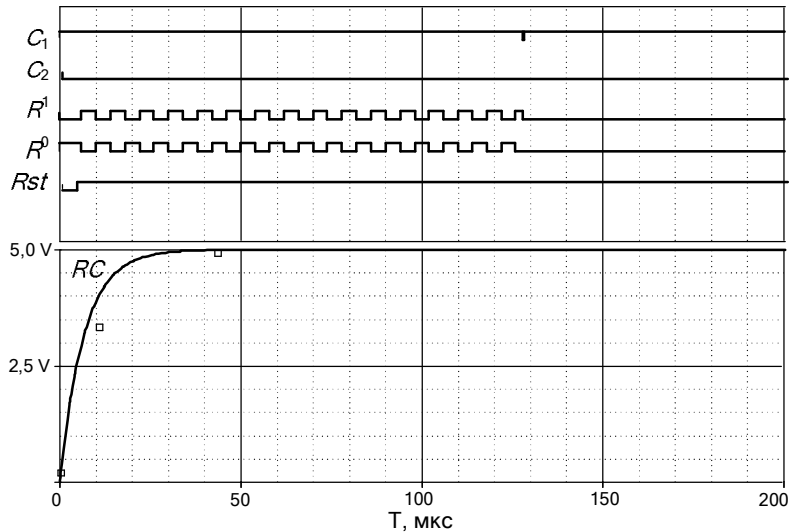


Рисунок 3.17 – Диаграмма работы фиксирующего элемента без перезапуска

Парафазные сигналы C_1 и C_2 поступают на входы самопроверяемого тестера 2/4-СПТ. На два оставшихся входа тестера подаются парафазные тактирующие импульсы с генератора ПТГ. На выходе тестера формируются парафазные импульсы, поступающие через схему сброса на входы T^1 и T^0 парафазного триггера. Если к моменту появления парафазных сигналов на входах T^1 и T^0 на входе R парафазного триггера еще присутствует логический ноль, то триггер инициализируется.

Когда напряжение на конденсаторе C_1 превысит уровень логической единицы триггер Шмитта переключится в состояние логической единицы, и парафазный триггер начнет генерировать парафазные импульсы на выходах R^1 и R^0 . Использование парафазного генератора ПТГ обусловлено тем, что очень сложно обеспечить высокую частоту изменения входных сигналов C_1 и C_2 . В то же время парафазный триггер гарантированно блокируется в течение четырех тактов своей работы, т. е. в течение двух периодов входных сигналов. Поэтому, чтобы исключить накопление отказов, необходимо обеспечить изменение входных воздействий с высокой частотой, что и реализовано с помощью генератора ПТГ и самопроверяемого тестера 2/4-СПТ.

В случае обнаружения искажений в работе вычислительных каналов нарушается парафазность входных сигналов C_1 и C_2 . В том же такте (128 мкс на диаграмме) на выходе тестера появляется непарафазный сигнал, что приводит к блокировке парафазного триггера. Генерация выходных сигналов R^1 и R^0 прекращается, после чего посредством схем отключения каналов БСО

осуществляется отключение всей системы. Выход из состояния блокировки возможен только при отключении и последующем включении питания.

Недостатками такого способа реализации фиксирующего элемента являются зависимость длительности заряда конденсатора от времени инициализации системы и невозможность перезапустить фиксирующий элемент без отключения питания. Поэтому часто такой фиксирующий элемент дополняют схемой ручного сброса (рисунок 3.18).

При начальном запуске нажатием кнопки без фиксации «Сброс» формируется сигнал логического нуля на входе схемы сброса парафазного триггера. Кнопка удерживается до тех пор, пока не загорится светодиод «Готовность», сигнализирующий о том, что инициализация каналов завершена и на выходах самопроверяемого тестера появился парафазный сигнал. Парафазный триггер инициализируется, и кнопку можно отпускать. В случае блокировки фиксирующего элемента выход из защитного состояния также осуществляется нажатием кнопки «Сброс». В остальном фиксирующий элемент работает аналогично схеме, представленной на рисунке 3.16.

3.3.2 Фиксирующий элемент с периодическим перезапуском

Структурная схема фиксирующего элемента с периодическим перезапуском представлена на рисунке 3.19.

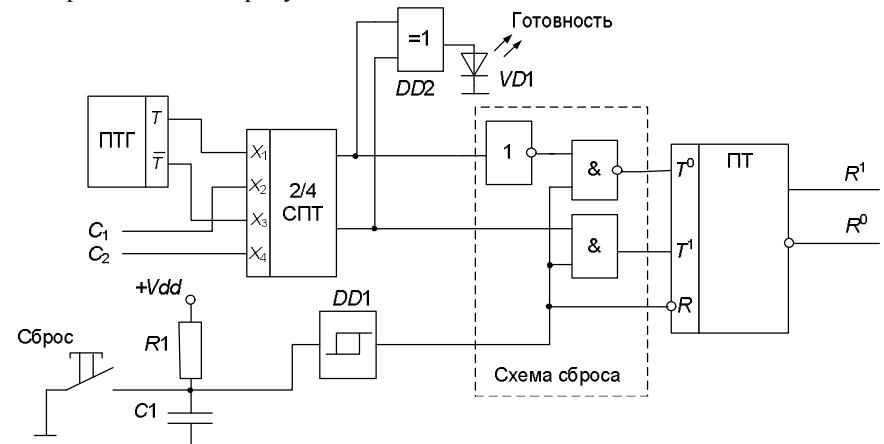


Рисунок 3.18 – Структурная схема фиксирующего элемента с ручным перезапуском

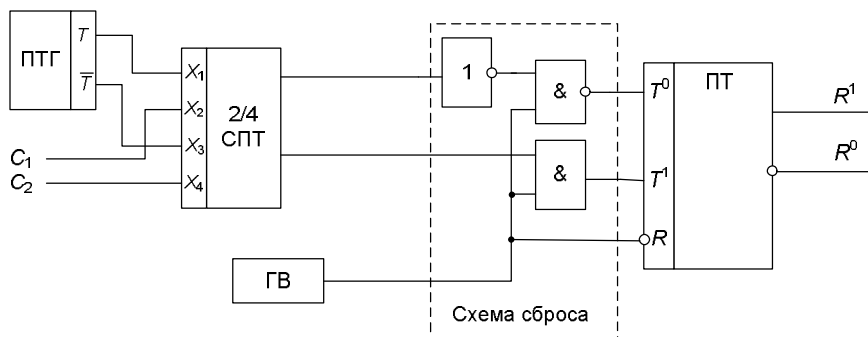


Рисунок 3.19 – Структурная схема фиксирующего элемента с периодическим перезапуском

В данной структуре в качестве источника сигналов сброса выступает генератор восстановления ГВ, который формирует короткие нулевые сигналы, поступающие на вход схемы сброса парафазного триггера. При включении питания генератор начинает формировать импульсы сброса. Фиксирующий элемент начинает генерировать парафазные импульсы только после того как вычислительные каналы закончат инициализацию и на входах C_1 и C_2 установится парафазный сигнал (рисунок 3.20).

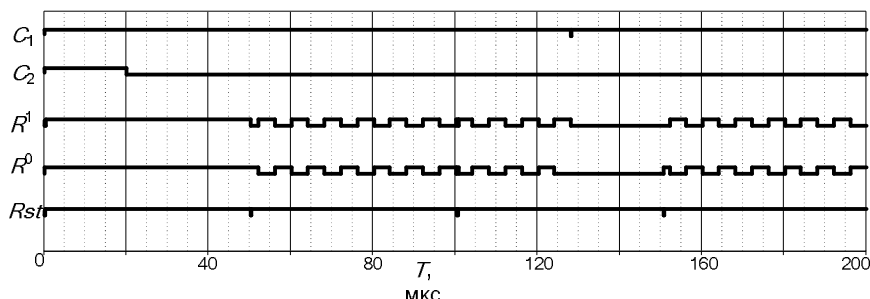


Рисунок 3.20 – Диаграмма работы фиксирующего элемента с периодическим перезапуском

Если сигнал сброса приходит во время нормальной работы фиксирующего элемента, то генерация парафазных импульсов не нарушается (100 мкс на рисунке 3.21). При отклонении в работе вычислительных каналов и нарушении парафазности сигналов C_1 и C_2 происходит блокировка фиксирующего элемента (128 мкс). Восстановление работы фиксирующего элемента происходит по сигналу сброса с генератора ГВ, если сигналы C_1 и C_2 восстановили

свою парафазность (150 мкс). В противном случае триггер остается заблокированным (рисунок 3.21).

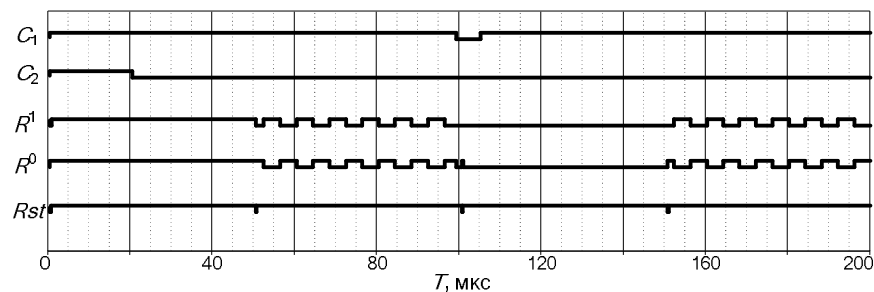


Рисунок 3.21 – Диаграмма работы фиксирующего элемента с периодическим перезапуском при длительном сбое

Таким образом, на один и тот же сбой фиксирующий элемент может отреагировать по-разному, в зависимости от момента времени, в который произошел сбой. Перезапуск может произойти как сразу после сбоя, так и спустя интервал времени T , равный периоду генератора восстановления. Это является основным недостатком данного фиксирующего элемента. Для исключения данного недостатка период генератора восстановления T выбирают таким образом, чтобы безопасная схема отключения не блокировала работу вычислительных каналов при пропадании импульсов на выходе фиксирующего элемента на интервал времени, равный $1.5 T$, и гарантированно отключала эти каналы при пропадании импульсов на больший интервал времени. В этом случае, если длительность сбоя меньше $0.5 T$, то вычислительные каналы не отключаются, фиксирующий элемент перезагрузится первым или вторым (если сбой произойдет во время первого) импульсом сброса. Если длительность сбоя больше $1.5 T$, то каналы гарантированно отключаются. При длительности сбоя от 0.5 до $1.5 T$ поведение фиксирующего элемента зависит от момента времени, в котором произошел сбой, и может привести как к его перезапуску, так и к отключению каналов.

3.3.3 Фиксирующий элемент с постоянным перезапуском

Фиксирующий элемент с постоянным перезапуском отличается от рассмотренных ранее схем тем, что при возникновении даже длительных искажений в вычислительных каналах, вызывающих нарушение парафазности сигналов C_1 и C_2 , парафазный триггер не блокируется, а пытается перезапуститься в течение всего искажения. Обобщенная структурная схема фикси-

рующего элемента с постоянным перезапуском представлена на рисунке 3.22.

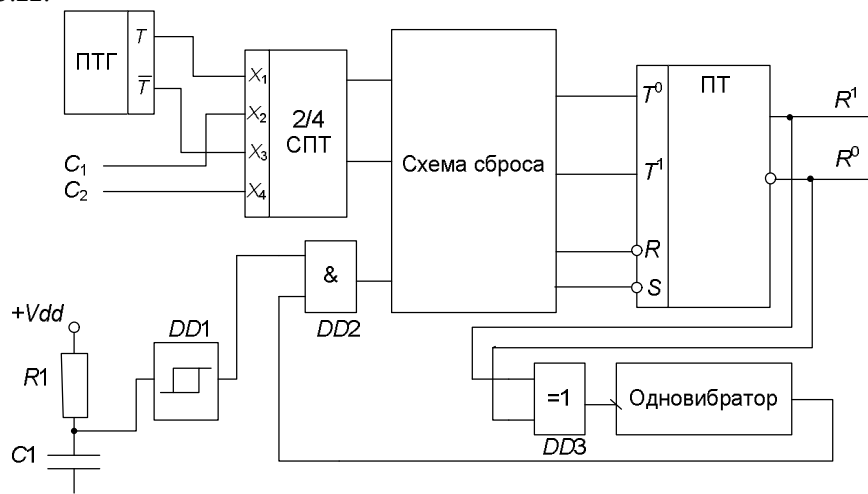


Рисунок 3.22 – Обобщенная структурная схема фиксирующего элемента с постоянным перезапуском

Схема работает следующим образом. После включения питания на выходе элемента DD1 формируется нулевой импульс, длительность которого задается элементами R1 и C1. Через элемент DD2 этот импульс поступает на схему сброса и инициализирует парафазный триггер ПТ. На выходе триггера устанавливается парафазный сигнал, и элемент DD3 переключается в состояние логической «1». На выходе одновибратора присутствует логическая «1». Если нарушается парафазность входных сигналов C_1 и C_2 , то триггер блокируется, на его выходах появляется непарафазный сигнал, что приводит к переключению элемента DD3 в состояние «0». В момент переключения одновибратор формирует короткий нулевой импульс, который через элемент DD2 поступает на вход схемы сброса. Выполняется попытка перезапустить парафазный триггер. На выходе триггера устанавливается парафазный сигнал, переключающий элемент DD3 в состояние «1». Если вычислительные каналы не восстановили нормальную работу и на входах C_1 и C_2 присутствуют не парафазные сигналы, то триггер блокируется, элемент DD3 переключается в состояние «0», одновибратор формирует короткий нулевой импульс и предпринимается новая попытка перезапустить фиксирующий элемент. Процесс повторяется до тех пор, пока не восстановится парафазность на входах C_1 и C_2 .

Эффект перезапуска основан на свойстве парафазного триггера при поступлении сигналов сброса (Rst) и установки (Set) переводить свои выходы в парафазное состояние. Однако при этом необходимо учитывать, в каком состоянии заблокирован триггер, и какие сигналы поступают на тактовые входы. Если триггер заблокирован в состоянии «00», то для его перезапуска необходимо подать «0» на вход Rst и «01» – на входы T^1T^0 . Если триггер заблокирован в состоянии «11», то для его перезапуска необходимо подать «0» на вход Set и «10» на входы T^1T^0 . В противном случае перезапуск не произойдет.

Учитывая все это, структурная схема фиксирующего элемента с постоянным перезапуском будет иметь вид, представленный на рисунке 3.23.

При блокировке триггера в состоянии «11» элемент DD3 переключается в состояние логического «0». Это событие запускает формирование короткого нулевого импульса первым одновибратором. Этот импульс поступает на вход Set заблокированного парафазного триггера и выполняет его инициализацию. Если триггер блокируется с состояний «00», то в состояние логического «0» переключается элемент DD4. В этом случае второй одновибратор формирует нулевой импульс, который поступает на вход $Reset$ заблокированного триггера, выводя его из состояния блокировки. Временная диаграмма работы фиксирующего элемента с постоянным перезапуском представлена на рисунке 3.24.

Как видно из диаграммы, при возникновении искажений входных сигналов вида «1→0» (100 мкс) и «0→1» (140 мкс) начинают формироваться сигналы « Set » и « Rst », осуществляющие постоянный перезапуск триггера. После устранения искажений фиксирующий элемент продолжает нормальное функционирование.

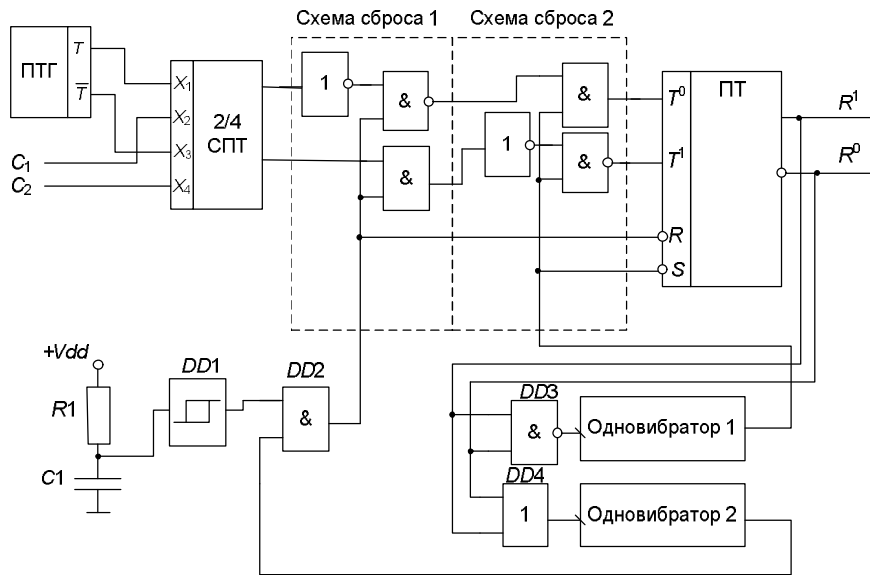


Рисунок 3.23 – Структурная схема фиксирующего элемента с постоянным перезапуском

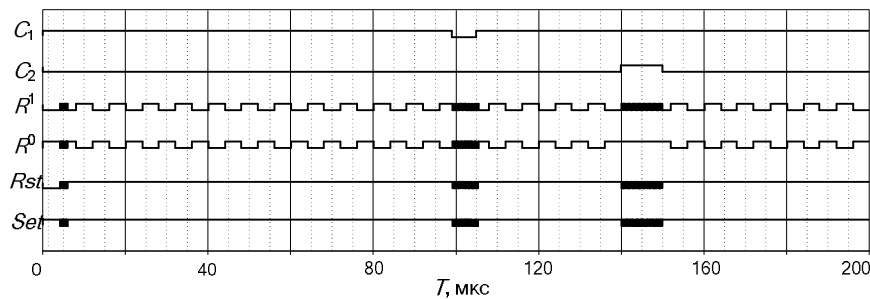


Рисунок 3.24 – Диаграмма работы фиксирующего элемента с постоянным перезапуском при сбоях

Если заранее известен тип искажений, то схему фиксирующего элемента можно упростить. Например, для организации постоянного перезапуска при искажениях вида «1→0» можно использовать схему, представленную на рисунке 3.25. Диаграмма работы этой схемы представлена на рисунке 3.26.

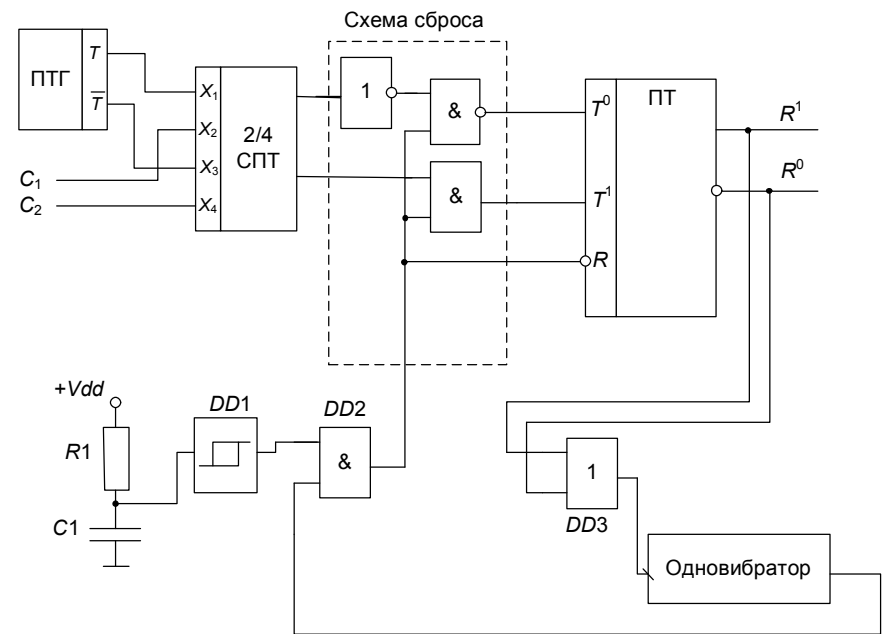


Рисунок 3.25 – Структурная схема фиксирующего элемента с постоянным перезапуском при искажениях вида «1→0»

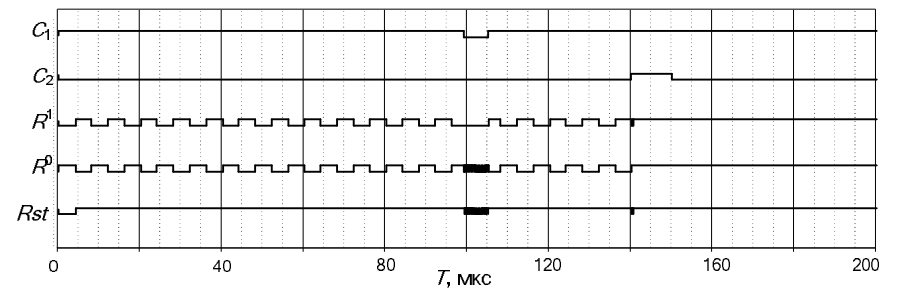


Рисунок 3.26 – Диаграмма работы фиксирующего элемента с постоянным перезапуском при искажениях вида «1→0»

Как видно из диаграммы, фиксирующий элемент перезапускается в течение действия искажения вида «1→0» (100 мкс) и блокируется в состоянии «11» при искажениях вида «0→1» (140 мкс). Аналогично можно построить фиксирующий элемент с постоянным перезапуском при искажениях вида «0→1» с блокировкой при искажениях вида «1→0».

Схемы с постоянным перезапуском применяют для повышения показателей надежности в необслуживаемых устройствах и системах либо там, где обслуживающий персонал не присутствует постоянно (сигнальные точки автоблокировки, необслуживаемые переезды и т.п.).

Недостатком схем с постоянным перезапуском является возможность накопления неисправностей во время перезапуска. В этом случае необходимо обеспечить информирование и прибытие персонала либо отключение системы до того, как в системе возникнет комбинация неисправностей, приводящая к опасному отказу.

3.3.4 Фиксирующий элемент с однократным перезапуском

Примером фиксирующего элемента с ограничением числа перезапусков может служить фиксирующий элемент с однократным перезапуском (рисунок 3.27). По сравнению с рассмотренными ранее схемами в состав фиксирующего элемента добавлен второй парафазный триггер ПТ2.

Если нарушается парафазность входных сигналов C_1 и C_2 , то последовательно блокируются триггеры ПТ1 и ПТ2. На выходах ПТ2 появляется непарафазный сигнал, что приводит к переключению элемента $DD1$ в состояние «0». В момент переключения одновибратор формирует короткий нулевой импульс, который поступает на вход схемы сброса триггера ПТ1. Выполняется попытка перезапустить парафазный триггер ПТ1.

Если к моменту выработки сигнала сброса на входе фиксирующего элемента восстанавливается парафазность сигналов C_1 и C_2 , то парафазный триггер ПТ1 перезапускается и возобновляет нормальную работу. Парафазный триггер ПТ2 выйдет из заблокированного состояния по импульсу с генератора низкой частоты ГВ. На выходе триггера ПТ2 установится парафазный сигнал, переключающий элемент $DD1$ в состояние «1». Схема перейдет в исходное состояние.

Если к моменту выработки сигнала сброса вычислительные каналы не восстановили нормальную работу и на входах C_1 и C_2 присутствуют непарафазные сигналы, то триггер ПТ1 блокируется окончательно. Сигнал перезапуска не формируется, т.к. триггер ПТ2 оставался в этом момент заблокированным.

Начальная инициализация и выход фиксирующего элемента из защитного состояния осуществляется по двум импульсам с генератора низкой частоты ГВ. Первого импульса недостаточно для того, чтобы восстановить работу парафазного триггера ПТ2 (так как на его входах присутствует непарафазный сигнал, поступающий с выходов парафазного триггера ПТ1), но достаточно для формирования сигнала восстановления ПТ1. По второму импульсу

с генератора низкой частоты восстанавливается нормальная работа всей схемы контроля.

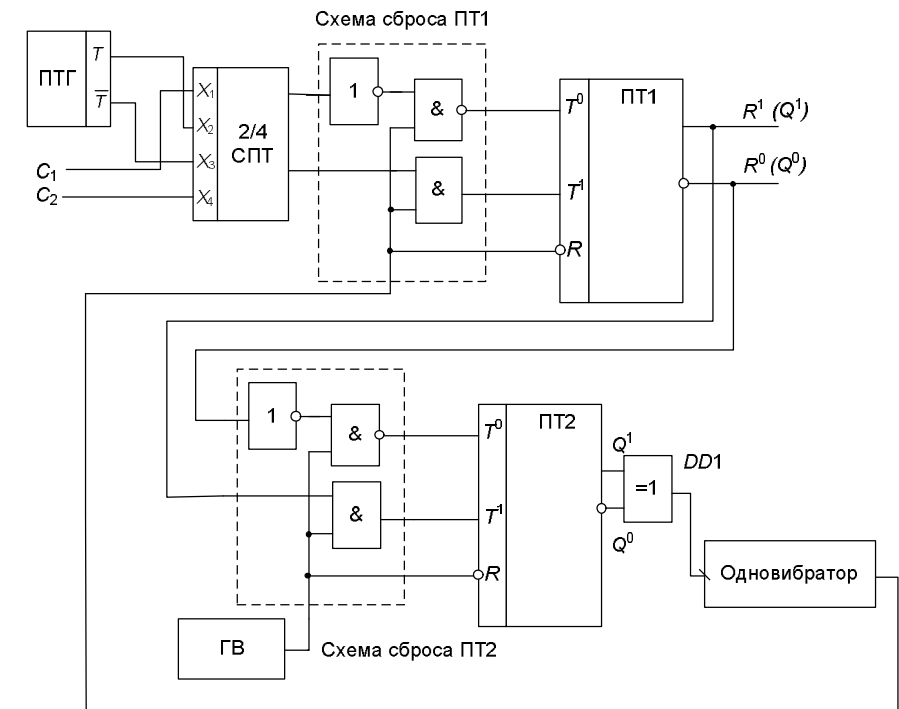


Рисунок 3.27 – Структурная схема фиксирующего элемента с однократным перезапуском

Алгоритм работы схемы фиксирующего элемента с однократным перезапуском представлен на рисунках 3.28–3.30.

Рассмотрим работу схемы в течение временных интервалов $T1$ – $T8$.

Интервалы $T1$ (см. рисунок 3.28), $T2$, $T4$ (см. рисунок 3.29), $T5$ (см. рисунок 3.30) соответствуют режиму нормальной работы фиксирующего элемента. На тестер 2/4 СПТ поступают парафазные сигналы C_1 и C_2 . На выходах тестера и парафазных триггеров ПТ1 и ПТ2 присутствует импульсный парафазный сигнал.

Интервал $T3$ (см. рисунок 3.29) соответствует кратковременному нарушению парафазности входного сигнала (сбою). На ПТ1 в течение длительности сбоя поступает непарафазный сигнал, что вызывает его блокировку и непарафазность сигналов на его выходах. Триггер ПТ2, на входы которого

поступает выходной сигнал триггера ПТ1, также блокируется и вырабатывает непарафазный сигнал. На выходе элемента *DD1* появляется сигнал низкого уровня, вследствие чего одновибратор вырабатывает сигнал восстановления триггера ПТ1. К моменту прихода на вход *Reset* триггера ПТ1 сигнала восстановления непарафазности входного сигнала устраняется, что позволяет парафазному триггеру ПТ1 войти в нормальный режим работы.

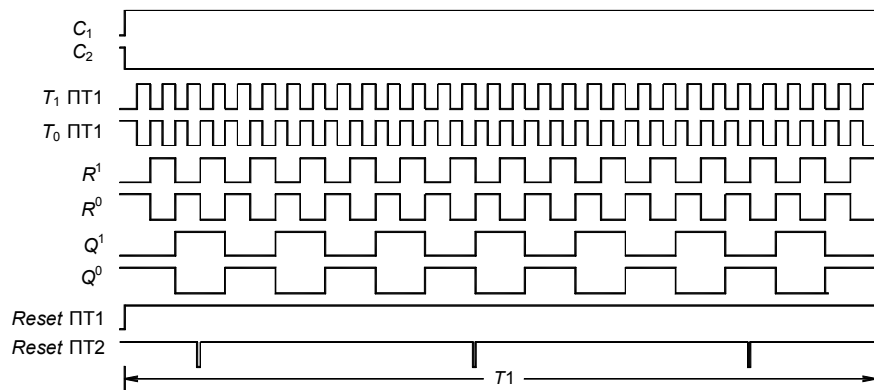


Рисунок 3.28 – Нормальная работа фиксирующего элемента

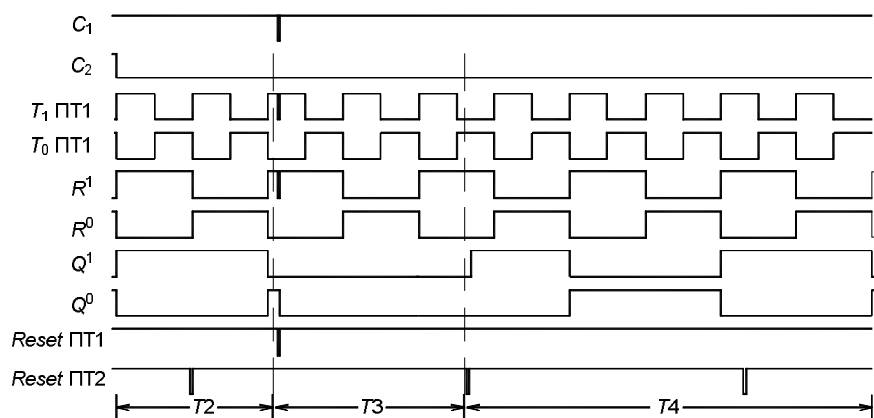


Рисунок 3.29 – Обработка сбоя фиксирующим элементом

Если в этот момент поступит еще один сбой, то сигнал повторного перезапуска не поступит, так как триггер ПТ2 в этот момент будет заблокирован.

Парафазный триггер ПТ2 выйдет из заблокированного состояния по сигналу восстановления на его входе *R*, поступающему с генератора низкой частоты.

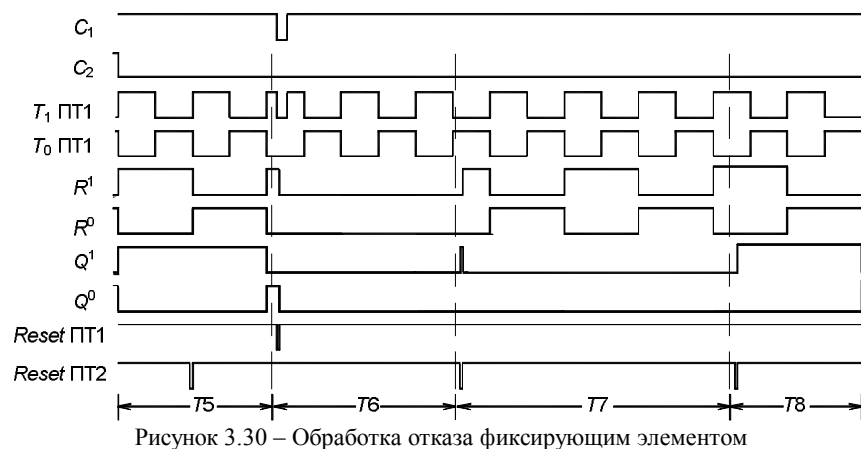


Рисунок 3.30 – Обработка отказа фиксирующим элементом

Интервал *T6* (см. рисунок 3.30) соответствует длительному нарушению парафазности входного сигнала (отказу). На входы ПТ1 поступает непарафазный сигнал, что вызывает его блокировку. Триггер ПТ2, на входы которого поступает выходной сигнал триггера ПТ1, также блокируется и вырабатывает непарафазный сигнал. Одновибратор вырабатывает сигнал восстановления парафазного триггера ПТ1. Однако запрещенная комбинация на входах ПТ1 не позволяет триггеру возобновить нормальную работу, и триггеры ПТ1 и ПТ2 остаются заблокированными.

Интервал *T7* (см. рисунок 3.30) соответствует восстановлению нормальной работы ПТ1 после устранения отказа. В момент поступления сигнала восстановления с генератора низкой частоты на вход *R* триггера ПТ2 триггер вырабатывает кратковременный парафазный сигнал, что вызывает генерацию одновибратором импульса восстановления *R* парафазного триггера ПТ1. К этому времени на вход триггера уже поступает парафазный сигнал. Триггер ПТ1 возобновляет нормальную работу.

Интервал *T8* соответствует восстановлению исходного состояния схемы контроля после устранения отказа. При поступлении второго импульса восстановления с генератора низкой частоты на вход *R* триггера ПТ2 триггер выходит из заблокированного состояния. Таким образом, после устранения отказа фиксирующий элемент входит в режим нормальной работы за два импульса восстановления.

Особенностью фиксирующего элемента с однократным перезапуском является блокировка триггера ПТ1 при поступлении двух сбоев подряд. Таким образом обеспечивается более высокая надежность по сравнению с фиксирующими элементами без перезапуска, с ручным или периодическим перезапуском, так как одиночные сбои не приводят к блокировке. В то же время данный фиксирующий элемент имеет более высокую безопасность по сравнению с фиксирующим элементом с постоянным перезапуском, так как число перезапусков ограничено и, следовательно, снижена вероятность накопления неисправностей во время перезапуска.

3.3.5 Фиксирующие элементы с программным перезапуском

Рассмотренные выше схемы фиксирующих элементов используют аппаратную реализацию перезапуска. Возможны реализации фиксирующих элементов с программным перезапуском, в которых формирование сигнала перезапуска осуществляет микроконтроллер по запросу от фиксирующего элемента. В этом случае можно не только реализовать все рассмотренные выше алгоритмы поведения фиксирующего элемента при сбоях и отказах, но и дополнить их новыми функциональными возможностями. Кроме того, можно менять алгоритм обработки сбоев в зависимости от конкретной ситуации.

Типовая структура фиксирующего элемента с программным перезапуском представлена на рисунке 3.31.

После включения питания микроконтроллер ожидает, пока на входах C_1 и C_2 не будут сформированы парафазные сигналы. Затем он последовательно формирует сигналы перезапуска триггеров ПТ1 и ПТ2. Если перезапуск триггеров удался, то на входе «Запрос на прерывание» будет сформирован сигнал логической «1». Это является признаком нормальной работы фиксирующего элемента.

В случае нарушения парафазности сигналов C_1 и C_2 последовательно блокируются триггеры ПТ1 и ПТ2 и на входе «Запрос на прерывание» будет сформирован сигнал логического «0», что вызовет прерывание в работе микроконтроллера. Микроконтроллер сразу формирует сигнал перезапуска триггера ПТ1 для того, чтобы возобновить подачу импульсного сигнала на выход фиксирующего элемента. Сигнал перезапуска триггера ПТ2 формируется после небольшой задержки. Если триггеры ПТ1 и ПТ2 перезапустились, то на входе «Запрос на прерывание» формируется логическая «1», и схема переходит в исходное состояние.

Если перезапуск не удался, то можно осуществить следующую попытку перезапуска. Условием прекращения перезапуска может быть либо количество попыток, либо время, отводимое на перезапуск. Если количество попыток не ограничивать, то получим элемент с постоянным перезапуском. Та-

ким образом, фиксирующий элемент с программным перезапуском обладает всеми достоинствами элемента с постоянным перезапуском, но лишен его недостатков.

К недостаткам фиксирующего элемента с программным перезапуском можно отнести потребность в ресурсах микроконтроллера, так как во время перезапуска микроконтроллер не сможет заниматься основными технологическими функциями. Поэтому, если реализован постоянный перезапуск, необходимо либо выполнить отключение управляющих выходов системы, либо увеличить интервал времени между попытками перезапуска, в течение которого выполнять функции, связанные с обеспечением безопасности системы.

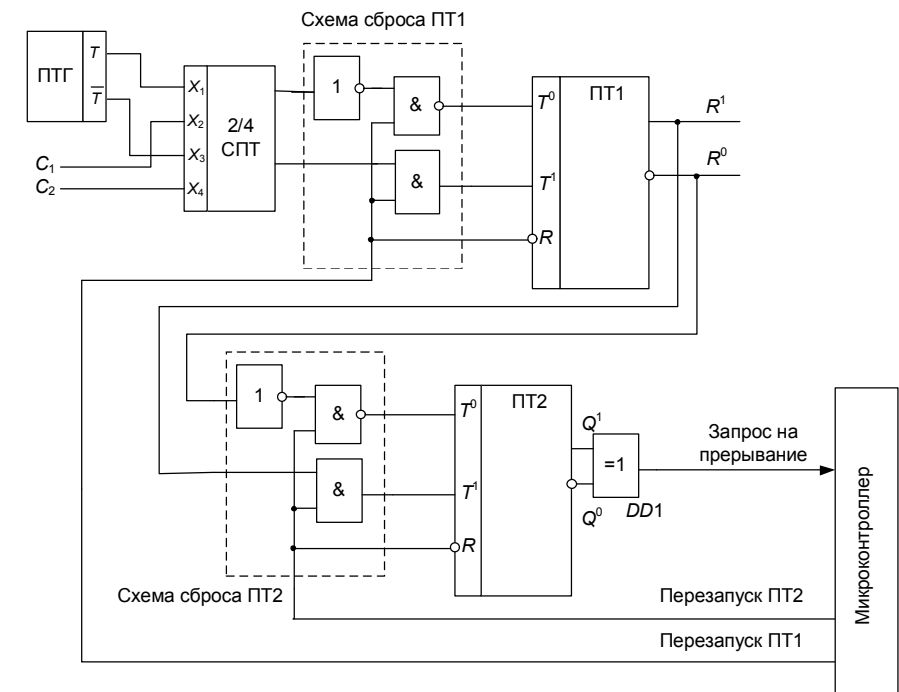


Рисунок 3.31 – Структурная схема фиксирующего элемента с программным перезапуском

Рассмотрим теперь способы реализации схем сравнения.

3.4 Принципы построения самопроверяемых схем сравнения

По способу выполнения операций схемы сравнения можно разделить на параллельные и последовательные. В параллельных схемах сравниваются сразу все разряды контрольной информации. При этом обеспечивается постоянный контроль корректности информации и минимальное время реакции на любое отклонение в работе сравниваемых каналов. В последовательных схемах разряды контрольной информации сравниваются последовательно во времени – от старшего к младшему. При этом во время сравнения каналы не контролируются. Однако последовательные схемы гораздо проще параллельных, что определило их широкое распространение. Параллельные схемы сравнения наиболее часто используются в системах с сильными связями, так как в этих системах требуется сравнение результатов с высокой частотой, что не могут обеспечить последовательные схемы.

3.4.1 Параллельные схемы сравнения в многоканальных структурах

Безопасные схемы сравнения в многоканальных структурах выполняют сравнение соответствующих сигналов на шинах (в памяти) каналов между собой. Если на один вход схемы сравнения подать контрольную информацию с одного вычислительного канала, а на второй вход (в качестве эталона) – эту же информацию со второго канала, но в инверсном виде, то в результате будет сформирован равновесный код $N/2N$, где N – число разрядов контролируемого кода. Поэтому для реализации безопасных схем сравнения можно воспользоваться свойствами самопроверяемых тестеров для равновесных кодов. Пример функциональной схемы восьмиразрядного устройства сравнения дублированной системы приведен на рисунке 3.32.

Контрольная информация выставляется на шины данных первым (D_1) и вторым (D_2) каналами и по тактовому сигналу T_0 одновременно записывается в буферные элементы, реализованные на D -триггерах (параллельных регистрах).

На самопроверяемые тестеры 2/4-СПТ первого каскада подключаются по два соответствующих сигнала с каждого буферного элемента, при этом со второго буферного элемента сигналы подаются в инверсном виде. Таким образом, на входе каждого тестера формируется равновесный код «2/4». На выходе тестеров 2/4-СПТ₁ – 2/4-СПТ₄ при нормальном функционировании образуется равновесный код «4/8», который в свою очередь контролируется следующим каскадом (тестерами 2/4-СПТ₅ – 2/4-СПТ₆). Каскадирование продолжается до тех пор, пока не останется один тестер (2/4-СПТ₇), к выходам которого C_1 и C_2 подключается фиксирующий элемент (см. рисунок 3.1).

Если контрольная информация различается в одном разряде, то на выходе схемы сравнения появится непарафазный сигнал, который будет обработан фиксирующим элементом в соответствии с выбранной стратегией.

Критерием опасного отказа схемы является формирование парафазного сигнала на выходах схемы при наличии расхождений в контрольной информации, поступающей от разных каналов.

Данная схема имеет несколько ограничений на использование в безопасных системах. Во-первых, схема позволяет контролировать только одиночные искажения и кратные искажения одного вида (например, несколько искажений вида $0 \rightarrow 1$). В этом случае происходит нарушение веса кода и фиксируется отклонение в работе системы. Если же искажения контрольной информации не нарушают вес кода (например, в первом разряде первого канала произошло искажение $0 \rightarrow 1$, а в третьем разряде второго канала – искажение $1 \rightarrow 0$), то на выходе схемы сравнения сохранится парафазный сигнал, несмотря на различные значения сравниваемых сигналов, что является опасным отказом.

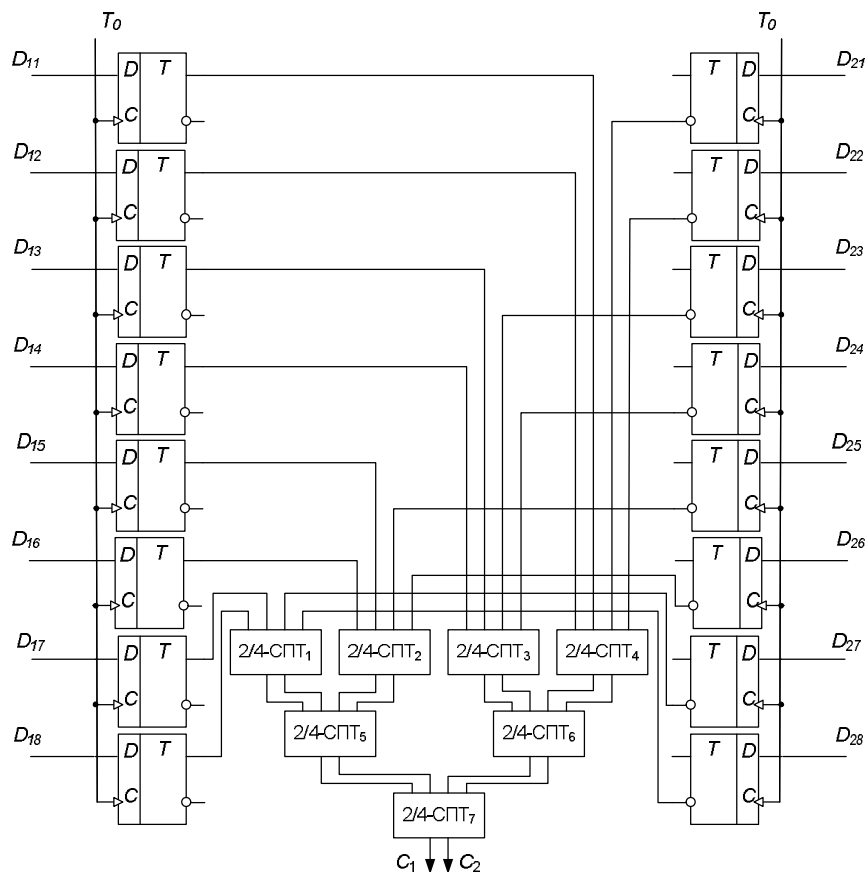


Рисунок 3.32 – Функциональная схема параллельного восьмиразрядного устройства сравнения дублированной системы

Аналогичная ситуация может возникнуть при накоплении неисправностей в схеме сравнения, так как двойная неисправность (или одиночная не обнаруженная неисправность схемы сравнения и одиночное искажение контрольной информации) также может привести к опасному отказу.

Поэтому большое внимание должно уделяться обеспечению независимости отказов в разных каналах, исключаяющих одновременное искажение в них контрольной информации, уменьшение времени контроля (смены контрольной информации), исключаящее нахождение схемы долгое время в статическом состоянии, и периодической подаче проверяющих тестов для исключения накопления отказов в схеме контроля.

В трехканальной системе кроме сравнения результатов работы трех каналов необходимо выделить (для последующей блокировки) неисправный канал. Возможны два способа реализации таких схем сравнения, которые соответствуют структурам, приведенным на рисунках 2.11 и 2.12.

Первый способ заключается в том, что разрабатывается устройство (блок СОНОК на рисунке 2.11), на вход которого поступает контрольная информация со всех каналов, а на выходе формируются сигналы подтверждения работоспособности каждого канала. Один из способов реализации такого устройства представлен на рисунке 3.33.

Устройство включает в себя три буферных элемента, в которые одновременно по тактовым сигналам записывается контрольная информация. Три схемы сравнения попарно сравнивают результаты работы всех каналов: «Схема сравнения 1-2» – информацию с первого канала, поступающую в инверсном виде, с информацией со второго канала, «Схема сравнения 2-3» – информацию со второго канала, поступающую в инверсном виде, с информацией с третьего канала, а «Схема сравнения 1-3» – информацию с первого канала с информацией с третьего канала, поступающую в инверсном виде.

Схемы сравнения строятся на самопроверяемых тестерах 2/4-СПТ аналогично параллельной схеме сравнения двухканальной системы (см. рисунок 3.32). На выходы схем сравнения подключаются фиксирующие элементы ФЭ. Импульсные сигналы с выходов фиксирующих элементов через схему дешифрации номера неисправного канала (элементы «ИЛИ») поступают на вход блока отключения канала БСО (см. рисунок 2.11). На входы элемента «ИЛИ» поступают сигналы, кодированные однофазным импульсным кодом, т. е. на выходе элемента должен формироваться импульсный сигнал, если хотя бы на одном из входов присутствует импульсный сигнал. Учитывая, что сигналы могут поступать асинхронно, использовать обычные логические элементы нельзя. Чаще всего реализацию данной функции переносят в блок БСО, который делают двухвходовым и который выполняет отключение канала, если на обоих входах отсутствует импульсный сигнал. Примеры таких схем будут рассмотрены ниже.

В случае искажения контрольной информации в одном из каналов (например, в первом), схемы сравнения «1-2» и «1-3» зафиксируют отклонение, что приведет к блокировке фиксирующих элементов ФЭ₁₂ и ФЭ₁₃. Это вызовет прекращение формирования импульсного сигнала на выходе R₁, в то время как фиксирующий элемент ФЭ₂₃ будет поддерживать импульсный сигнал на выходах R₂ и R₃. Таким образом, в отличие от двухканальной схемы сравнения, дешифрируется неисправный вычислительный канал, после чего могут быть приняты меры по его блокировке или восстановлению работоспособности.

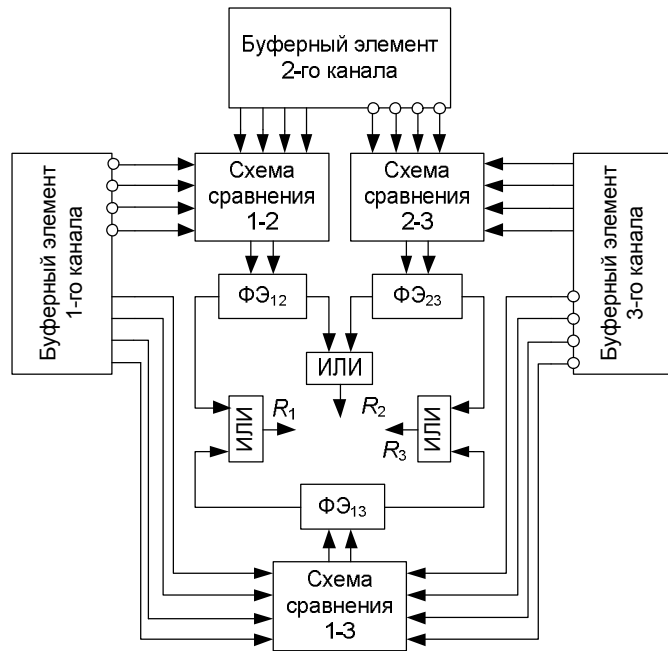


Рисунок 3.33 – Структурная схема параллельного четырехразрядного устройства сравнения троированной системы

Второй способ, представленный на рисунке 2.12, заключается в том, что вместо одного общего блока СОНОК (см. рисунок 3.33) разрабатываются три устройства, каждое из которых включает в себя две схемы сравнения. Пример такого устройства для первого канала представлен на рисунке 3.34.

Работа резервированного устройства с рассмотренным выше, за исключением того, что первый канал имеет две схемы сравнения (всего шесть). Таким образом, устройство имеет шесть схем сравнения. Каждый канал с помощью схемы сравнения «1-2» сравнивает свою информацию с инверсной информацией, а с помощью схемы сравнения «1-3» – свою информацию с инверсной информацией, пришедшей с первого канала. Такой подход требует увеличения количества регистров, что, в свою очередь, требует увеличения количества элементов, что, как следствие, снижает надежность системы. Однако, как и в случае с СОНОК, можно заменить любую часть без перерыва в работе остальных частей.

Рисунок 3.34 – Структурная схема резервированного параллельного устройства сравнения троированной системы (первый канал)

3.4.2 Последовательные схемы сравнения в многоканальных структурах

В последовательных схемах сравнения в качестве буферного элемента применяются сдвиговые регистры с параллельной загрузкой (рисунок 3.35). В один и тот же момент времени при поступлении сигнала \overline{LD} низкого уровня производится запись контрольной информации с шин вычислительных каналов в соответствующие сдвиговые регистры $RG1$ и $RG2$. Затем при наличии сигнала высокого уровня на входе \overline{LD} по импульсам синхронизации C производится последовательный сдвиг информации, записанной в регистры, от старшего разряда к младшему. Выходные сигналы регистров являются выходами схемы сравнения и подключаются к фиксирующему элементу, который выполняет поразрядное сравнение данных обоих регистров. Данные одного из каналов инвертируются для формирования парафазных сигналов. При обнаружении рассогласования данных ФЭ блокируется.

Особенностью данной схемы является то, что, в отличие от параллельных схем, время выполнения операций сравнения контрольной информации зависит от количества сравниваемых разрядов. Если принять тактовую частоту сигналов синхронизации равной f_c , то старшие разряды будут проверены сразу после загрузки данных в регистры, а младшие – через интервал времени, равный $(n - 1) / f_c$, где n – число сравниваемых разрядов. Соответственно, загрузка новых данных для сравнения должна выполняться через интервал времени n / f_c .

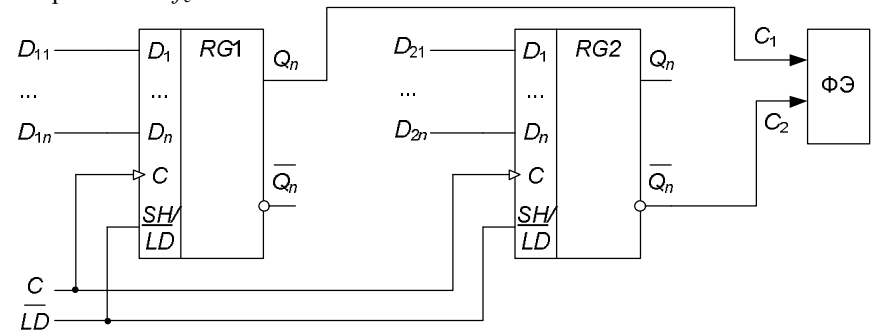


Рисунок 3.35 – Функциональная схема последовательного устройства сравнения дублированной системы

Учитывая, что для самопроверки фиксирующего элемента необходимо, чтобы каждый парафазный триггер отработал не менее четырех тактов, то частота сигналов синхронизации f_c должна удовлетворять следующим условиям:

– $f_c \leq f_{\text{ПТГ}} / 4$ – для фиксирующих элементов с одним парафазным триггером;

– $f_c \leq f_{\text{ПТГ}} / 8$ – для фиксирующих элементов с двумя парафазными триггерами (см. рисунки 3.27, 3.31), где $f_{\text{ПТГ}}$ – частота парафазного генератора ПТГ в схеме фиксирующего элемента.

Исходя из этих условий, можно определить максимальное время обнаружения искажения контрольной информации последовательной схемой сравнения. В самом худшем случае искажение может возникнуть в младшем разряде сразу после загрузки правильных данных в буферные регистры, поэтому до его обнаружения пройдет интервал времени n / f_c до загрузки новых (искаженных) значений и интервал времени $(n - 1) / f_c$ до сравнения младшего разряда. Поэтому общее время обнаружения искажения информации будет $t_{\text{срав}} \leq 2n / f_c$. Для сравнения, аналогичное время обнаружения искажения информации в параллельных схемах равно f_c , т. е. в $2n$ раз меньше. Кроме того, кратковременный сбой, вызывающий искажение информации длительностью меньше $t_{\text{срав}}$, может быть не обнаружен схемой сравнения, если произойдет в промежутке между записью информации в буферные регистры.

В трехканальных схемах сравнения выходы буферных регистров каждого канала сравниваются с выходом мажоритарного элемента (рисунок 3.36). Инверсные выходы буферных регистров подключаются к входам мажоритарного элемента. Сигнал на выходе мажоритарного элемента определяется большинством входных сигналов, поэтому он используется как эталон для сравнения сигналов, поступающих с прямых входов буферных регистров. Если канал работает правильно (как большинство каналов), то на входе фиксирующего элемента ФЭ формируется парафазный сигнал. Если же контрольная информация в канале была искажена, то с выхода мажоритарного элемента все равно поступит правильная информация, парафазность на входе фиксирующего элемента будет нарушена, что приведет к его блокировке, т. е. искажение будет обнаружено. В схеме контроля не требуется дешифратор неисправного канала, т. к. фиксирующие элементы подключены к соответствующим каналам обработки информации. Поэтому при отказе вычислительного канала блокируется соответствующий фиксирующий элемент.

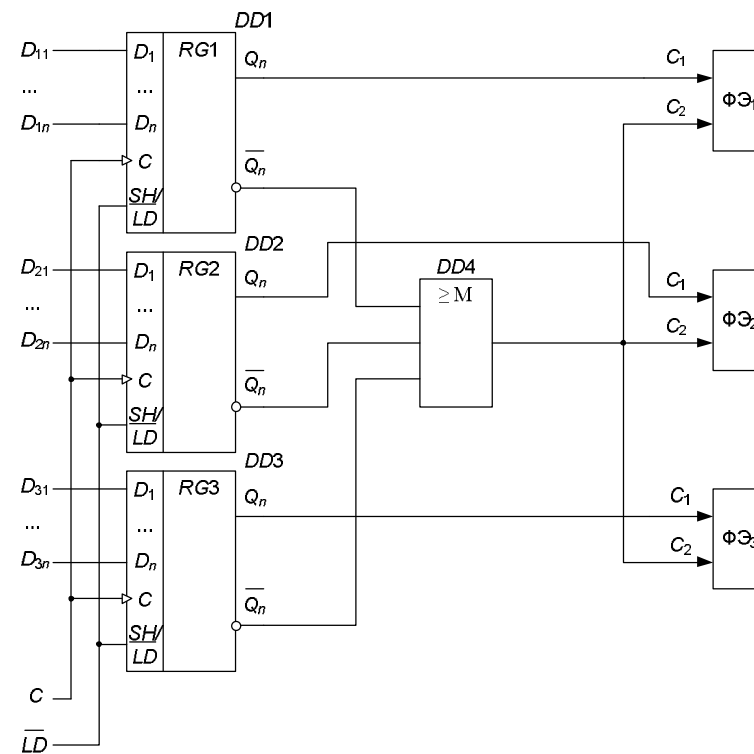


Рисунок 3.36 – Функциональная схема последовательного устройства сравнения трехканальной системы

Для повышения отказоустойчивости устройства сравнения мажоритарный элемент может быть выполнен резервированным, как это показано на рисунке 3.37.

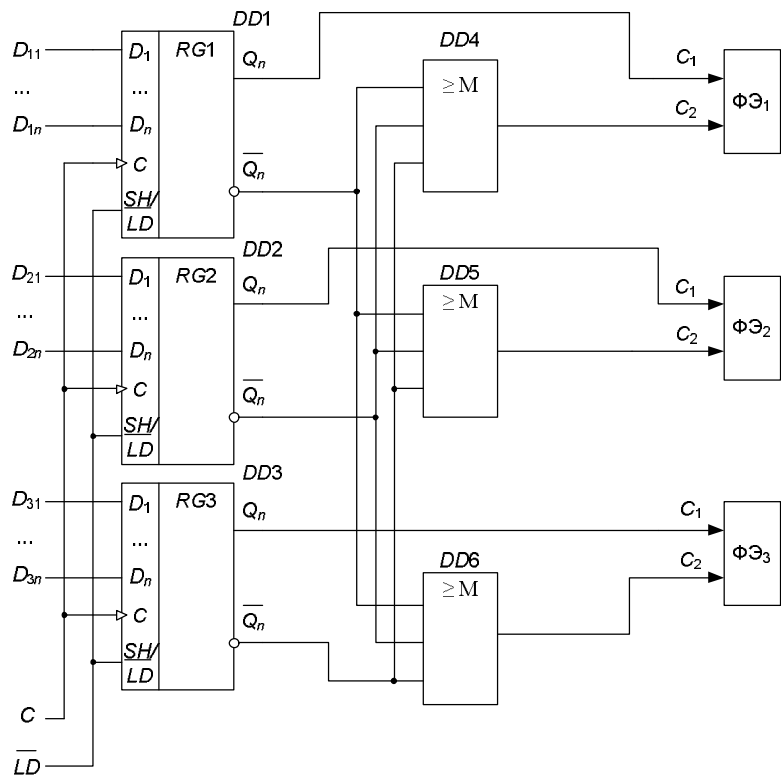


Рисунок 3.37 – Функциональная схема последовательного устройства сравнения трехканальной системы с резервированным мажоритарным элементом

3.4.3 Схемы контроля в одноканальных структурах

Рассмотренные выше самопроверяемые схемы сравнения для двухканальных структур могут быть использованы и для контроля одноканальных структур. Для этого необходимо обеспечить подачу на входы схемы контроля равновесного кода. Однако в одноканальной структуре невозможно обеспечить передачу по шинам только информации, закодированной равновесным кодом. Поэтому контролирующее устройство должно подключаться непосредственно к шинам микропроцессора, а к дополнительному буферному элементу (регистру или порту вывода). Вычислительный канал в определенные интервалы времени (контрольные точки) должен формировать (кодировать) контрольную информацию и записывать ее в буфер, из которого она будет поступать в устройство контроля для проверки корректности кода.

В связи с тем, что равновесный код формируется программным способом возможно использования кодов с любым весом, а не только кодов $N / (2N)$. В этом случае схема сравнения будет представлять собой самопроверяемый тестер для выбранного кода, к выходам которого будет подключаться фиксирующий элемент.

Для исключения накопления ошибок за время диагностирования должно быть обеспечено поступление контрольной информации (проверяющего теста), достаточной для контроля исправности, как вычислительного канала, так и устройства контроля, т. е. контрольные коды должны быть различны и проверять все возможные одиночные отказы в устройстве контроля. Время диагностирования и количество контролируемых разрядов выбираются исходя из требуемых показателей безопасности системы.

3.5 Параллельные схемы сравнения с трансляцией тактового сигнала

Наиболее распространены параллельные схемы сравнения с трансляцией тактового сигнала, реализованные с помощью безопасных элементов XOR («Исключающее ИЛИ»). Пример безопасного элемента коллекторно-базовой логики [3], реализующего функцию «Исключающее ИЛИ» представлен на рисунке 3.38. На вход T подается импульсный сигнал, который появляется на выходе при разных значениях $X1$ и $X2$ (логическая единица). При равных значениях $X1$ и $X2$ транзистор закрыт, и на выходе присутствует постоянное напряжение (логический ноль).

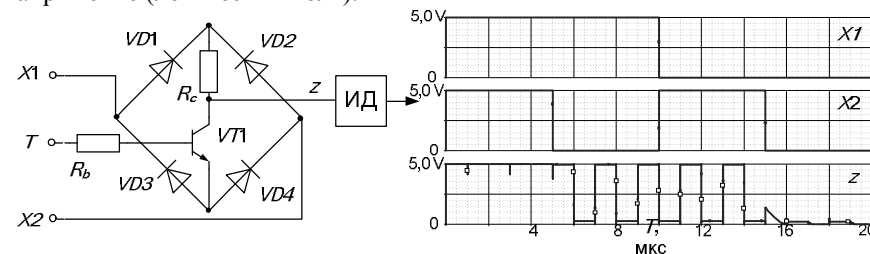


Рисунок 3.38 – Схема и диаграмма работы безопасного элемента «Исключающее ИЛИ»

Опасным для этого элемента может быть отказ «короткое замыкание база – коллектор» транзистора, при котором импульсный сигнал с входа T появится на выходе z независимо от состояния логических входов. Так как в нормальном режиме транзистор кроме функций ключа выполняет усиление входного сигнала, то для предотвращения опасной ситуации необходимо снизить амплитуду импульсов, поступающих на вход T , до значения порядка

2 В. при котором транзистор будет надежно открываться. Однако при возникновении указанного отказа усиление сигнала выполняться не будет, а амплитуды выходного сигнала будет недостаточно для включения исполнительного устройства, например импульсного декодера ИД. Таким образом, данный отказ станет защитным.

Включив эти элементы последовательно, можно составить контрольный канал для сравнения результатов работы вычислительных каналов при многоканальной обработке информации как, например, в схеме сравнения блока *SIMIS*, представленной на рисунке 3.39.

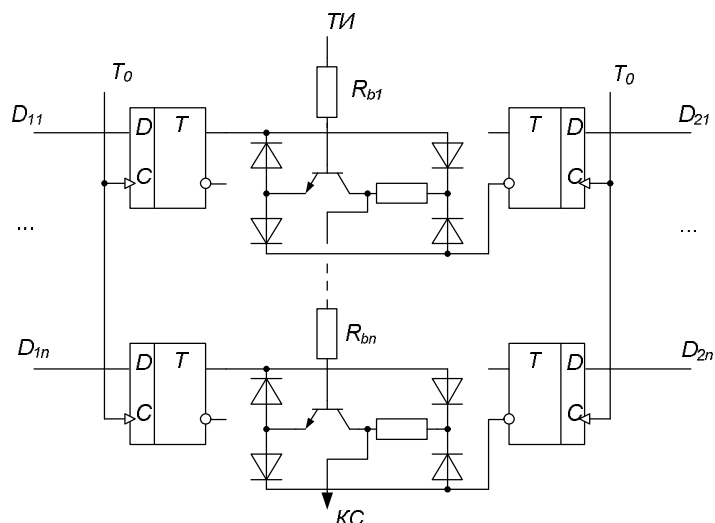


Рисунок 3.39 – Функциональная схема сравнения блока *SIMIS*

На тактовый вход ТИ схемы сравнения поступают импульсы с тактового генератора. Для обеспечения динамического режима работы элемента *XOR* частота следования импульсов ТИ должна быть на порядок выше, чем частота смены контрольной информации T_0 . При поступлении импульса T_0 контрольная информация с первого ($D_{11} - D_{1n}$) и второго ($D_{21} - D_{2n}$) вычислительных каналов записывается в буферные элементы на базе *D*-триггеров. На логические входы каждого элемента *XOR* коллекторно-базовой логики подаются прямой (с первого канала) и инверсный (со второго канала) сигналы, соответствующие проверяемому разряду контрольной информации. Если сигналы различны, т. е. каналы выдали идентичную информацию, то на выходе схемы *XOR* формируется импульсный сигнал, парафазный входному

сигналу ТИ, который в свою очередь подается на вход схемы *XOR*, сравнивающий следующий разряд контрольной информации и т. д.

Таким образом, если все разряды контрольной информации идентичны, то на выходе схемы сравнения формируется импульсный сигнал КС, по частоте совпадающий с входным сигналом ТИ. Этот сигнал в свою очередь поступает на управляемый тактовый генератор ТГ (рисунок 3.2), который на основе импульсов КС формирует сигналы синхронизации вычислительных каналов T_1 и T_2 .

Если в каком-либо разряде контрольной информации наблюдается расхождение, то на выходе КС появляется постоянное напряжение, и тактовый генератор прекращает формирование тактовых импульсов, что приводит к «зависанию» вычислительных каналов.

Опасным для схемы контроля может быть короткое замыкание база – коллектор транзистора в схеме *XOR*. В этом случае входные импульсы сразу будут транслироваться на выход без учета вида информации на логических входах. Для исключения влияния этих отказов на безопасность в цепь базы включаются дополнительные резисторы $R_{b1} - R_{bn}$, которые снижают уровень сигнала, поступающего на базу транзистора и вызывающего его переключение. При наличии различных сигналов на логических входах элемента *XOR* транзистор дополнительно усиливает импульсный сигнал, компенсируя влияние резисторов $R_{b1} - R_{bn}$. При коротком замыкании база-коллектор транзистора импульсный сигнал в отказавшем каскаде усиливаться не будет, что приведет к тому, что транзистор следующего каскада не откроется и формирование импульсов на выходе прекратится. Пробой резистора можно исключить специальными мерами, изложенными в приложении А. Таким образом, отказ из опасного станет защитным.

3.6 Пример реализации безопасной схемы сравнения

Основными характеристиками, влияющими на выбор способа реализации безопасной схемы сравнения, являются:

- быстродействие, т. е. время от поступления некорректной информации на входы схемы сравнения до прекращения формирования сигнала подтверждения работоспособности. Если присутствуют высокие требования по быстродействию, то необходимо выбирать параллельную схему сравнения. В противном случае выбор схемы определяется другими характеристиками;

- необходимость синхронизации схемы сравнения с вычислительными каналами. Если каналы работают синхронно, например системы с сильными связями, то отдельной синхронизации схемы сравнения не требуется. Иначе возможны два варианта. В первом – должна быть выполнена синхронизация

каналов в момент выдачи контрольной информации и одновременная запись этой информации во входной буфер схемы сравнения. Во втором случае, если точную синхронизацию каналов выполнить затруднительно, то допускается неодновременность выдачи контрольной информации на сравнение, но задержка не должна превышать интервала времени Δt , который определяется инерционностью безопасной схемы отключения. Тогда при запаздывании одного из каналов схема сравнения прекращает формирование сигнала подтверждения работоспособности, но безопасная схема отключения ожидает в течение времени Δt возобновления нормальной работы. Если за этот промежуток времени поступает корректная информация со второго канала, то система продолжает нормально функционировать, в противном случае безопасная схема отключения выполняет отключение системы;

– разрядность схемы сравнения. Разрядность должна быть достаточной для того, чтобы гарантированно контролировать исправность вычислительных каналов. На практике количество контролируемых разрядов должно быть более четырех и включать в себя как выходные сигналы управления, так и результаты промежуточных вычислений (тестов). Чем больше объем контрольной информации, тем выше безопасность, но при этом значительно возрастает сложность схемы сравнения. Поэтому при большом числе разрядов и отсутствии требований к быстродействию схему сравнения выполняют как последовательное устройство. При небольшом числе разрядов (менее восьми) рекомендуется использовать параллельные схемы сравнения.

При выборе схемы сравнения для рассматриваемого примера модуля управления проходным светофором необходимо обратить внимание на следующие моменты:

– система с умеренными связями не предъявляет высоких требований к быстродействию схемы сравнения;

– использование различных микроконтроллеров в силу аппаратного диверситета приводит к тому, что имеется существенная задержка формирования выходных сигналов на линиях портов ввода-вывода (в микроконтроллерах PIC16 задержка может составлять до трех тактов работы). Поэтому самым простым вариантом будет реализации схемы сравнения, допускающей неодновременность выдачи контрольной информации;

– разрядность выбранных микроконтроллеров позволяет легко обрабатывать информацию в виде однобайтных чисел. Увеличение разрядности ведет к значительному усложнению программного обеспечения. Кроме того, система команд микроконтроллеров позволяет одной командой изменять значение либо одного, либо восьми разрядов (один порт) одновременно. Использование другого количества разрядов также усложняет реализацию программы. Поэтому предпочтительным является использование восьмиразряд-

ной схемы сравнения, подключаемой к одному порту микроконтроллера. Данный выбор может быть изменен в процессе разработки устройства, если количество требуемых линий ввода-вывода превысит имеющиеся в наличии у выбранных микроконтроллеров. Тогда потребуется либо выбрать другие микроконтроллеры с большим количеством портов ввода-вывода, либо сократить (мультиплексировать) требуемые линии ввода-вывода.

Исходя из рассмотренных требований для разрабатываемого устройства можно выбрать восьмиразрядную схему сравнения с трансляцией тактового сигнала (рисунок 3.39). Учитывая, что каналы будут синхронизироваться программно перед выводом контрольной информации в порт, то дополнительной синхронизации не требуется. Кроме того, так как порты микроконтроллеров сами по себе выполняют функцию буферизации, то элементы XOR можно подключать не через D -триггеры как на рисунке 3.39, а напрямую к линиям портов. Правда при этом в одном из каналов обязательно потребуется инвертировать контрольные сигналы для получения парафазного кода, что, учитывая диверситет каналов, несложно.

Такой подход позволит получить достаточно простую схему сравнения, обладающую высокой степенью безопасности. Пример реализации такой схемы сравнения приведен на рисунке 3.40, где схема сравнения подключена к порту PB микроконтроллера PIC16 и порту $P0$ микроконтроллера MC51

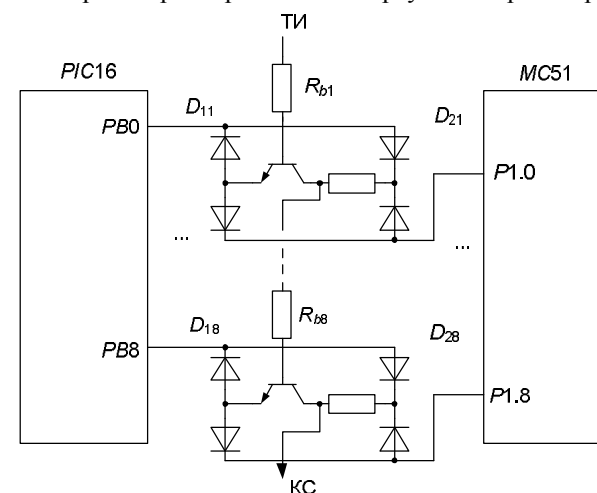


Рисунок 3.40 – Пример двухканальной схемы сравнения

4 РАЗРАБОТКА ПРИНЦИПАЛЬНЫХ СХЕМ СОПРЯЖЕНИЯ С ИСПОЛНИТЕЛЬНЫМИ ОБЪЕКТАМИ

4.1 Способы представления входной и выходной информации

Микропроцессорные системы железнодорожной автоматики характеризуются многообразием решаемых задач и широкой номенклатурой датчиков входной информации и исполнительных устройств. Это приводит к тому, что входная и выходная информация может быть представлена в цифровой (параллельный или последовательный двоичный код) и аналоговой (в виде статических, импульсных или релейных сигналов) формах (рисунок 4.1).

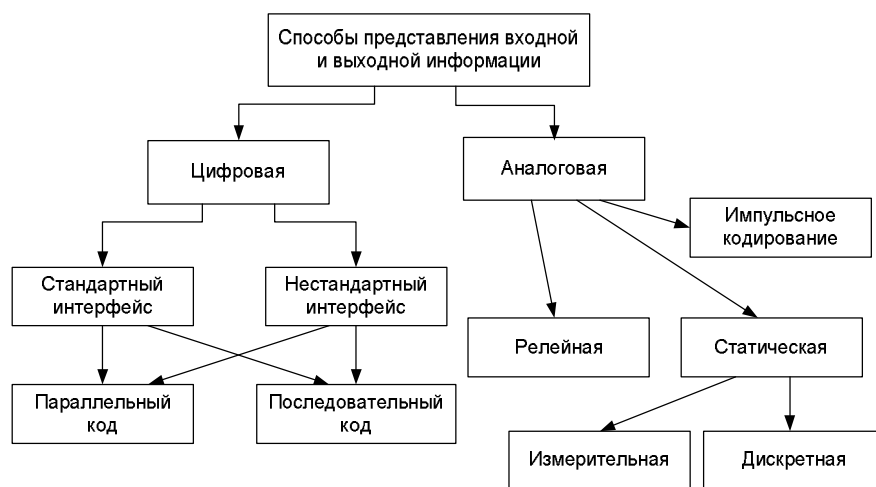


Рисунок 4.1 – Способы представления входной и выходной информации

Если обмен информацией производится между микропроцессорными или компьютерными системами, то информация передается в цифровой форме. При этом могут использоваться как стандартные параллельные (*IEC 625-1*, *Multibus*) или последовательные (*RS-232*, *RS-485*, *PC*, *CAN*), так и нестандартные интерфейсы. Наибольшее распространение в последнее время получили последовательные стандартные интерфейсы из-за их высокой надежно-

сти, дальности передачи информации, невысокой стоимости и наличия широкого спектра аппаратных и программных средств (в т. ч. каналообразующих устройств) для реализации данных интерфейсов. Обеспечение безопасности при передаче цифровой информации обеспечивается чаще всего избыточным кодированием.

В аналоговой форме информация используется при обмене информацией с датчиками и исполнительными устройствами, входные и выходные сигналы которых не приведены к цифровой форме. Аналоговая информация в статической форме, когда измеряется мгновенное значение какого-либо физического параметра сигнала (напряжение, ток, частота и т. п.), в безопасных системах используется редко ввиду слабой защищенности такой информации от искажений. В основном измерительная аналоговая информация применяется в системах диагностики состояния оборудования при измерении показателей качества функционирования объектов (сопротивления изоляции кабеля, напряжения источника питания, рабочего тока и т. п.). В этом случае никаких специальных мер обеспечения безопасности не требуется.

Гораздо шире применяется дискретная аналоговая информация, когда входной аналоговый сигнал сравнивается с пороговым значением, а в микроконтроллер вводится информация о наличии или отсутствии аналогового сигнала. Примером такой информации может служить контроль тока горения лампы светофоров, наличие напряжения питания и т. п.

При передаче ответственной информации в импульсной форме она кодируется длительностью, амплитудой, площадью импульса или периодом следования импульсов (например, в осевом датчике скорости), однофазным или парафазным импульсным кодом. В этом случае безопасность обеспечивается динамическим характером работы элементов и периодическим обновлением информации. Динамический режим работы элементов позволяет защититься от опасных отказов, так как любой отказ приводит к нарушению алгоритма работы устройства, а периодическое обновление информации обеспечивает защиту от опасных сбоев, когда информация, искажившаяся под действием сбоя, будет восстановлена в следующем такте работы системы.

Под релейной информацией понимается аналоговый сигнал, изменяющийся скачкообразно в результате замыкания или размыкания контактов реле (ключа). Релейная информация является дискретной и имеет два состояния: «включено» или «выключено». Учитывая, что в современных системах железнодорожной автоматики сохраняется значительное количество реле, безопасному вводу-выводу релейной информации уделяется большое значение.

Рассмотрим типовые схемы организации ввода дискретной аналоговой и релейной информации в системах железнодорожной автоматики.

4.2 Организация безопасного ввода ответственной информации

Основными видами входной дискретной аналоговой информации являются контроль протекания тока в цепи и наличие заданного напряжения между определенными узлами схемы. Схемные решения ввода дискретной информации для цепей постоянного и переменного тока несколько отличаются.

4.2.1 Контроль постоянного тока

Контроль протекания тока в цепи постоянного тока может осуществляться следующими способами: оптроном, датчиком Холла, косвенным измерением напряжения, огневым реле. Пример контроля протекания постоянного тока *оптроном* представлен на рисунке 4.2. Схема работает следующим образом.

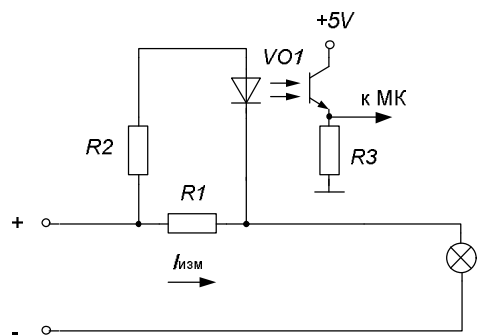


Рисунок 4.2 – Схема контроля постоянного тока оптроном

Схема может использоваться в тех случаях, когда величина контрольного тока значительно (в сотни раз) превышает ток, протекающий через светодиод. В противном случае схема будет оказывать значительное влияние на точность измерений.

Резистор $R2$ служит для ограничения тока, протекающего через светодиод, величина которого должна находиться в допустимых пределах для выбранного типа оптрона. Сопротивление шунта $R1$ подбирается таким, чтобы на нем при протекании минимального контрольного тока падало напряжение, достаточное для гарантированного открытия оптрона (около 2 В). При этом надо учитывать, что чем меньше напряжение, падающее на шунте, тем меньше потери энергии.

Пример схемы контроля тока величиной 1 А приведен на рисунке 4.3. В качестве нагрузки выступает лампа железнодорожного светофора ЖС-12-15 с напряжением питания 12 В и мощностью 15 Вт, которая на схеме заменена

эквивалентным сопротивлением. На диаграмме (рисунок 4.4) показаны измеряемый ток $I_{изм}$, контрольное напряжение на выходе схемы $U_{МК}$ и контрольный ток $I_{к}$, протекающий в цепи оптрона.

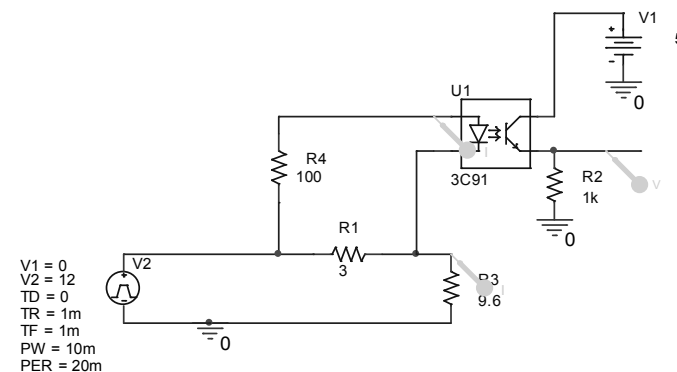


Рисунок 4.3 – PSpice-модель схемы контроля постоянного тока оптроном

Как видно из диаграммы, при данных параметрах схемы величина контрольного тока составляет менее 2 % от измеряемого значения, и поэтому вносимой погрешностью измерений можно пренебречь.

Рассеиваемая мощность на шунтирующем резисторе равна $W_{R1} = U_{R1} I_{изм}$, а затрачиваемая мощность – $W = (U_{R1} + U_{наг}) I_{изм}$. Поэтому потери мощности при таком способе измерения будут равны $k = W_{R1} / W = U_{R1} / (U_{R1} + U_{наг}) = U_{R1} / U_{вх}$, что для данных параметров схемы составляет около 25 % от полезной мощности. Уменьшить потери мощности за счет уменьшения сопротивления шунта в данном случае нельзя, так как падения напряжения на шунте будет недостаточно для открытия оптрона. Поэтому единственным способом уменьшения потерь является увеличение входного напряжения $U_{вх}$. Так, при повышении напряжения питания до 24 В потери мощности на шунте снизятся до 12 %, и будут уменьшаться при дальнейшем увеличении питающего напряжения. В связи с этим данный метод получил распространение для контроля токов в цепях с напряжением питания выше 24 В.

Критерии опасного и защитного отказов для схем контроля протекания тока зависят от назначения объекта управления. Для схем управления лампами светофора принято считать опасным состоянием ложный контроль. В этом случае лампа не горит, но контроль присутствует, поэтому не происходит переключение на более запрещающее показание. Для схемы управления стрелкой такой отказ будет считаться защитным, так как при поступлении команды на перевод она не будет выполнена. Опасным в этом случае может

быть отсутствие контроля, так как, если в результате других отказов на электропривод стрелки будет подано напряжение и начнется перевод, то контрольная схема это не зафиксирует.

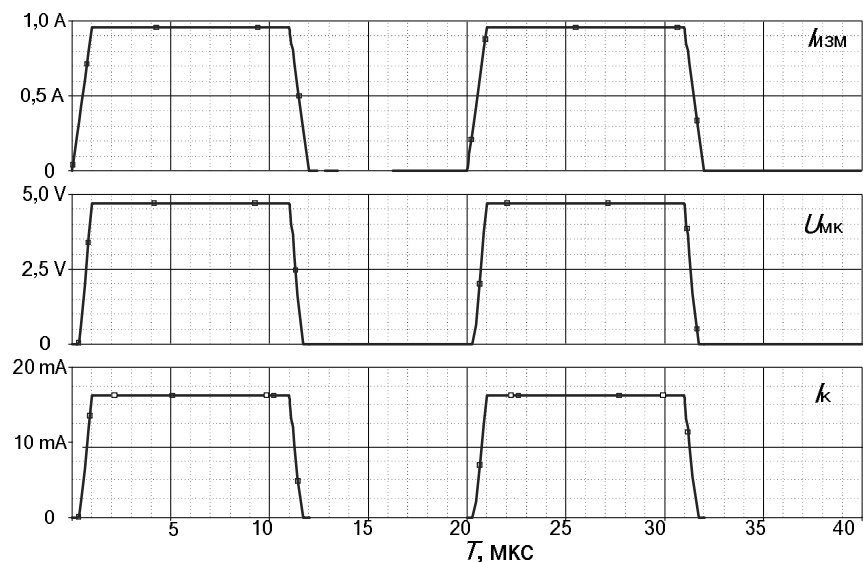


Рисунок 4.4 – Диаграмма работы схемы контроля постоянного тока оптроном

В схеме, представленной на рисунке 4.2, ложному контролю соответствует наличие логической единицы на выходе схемы при значении тока в контрольной цепи меньше порогового значения. Отказами, приводящими к таким последствиям, могут быть пробой выходного транзистора оптрона и обрыв резистора шунта. В первом случае на выходе контрольной схемы всегда присутствует логическая единица. Обнаружить отказ можно только в момент выключения объекта, поэтому для обеспечения безопасности необходимо обеспечить контроль питающего напряжения, а время нахождения объекта во включенном состоянии не должно превышать времени диагностирования неисправности. Во втором случае значительно уменьшается пороговое значение измеряемого тока, что может привести к ложному контролю при протекании в цепи тока, недостаточного для включения объекта. Защититься от данного отказа можно измерением падения напряжения на объекте управления, так как в этом случае сопротивление цепи значительно увеличивается, что приводит к снижению напряжения на объекте управления.

Отказами, приводящими к отсутствию контроля, могут быть обрывы эмиттера выходного транзистора оптрона и резистора $R2$. Обнаружить отказ

можно только в момент включения объекта, поэтому для обеспечения безопасности необходимо обеспечить контроль питающего напряжения, а время нахождения объекта в выключенном состоянии не должно превышать времени диагностирования неисправности.

При необходимости ввода информации в несколько независимых каналов нужно включить шунтирующие резисторы каждого канала последовательно (рисунок 4.5). При этом следует учитывать, что суммарные потери мощности в схеме будут равны сумме потерь на каждом шунте. Кроме того, последовательное подключение схем контроля позволяет защититься от опасных отказов, рассмотренных выше, так как в этом случае исправные и неисправные схемы контроля выдадут разные значения при выключенном объекте.

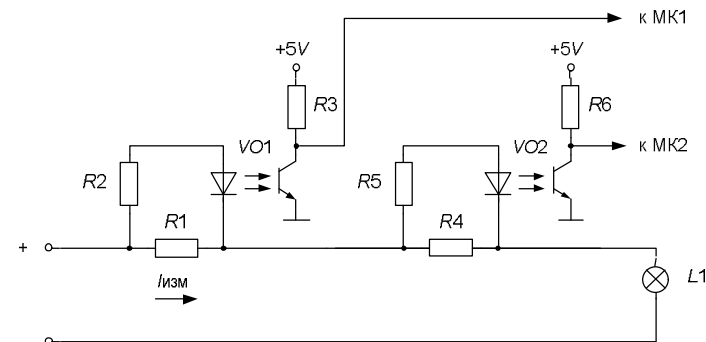


Рисунок 4.5 – Схемы контроля постоянного тока оптронами для двухканальной структуры

Удобно использовать оптроны с выходным каскадом в виде триггера Шмитта, например *HCPL-5200* (рисунок 4.6).

Для измерения постоянного тока часто применяют датчики, использующие эффект Холла, который состоит в следующем. Если проводник с током помещён в магнитное поле, то возникает ЭДС, направленная перпендикулярно и току, и полю. Эта ЭДС пропорциональна векторному произведению индукции B на плотность тока j . Для прямоугольной пластины с однородным током и магнитным полем ЭДС равна $E_H = k_H V_S B$, где k_H – постоянная Холла, V_S – напряжение, создаваемое на токоподводящих выводах датчика Холла. Для кремния k_H составляет величину порядка $70 \text{ мВ} / (\text{В} \cdot \text{Тл})$, поэтому, как правило, ЭДС датчика Холла требуется усилить.

Датчики Холла имеют несколько разновидностей. Они могут быть логическими, имеющими выход в виде триггера Шмитта, и линейными, формирующими на выходе аналоговое значение, пропорциональное значению контролируемого тока. Кроме того, датчики могут быть униполярными, т. е.

фиксирующими ток только определенного направления, или биполярными, т. е. реагирующие на амплитуду магнитного поля вне зависимости от направления тока.

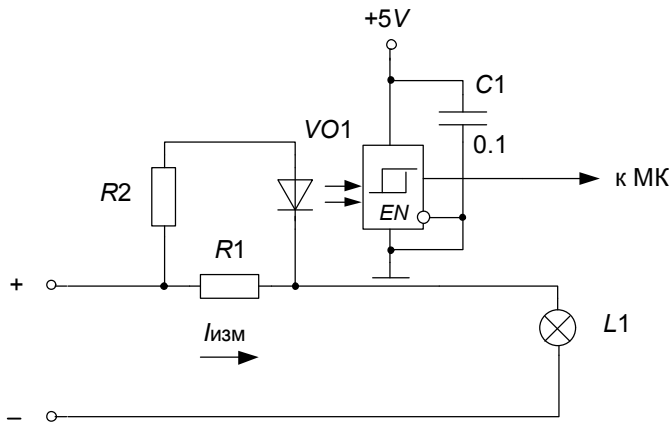


Рисунок 4.6 – Схема контроля постоянного тока оптроном с триггером Шмитта

На рисунке 4.7 приведен пример подключения логического датчика Холла 2SS52M фирмы Honeywell. Выход данного датчика инверсный и реализован в виде триггера Шмитта, что позволяет подключать его непосредственно к входу микроконтроллера.

Протекающий через катушку $L1$ ток вызывает появление магнитного поля в зоне действия датчика Холла. В датчике Холла возникает ЭДС, величина которой пропорциональна значению тока в катушке. Сформированное напряжение поступает на вход триггера Шмитта. При достижении порогового значения на инверсном выходе триггера Шмитта формируется значение логического нуля.

Особенностью применения датчиков Холла является то, что величина тока, при котором срабатывает датчик, зависит не только от характеристик самого датчика, но и от параметров катушки индуктивности $L1$. Поэтому могут применяться датчики Холла со встроенными катушками индуктивности, например ACS713. Данный датчик является линейным униполярным и имеет несколько модификаций для различных величин контролируемых токов, например ACS713x20A применяется для измерения постоянного тока от 0 до 20 А. При отсутствии магнитного поля на выходе датчика формируется напряжение, равное 0,5 В. При прохождении тока в прямом направлении выходное напряжение пропорционально увеличивается до напряжения 4,3 В.

Пример типовой схемы включения такого датчика приведен на рисунке 4.8. Параметры элементов подобраны таким образом, чтобы обеспечивать скорость изменения выходного напряжения 610 мВ / А.

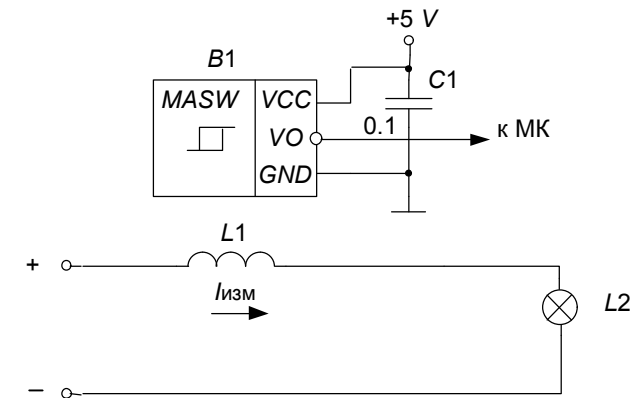


Рисунок 4.7 – Схема контроля постоянного тока датчиком Холла

Выход датчика является аналоговым. Для ввода информации в микроконтроллер выход датчика можно подключить к входу встроенного АЦП.

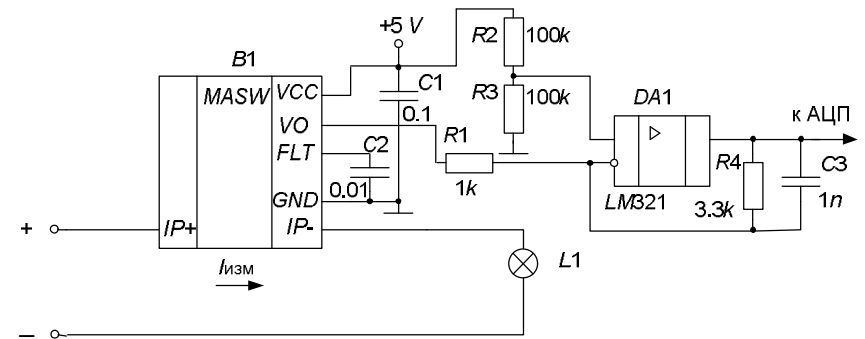


Рисунок 4.8 – Схема измерения значения постоянного тока датчиком Холла ACS713

Преимуществом использования датчика Холла, по сравнению со схемой на оптронах, являются значительно меньшие потери мощности; гальваническая развязка между силовой и измерительной цепями, возможность использования схемы без изменений для контроля как постоянного тока любого направления, так и переменного тока (при использовании биполярных дат-

чиков). Недостатками датчиков Холла являются невысокое быстродействие (в большинстве случаев частота переменного тока не должна превышать 50 Гц), сложность настройки порогового значения (только изменением числа витков катушки).

Отказами, приводящими к опасным последствиям, являются константные дефекты вида «постоянный ноль на выходе» или «постоянная единица на выходе» в зависимости от выбранных критериев отказа. Защита от опасных отказов выполняется аналогично рассмотренным ранее схемам.

При необходимости ввода информации в несколько независимых каналов следует включить датчика Холла каждого канала последовательно.

Еще одним способом контроля наличия постоянного тока в цепи является измерение падения напряжения на шунте. Примеры схем представлены на рисунке 4.9. Для контроля прохождения тока может использоваться операционный усилитель (см. рисунок 4.9, а) или компаратор (см. рисунок 4.9, б), которые подключается к шунтирующему резистору R1. При подключении схемы контроля к микроконтроллеру предпочтительнее использовать компаратор, так как его выход согласован с уровнями цифровой логики.

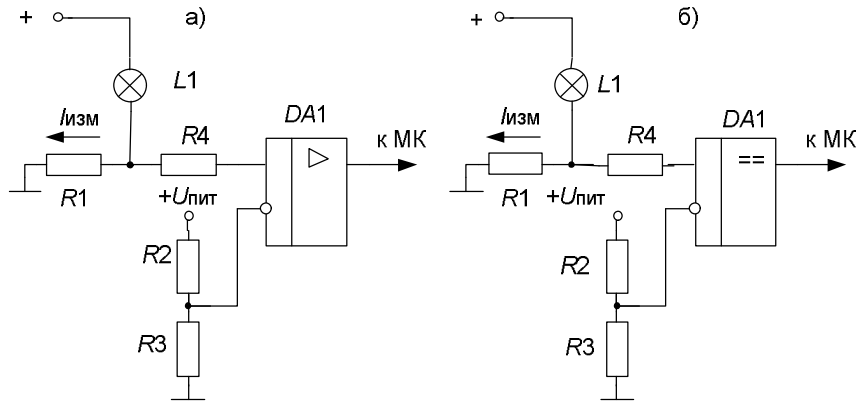


Рисунок 4.9 – Схемы контроля постоянного тока косвенным измерением напряжения

Операционный усилитель и компаратор корректно работают только в том случае, когда напряжение на входах не превышает напряжения питания, поэтому шунтирующий резистор подключают между объектом управления и землей. Операционный усилитель измеряет разность потенциалов на выводах шунтирующего резистора, и если это значение превышает пороговое, задаваемое делителем на резисторах R2 и R3, то на выходе усилителя формируется значение логической единицы, в противном случае на выходе при-

сутствует логический ноль. Резистор R4 ограничивает ток, протекающий через усилитель. Пример схемы контроля тока косвенным измерением напряжения операционным усилителем MAX4169 приведен на рисунке 4.10, а диаграмма работы схемы – на рисунке 4.11.

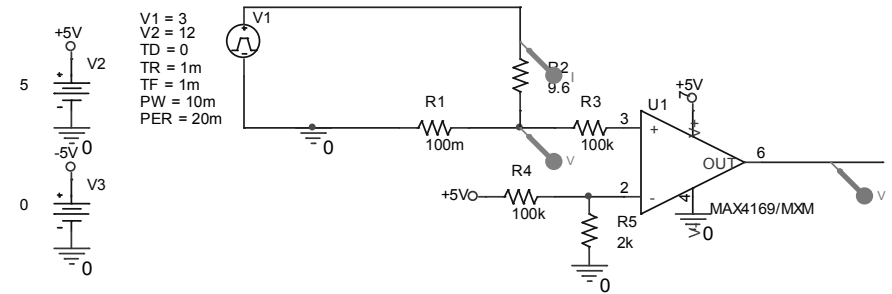


Рисунок 4.10 – PSpice-модель контроля постоянного тока операционным усилителем

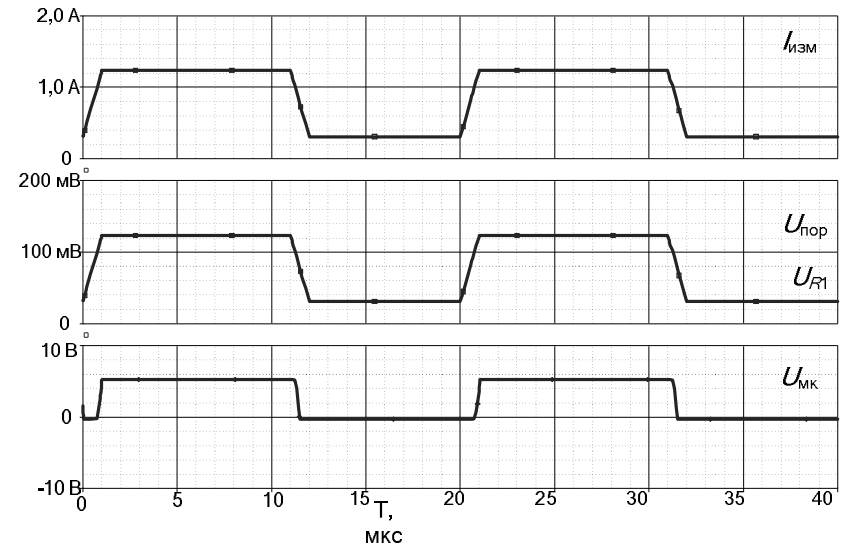


Рисунок 4.11 – Диаграмма работы схемы контроля постоянного тока косвенным измерением напряжения

Однако такой способ контроля тока имеет следующий недостаток. В случае, если контролируемое значение тока близко к пороговому значению, то из-за высокой чувствительности компаратора возможно его переключение

при незначительных колебаниях контролируемого тока. В этом случае удобно изменить схемы, приведенные на рисунке 4.9, таким образом, чтобы они обеспечивали гистерезис при переключении. Для этого схема дополняется положительной обратной связью. Пример схемы контроля тока компаратором *LMV7219* с положительной обратной связью приведен на рисунке 4.12, а диаграмма работы схемы – на рисунке 4.13.

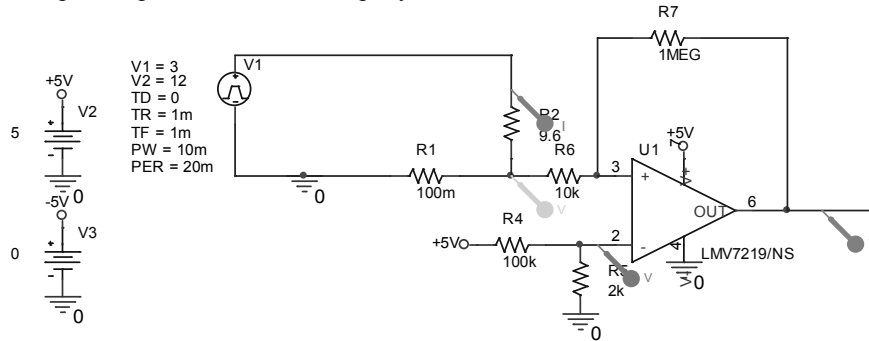


Рисунок 4.12 – PSpice-модель контроля постоянного тока компаратором

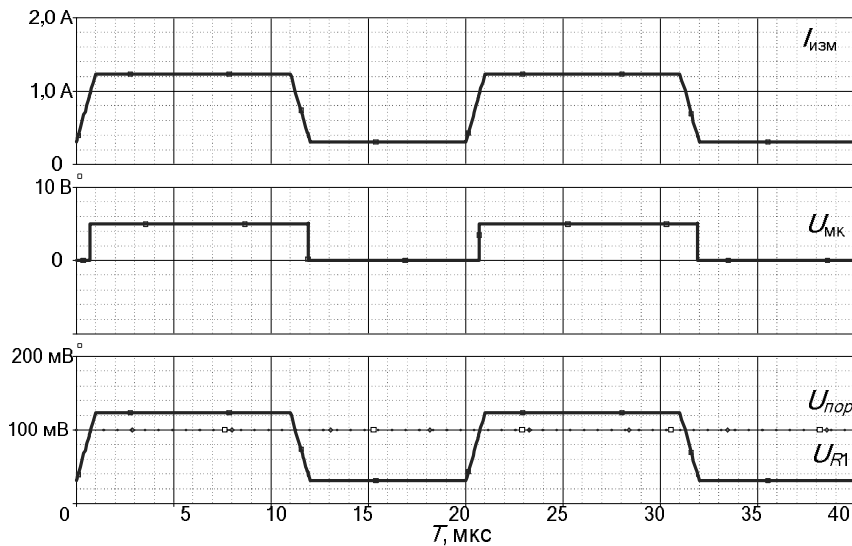


Рисунок 4.13 – Диаграмма работы схемы контроля постоянного тока компаратором *LMV7219* с положительной обратной связью

В отличие от диаграммы, представленной на рисунке 4.11, где переключение операционного усилителя происходит в момент пересечения графика

падения напряжения на шунте значения 100 мВ, соответствующего пороговому значению (моменты времени 11,5 мс и 21 мс), на рисунке 4.13 видно, что если включение компаратора происходит в тот же момент времени (21 мс), то выключается он только в момент времени, когда напряжение на шунте снижается до 40 мВ (12 мс). Тем самым формируется гистерезис выходного сигнала.

Преимуществом использования операционных усилителей является возможность использования шунта с гораздо меньшим сопротивлением по сравнению с оптронной схемой контроля и, следовательно, меньшие потери мощности.

Недостатки: нет гальванической развязки, имеются ограничения на диапазон измеряемых напряжений (опорное напряжение должно быть ниже напряжения питания усилителя).

Отказами, приводящими к опасным последствиям, могут быть короткое замыкание шунтирующего резистора, константные неисправности вида «постоянный ноль на выходе» или «постоянная единица на выходе» в зависимости от выбранных критериев отказа и некоторые другие. Защита от опасных отказов выполняется аналогично рассмотренным ранее схемам.

Возможен вариант реализации схемы измерения постоянного тока, представленный на рисунке 4.14. Этот способ предполагает точное измерение тока, протекающего в цепи, с последующим его преобразованием на АЦП и программной обработкой в микроконтроллере.

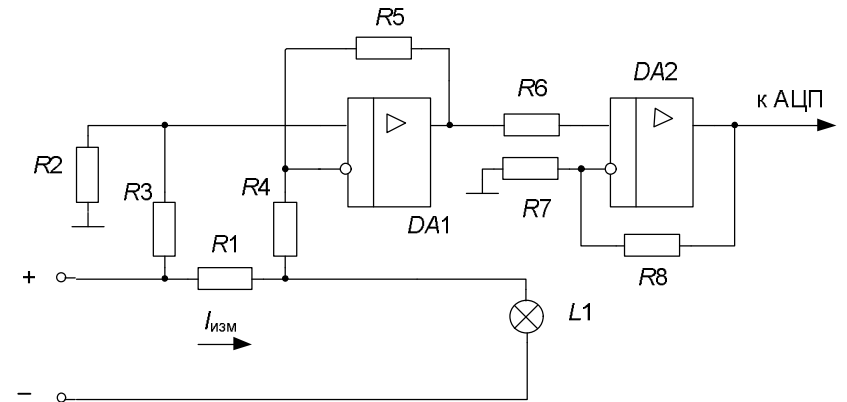


Рисунок 4.14 – Схема контроля постоянного тока с помощью дифференциального усилителя

Для измерения напряжения используется дифференциальный усилитель на базе операционного усилителя *DA1*. Коэффициент усиления схемы при условии, что $R2 = R5$, а $R3 = R4$, равен $K = R5 / R4 = R2 / R3$. При входном

напряжении, превышающем напряжение питания операционного усилителя, используется двухкаскадная схема усиления. Коэффициент усиления первого каскада выбирается таким образом, чтобы на входы операционного усилителя поступало напряжение, приблизительно равное половине напряжения питания, тем самым обеспечивая его работу на линейной участке переходной характеристики. Второй каскад на базе неинвертирующего усилителя увеличивает входное напряжение до требуемого значения в 5В. Выход схемы подключается на вход АЦП.

Модель схемы измерения напряжения представлена на рисунке 4.15. При изменении входного тока от 100 мА до 1,25 А на шунтирующем резисторе падает напряжение от 20 до 250 мВ. Так как амплитуда входного напряжения равна 12 В, то резисторы R2 и R3 выбираются равными 2 и 10 кОм соответственно, чтобы на вход операционного усилителя после делителя поступало напряжение 2 В. Коэффициент усиления в этом случае равен $K_1 = R5 / R4 = R2 / R3 = 0.2$. Напряжение на выходе первого каскада достигает 50 мВ. Чтобы усилить его до 5 В, второй каскад имеет коэффициент усиления $K_2 = 100$. Таким образом, общий коэффициент усиления равен $K = K_1 K_2 = 20$.

При изменении напряжения на шунтирующем резисторе от 10 до 120 мВ на выходе усилителя формируется напряжение от 400 мВ до 4,8 В (рисунок 4.16), то есть коэффициент усиления равен 40.

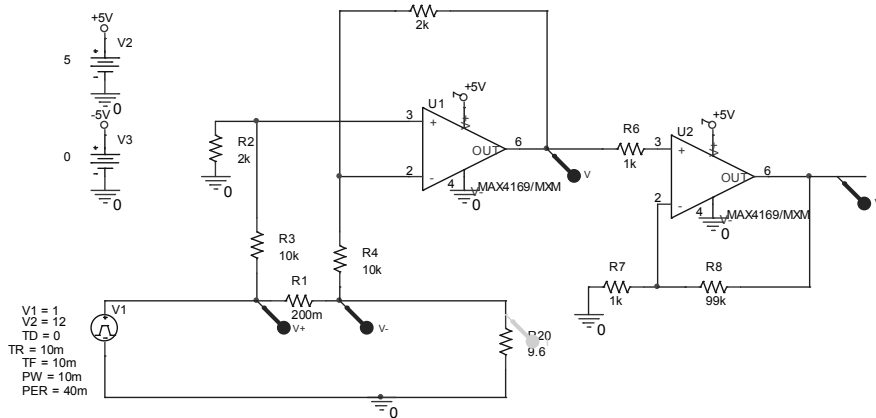


Рисунок 4.15 – PSpice-модель схемы контроля постоянного тока с помощью дифференциального усилителя

Данный способ отличается от всех рассмотренных ранее тем, что позволяет получить точное значение контролируемого тока. Порог устанавливается программно.

Контроль протекания постоянного тока можно осуществлять также с помощью *огневых реле*. Огневые реле предназначены для контроля целостности нитей светофорных ламп при непосредственном последовательном включении реле и светофорной лампы. В качестве огневых реле могут применяться реле О2 серии РЭЛ IV или АОШ2 серии НМШ III. Эти реле могут использоваться для контроля протекания тока как при постоянном, так и при переменном токе. Они имеют две обмотки: низкоомную – для контроля горения лампы при переменном токе и высокоомную – для контроля состояния холодной нити лампы светофора при постоянном токе.

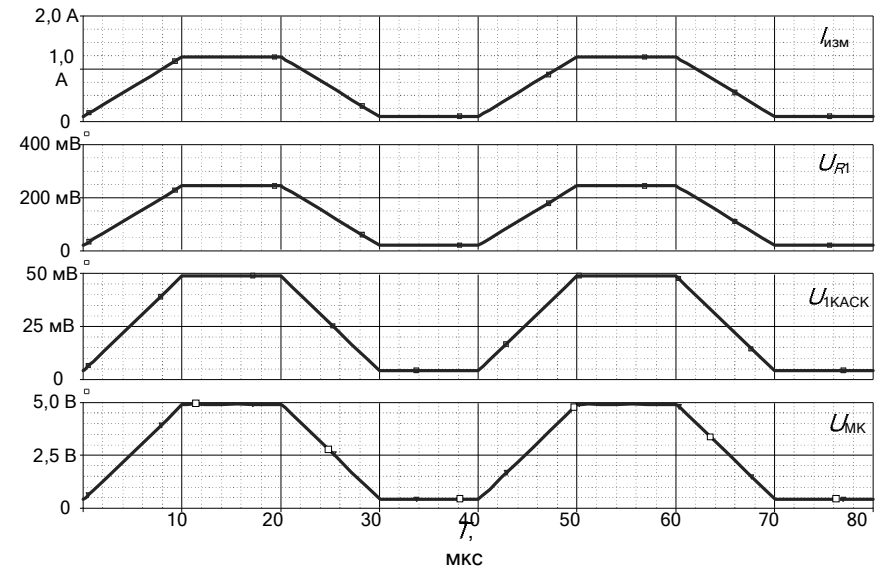


Рисунок 4.16 – Диаграмма работы схема контроля постоянного тока с помощью дифференциального усилителя

Рассмотрим параметры и схему включения реле О2-0.33/150. Реле имеет две обмотки: 0,33 и 150 Ом. Обмотка с сопротивлением 0,33 Ом используется для контроля протекания переменного тока. Ток срабатывания равен 1 А, ток отпускания – 0,3 А. Для подключения низкоомной обмотки используются контакты 1-2 реле. Обмотка с сопротивлением 150 Ом используется для контроля протекания постоянного тока. Напряжение срабатывания равно 8 В, напряжение отпускания – 1.8 В. Для подключения высокоомной обмотки используются контакты 3(+) и 4(-) реле. Схема контроля постоянного тока огневым реле О2-0.33/150 приведена на рисунке 4.17.

Контактная система реле содержит четыре тройниковых контакта, с которых осуществляется ввод информации о состоянии реле в микроконтрол-

лер. Способы ввода информации с контактов реле будут рассмотрены ниже. При необходимости ввода информации в несколько независимых каналов можно использовать одно огневое реле, а информацию в каждый канал снимать с различных тройниковых контактов. При этом обеспечивается гальваническая развязка каналов. Данная схема используется в основном для контроля прохождения тока (целостности цепей объекта) в нерабочем режиме. В этом случае значительная часть питающего напряжения падает на реле. Контроль тока в рабочем режиме осуществляется через низкоомную обмотку, при этом контролируется переменный ток. Схемы включения огневого реле для контроля переменного тока будут рассмотрены далее.

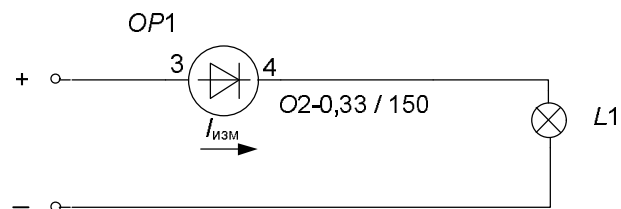


Рисунок 4.17 – Схема контроля постоянного тока огневым реле

4.2.2 Контроль переменного тока

Контроль протекания тока в цепи переменного тока может осуществляться следующими способами: огневым реле, трансформатором тока, оптронами, биполярным датчиком Холла. Возможные схемы **контроля протекания переменного тока с помощью огневого реле** представлены на рисунке 4.18.

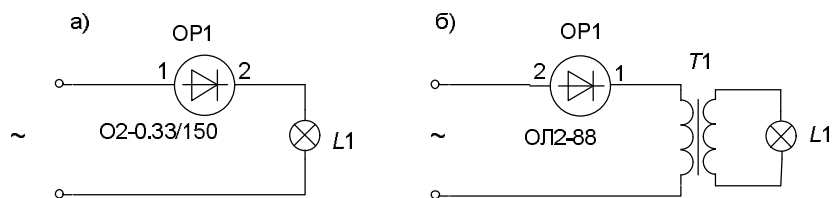


Рисунок 4.18 – Схемы контроля переменного тока огневыми реле

Если номинальное значение контролируемого тока находится в диапазоне, ограниченном током срабатывания и предельно допустимым током огневого реле, то низкоомная обмотка реле подключаются последовательно с объектом контроля (см. рисунок 4.18, а). В противном случае огневое реле

(например, ОЛ2-88) может быть включено в цепь первичной обмотки трансформатора (см. рисунок 4.18, б). При этом контролируется значение тока в первичной обмотке трансформатора.

Достоинством использования огневого реле является высокая безопасность схемных решений, недостатками – значительные габариты реле, высокая стоимость и жесткие параметры контролируемых токов, что ограничивает их широкое использование. В основном огневого реле используются в схемах контроля горения ламп железнодорожных и переездных светофоров.

Примеры **контроля переменного тока с помощью трансформаторов тока** представлены на рисунке 4.19.

Если трансформатор тока выполняет преобразование «ток – напряжение», то можно использовать схему 4.19, а, если же трансформатор тока выполняет преобразование «ток – ток», то необходимо включить дополнительные сопротивления во вторичную обмотку трансформатора как на рисунке 4.19, б.

Первичная обмотка трансформатора тока включается последовательно с объектом контроля. При протекании переменного тока в контролируемой цепи во вторичной обмотке трансформатора наводится переменный ток, который выпрямляется диодами VD1-4, сглаживается конденсатором C1 и подается на вход АЦП. Порог устанавливается программно.

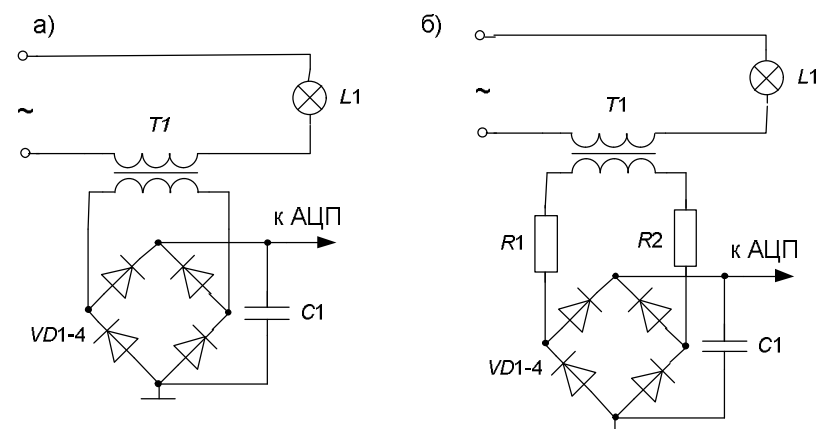


Рисунок 4.19 – Схемы контроля переменного тока трансформаторами тока

Вместо АЦП можно на выход схемы подключить триггер Шмитта, с выхода которого цифровой сигнал завести в порт микроконтроллера. В этом случае порог срабатывания задается параметрами трансформатора тока.

Достоинствами данной схемы являются отсутствие влияния схемы контроля на работу объекта управления, гальваническая развязка контрольной и рабочей цепей, невозможность ложного контроля, так как при отсутствии тока в рабочей цепи напряжение на контрольном выходе схемы не может появиться ни при каких отказах. Недостатками схемы с триггером Шмитта являются сложность регулировки порога срабатывания и статический характер выходного сигнала, что может привести к накоплению отказов.

Поэтому с точки зрения безопасности наиболее приемлемыми являются схемы, позволяющие контролировать динамику процесса. Примером такого подхода является ввод аналогового сигнала через АЦП с анализом пульсаций выходного напряжения. Величина пульсаций определяется емкостью $C1$: чем меньше $C1$, тем больше пульсации, что делает более простым анализ, поэтому сглаживающий конденсатор можно убрать.

Может использоваться вариант подключения АЦП к трансформатору без выпрямителя с программной обработкой синусоидального сигнала. В этом случае необходимо преобразовать входной сигнал таким образом, чтобы он соответствовал входному диапазону АЦП. Возможные схемы преобразования синусоидального сигнала к диапазону 0 – 5 В представлены на рисунке 4.20.

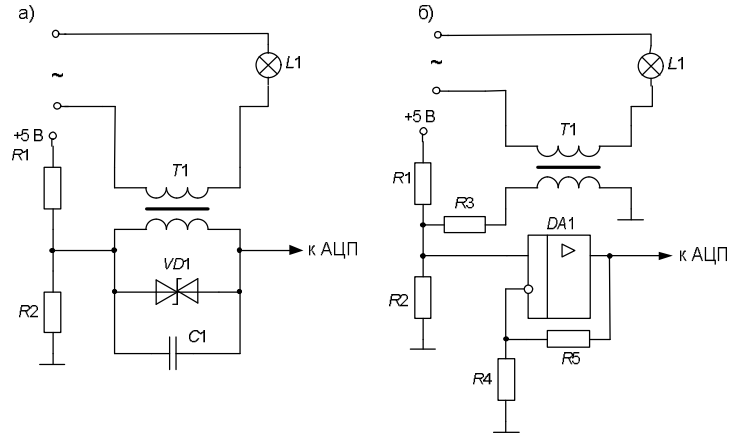


Рисунок 4.20 – Схемы контроля переменного тока без выпрямителя с программной обработкой синусоидального сигнала

Еще одним способом получения динамического контрольного сигнала является подключение триггера Шмитта через однополупериодный выпрямитель либо через ограничитель напряжения. Возможные схемы представ-

лены на рисунке 4.21. Эти схемы преобразуют положительную полуволну в логическую единицу, а отрицательную полуволну – в логический ноль. Таким образом, при наличии переменного тока в цепи на выходе формируется импульсный сигнал. Частота следования импульсов при этом равна частоте переменного тока.

Схема контроля переменного тока оптронами представлена на рисунке 4.22. Каждая полуволна синусоидального тока контролируется отдельным оптроном. Оптоны включены встречно и подключены каждый к своему шунтирующему резистору. Для защиты от пробоя напряжением обратной полярности используются диоды $VD1-2$. Резисторы $R3-R4$ ограничивают прямой ток, протекающий через светодиоды оптронов.

Наличие каждой полуволны контролируется по отдельным выходам $K1-K2$ контрольной схемы. При наличии переменного тока в цепи на контрольных выходах формируется парафазный импульсный сигнал.

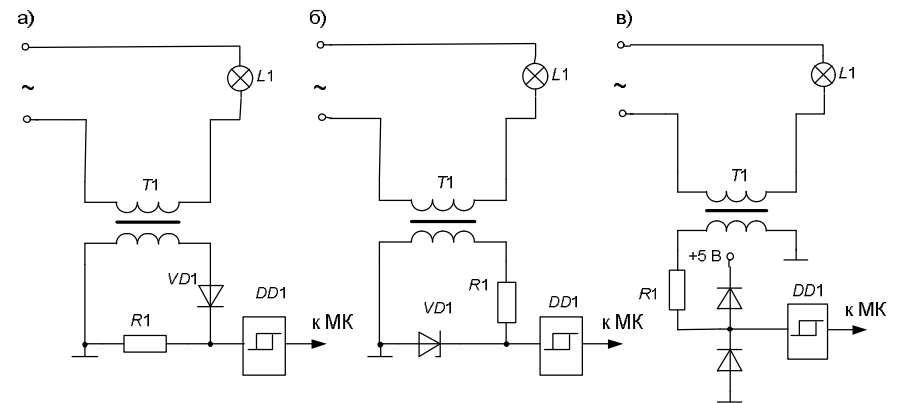


Рисунок 4.21 – Схемы динамического контроля переменного тока с помощью триггера Шмитта

Достоинством данной схемы является динамический характер работы, позволяющий защититься от опасных отказов и исключить накопление отказов. Основными недостатками являются потери мощности на шунтирующих резисторах.

Схема, представленная на рисунке 4.22, предъявляет достаточно жесткие требования к защитным диодам $VD1-2$, так как они должны пропускать контролируемый ток в прямом направлении и выдерживать входное напряжение в обратном направлении. В случае, когда эти требования выполнить затруднительно (при больших значениях контролируемого тока), можно использовать схему, представленную на рисунке 4.23, на которой защитные

диоды включены параллельно светодиодам оптронов. В этом случае, токи и напряжения, прикладываемые к диодам значительно меньше, что позволяет использовать маломощные диоды. Однако в этом случае возрастают потери на шунтирующих резисторах, так как в схеме на рисунке 4.22 мощность терялась только на одном их резисторов, второй в это время шунтировался диодом, а в схеме на рисунке 4.23 мощность теряется на двух резисторах одновременно.

При необходимости ввода информации в несколько независимых каналов следует использовать для каждого канала отдельную схему. Все схемы контроля соединяются последовательно.

Вместо оптронов можно использовать любые рассмотренные раньше способы контроля постоянного тока (униполярные датчики Холла, компараторы, операционные усилители). При этом надо учитывать, что на каждую полуволну контролируемого тока устанавливается отдельный датчик соответствующей полярности, защищенный диодом от обратного напряжения.

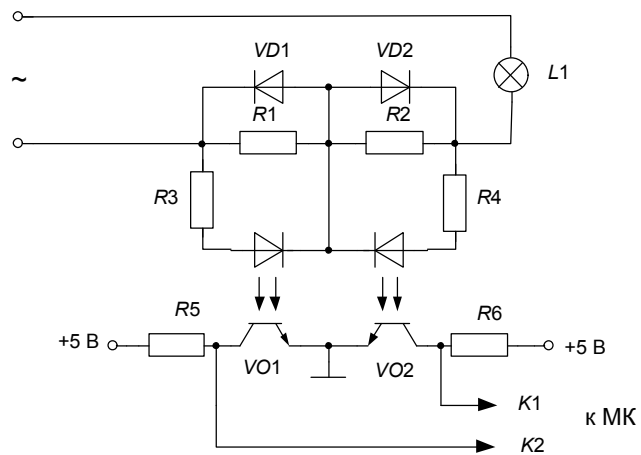


Рисунок 4.22 – Схема контроля переменного тока оптронами

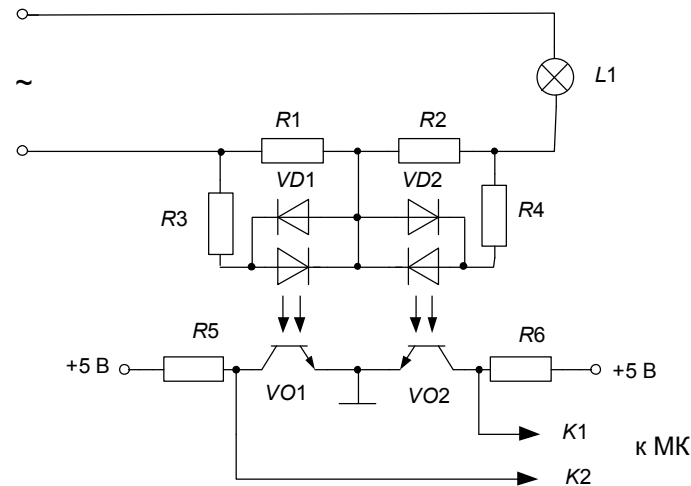


Рисунок 4.23 – Схема контроля переменного тока оптронами при больших значениях контролируемого тока

Удобно использовать для **контроля переменного тока биполярные датчики Холла с программной обработкой выходного аналогового сигнала**. Примером может служить схема контроля переменного тока линейным биполярным датчиком Холла ACS712x05B, который применяется для измерения токов от минус 5 А до 5 А (рисунок 4.24).

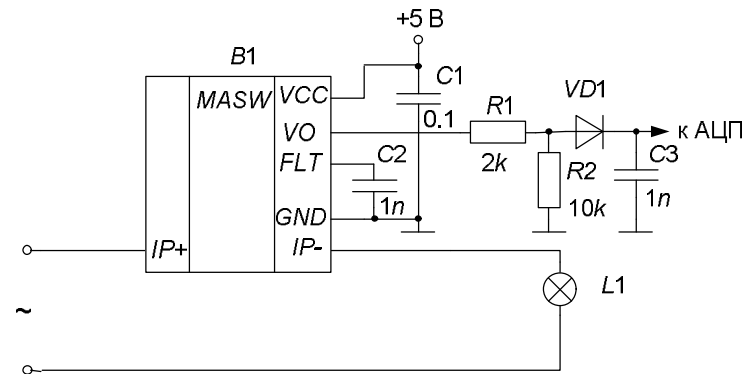


Рисунок 4.24 – Схема измерения значения переменного тока датчиком Холла ACS712

При отсутствии магнитного поля на выходе датчика формируется напряжение, равное половине напряжения питания. При прохождении тока в прямом направлении выходное напряжение пропорционально увеличивается до напряжения питания, а при прохождении тока в обратном направлении – уменьшается до нуля. Пример включения такого датчика приведен на рисунке 4.24. Выход датчика является аналоговым. Для ввода информации в микроконтроллер выход датчика можно подключить к входу встроенного АЦП.

4.2.3 Контроль постоянного напряжения

Схемы контроля напряжения по принципу работы похожи на схемы контроля тока посредством измерения напряжения на шунтирующем резисторе. Только в качестве шунтирующего резистора выступает нагрузка, на которой необходимо измерять напряжение.

Контроль постоянного напряжения может осуществляться следующими способами: оптроном, компаратором, непосредственным измерением напряжения операционным усилителем.

Пример **контроля постоянного напряжения оптроном** представлен на рисунке 4.25. Схема работает следующим образом. Если измеряемое напряжение превышает пороговое значение, то фототранзистор оптрона открывается, и на выходе контрольной схемы формируется сигнал логической единицы. Если напряжение меньше порогового значения, то фототранзистор закрыт, и на выходе схемы присутствует логический ноль.

Резистор $R1$ служит для ограничения тока, протекающего через светодиод, величина которого должна находиться в допустимых пределах для выбранного типа оптрона. Для исключения возможности шунтирования объекта контроля значение ограничивающего резистора должно превышать сопротивление объекта контроля на несколько порядков.

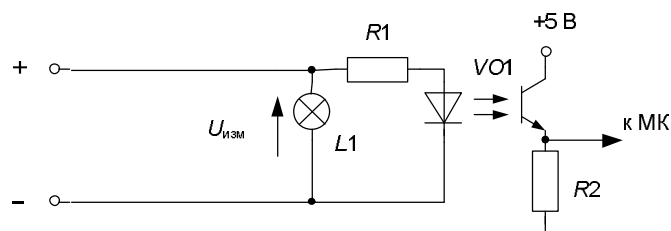


Рисунок 4.25 – Схема контроля постоянного напряжения оптроном

Критерии опасного и защитного отказов для схем контроля напряжения также зависят от назначения объекта управления. В схеме, представленной

на рисунке 4.25, ложному контролю соответствует наличие логической единицы на выходе схемы при значении напряжения меньше порогового значения. Отказами, приводящими к таким последствиям, может быть пробой выходного транзистора оптрона. В этом случае на выходе контрольной схемы всегда присутствует логическая единица. Обнаружить отказ можно только в момент выключения объекта, поэтому для обеспечения безопасности необходимо дополнительно обеспечить контроль протекания тока через объект управления, а время нахождения объекта во включенном состоянии не должно превышать времени диагностирования неисправности.

Отказами, приводящими к отсутствию контроля, могут быть обрывы эмиттера выходного транзистора оптрона или резистора $R1$. Обнаружить отказ можно только в момент включения объекта, поэтому для обеспечения безопасности необходимо также обеспечить контроль протекания тока, а время нахождения объекта в выключенном состоянии не должно превышать времени диагностирования неисправности.

При необходимости ввода информации в несколько независимых каналов следует включить схемы контроля напряжения каждого канала параллельно (рисунок 4.26). Кроме того, параллельное подключение схем контроля позволяет защититься от опасных отказов, рассмотренных выше, так как в этом случае исправные и неисправные схемы контроля выдадут разные значения при выключенном объекте.

Можно использовать оптроны с выходным каскадом в виде триггера Шмитта, аналогично рассмотренным в п.4.2.1.

Примеры **схемы контроля наличия постоянного напряжения компаратором и измерения напряжения операционным усилителем** представлены на рисунке 4.27.

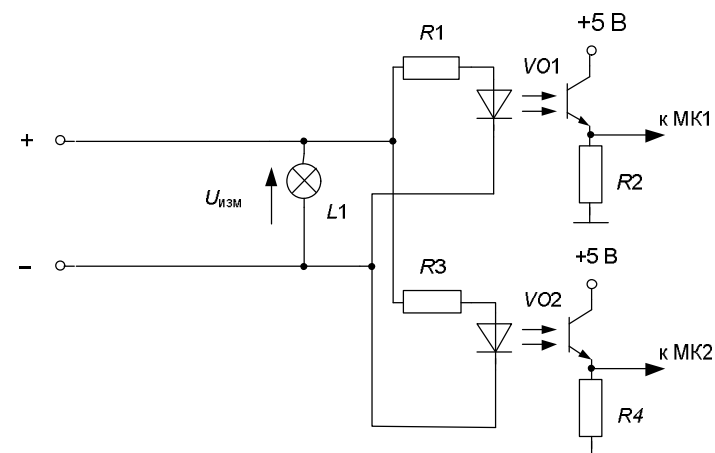


Рисунок 4.26 – Схемы контроля постоянного напряжения оптронами для двухканальной структуры

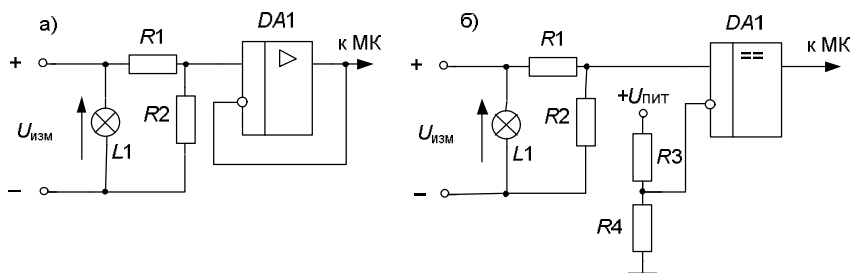


Рисунок 4.27 – Схемы контроля постоянного напряжения операционным усилителем (а) и компаратором (б)

Делитель напряжения на резисторах $R1$ и $R2$ снижает входное напряжение до величины, меньшей напряжения питания операционного усилителя. Для исключения возможности шунтирования объекта контроля входное сопротивление делителя должно превышать сопротивление объекта контроля на несколько порядков. Выходной сигнал, пропорциональный измеряемому напряжению, обрабатывается с помощью АЦП. Пороговое значение задается программно.

При контроле напряжения компаратором на инверсный вход компаратора поступает опорное напряжение, с которым сравнивается напряжение после входного делителя. Оптимальным значением для опорного напряжения является половина напряжения питания. В случае, если контролируемое значение напряжения близко к пороговому, и из-за высокой чувствительности компаратора возможно его переключение при незначительных колебаниях контролируемого напряжения, схема дополняется положительной обратной связью аналогично схеме, приведенной на рисунке 4.12.

При необходимости ввода информации в несколько независимых каналов следует включить входные делители схем контроля напряжения каждого канала параллельно. Не допускается использовать один общий делитель напряжения для последующего подключения к нему нескольких операционных усилителей, так как при отказе элементов делителя все каналы получают одинаково неправильную информацию, т. е. в этом случае не выполняется правило независимости отказов в каналах.

4.2.4 Контроль переменного напряжения

Контроль переменного напряжения можно осуществлять с помощью оптронов, операционных усилителей, компараторов и трансформаторов напряжения.

В простейшем случае для **контроля переменного тока** можно использовать **два встречно включенных оптрона** (рисунок 4.28).

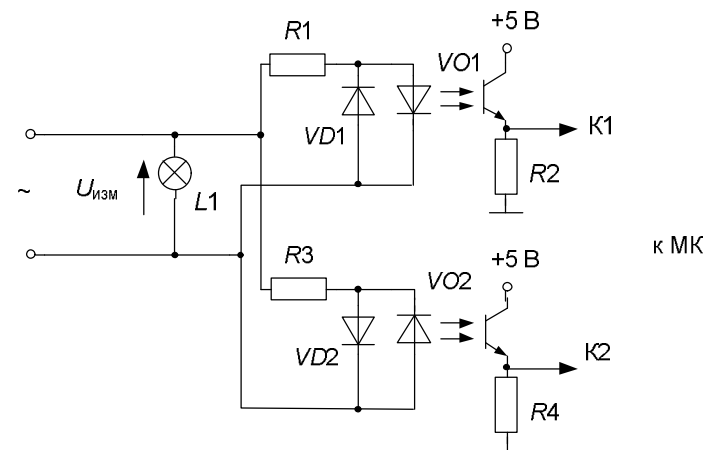


Рисунок 4.28 – Схема контроля переменного напряжения с помощью оптронов

При наличии переменного напряжения на объекте контроля $L1$ оптроны открываются поочередно (при протекании тока в одном направлении открывается оптрон $VO1$, а при протекании тока в обратном направлении – оптрон $VO2$). Таким образом на контрольных выходах $K1$ и $K2$ формируются парафазные импульсные сигналы. Диоды $VD1$ и $VD2$ защищают оптроны от обратного напряжения.

Для уменьшения потерь энергии защитные диоды можно включать последовательно оптронам, но при этом параллельно оптронам рекомендуется включать резисторы (рисунок 4.29). Временная диаграмма работы схемы представлена на рисунке 4.30.

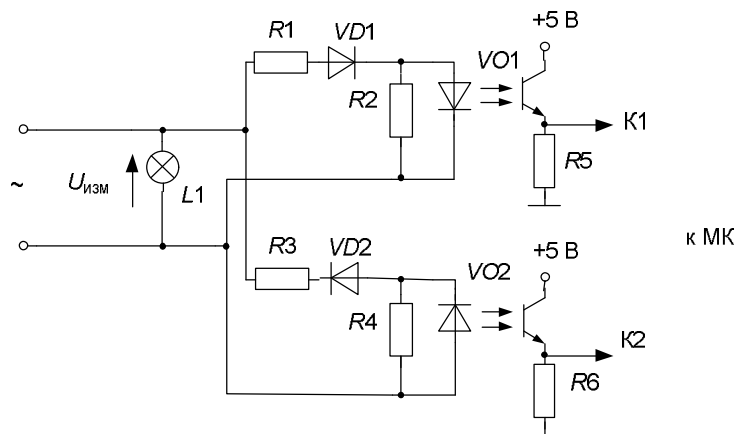


Рисунок 4.29 – Схема контроля переменного напряжения с помощью оптронов с последовательно включенными защитными диодами

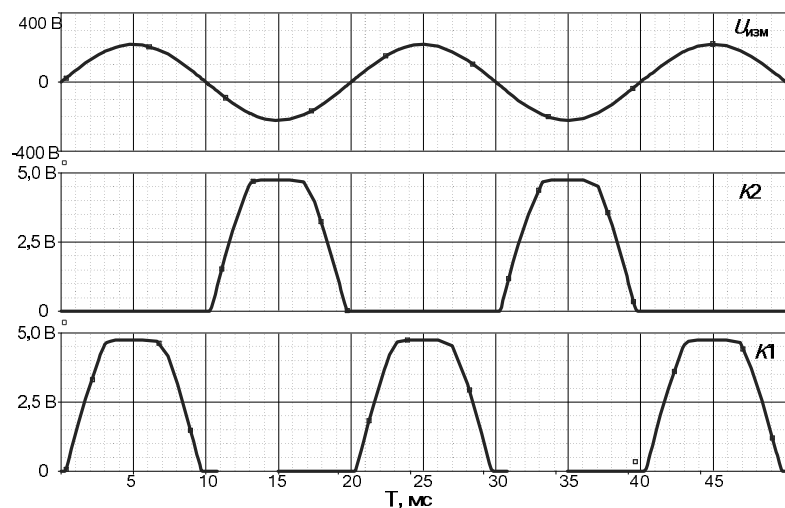


Рисунок 4.30 – Временная диаграмма работы схемы контроля переменного напряжения с помощью оптронов

Рассмотренные схемы предполагают контроль напряжения по двум контрольным выходам. При отсутствии достаточного числа свободных входов у микроконтроллера допускается объединять выходы оптронов (рисунок 4.31). Для сохранения импульсной формы сигнала необходимо обеспечить переключение оптронов не одновременно, а с некоторым временным интервалом

между переключениями. Для этого оптроны подключаются через делитель напряжения.

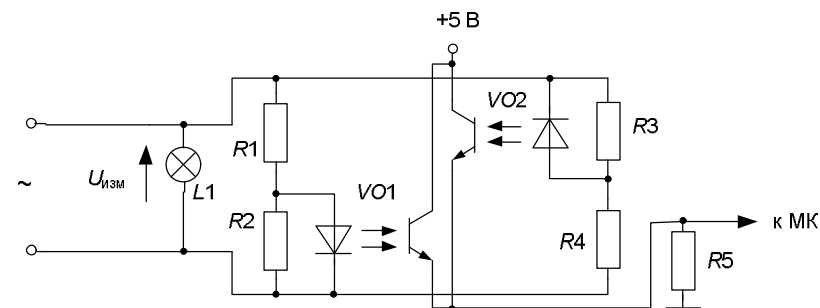


Рисунок 4.31 – Схема контроля переменного напряжения с объединенными выходами оптронов

Временная диаграмма работы схемы представлена на рисунке 4.32. Как видно из диаграммы, в момент перехода через ноль входного напряжения оба оптрона выключены, и на выходе контрольной схемы присутствует логический ноль. При протекании тока в одном направлении открывается оптрон VO1, а при протекании тока в обратном направлении – оптрон VO2, формируя тем самым на выходе сигналы логической единицы. Таким образом, при наличии входного напряжения на выходе схемы формируется импульсный сигнал с частотой, в два раза большей частоты входного синусоидального напряжения. Длительность импульсов, их скважность определяются отношением резисторов делителя, а порог срабатывания – их значениями.

Для контроля переменного напряжения можно использовать схемы, представленные на рисунках 4.19–4.21, заменив трансформатор тока трансформатором напряжения. В качестве примера приведем схемы **контроля переменного напряжения с помощью операционного усилителя** (рисунок 4.33). Принцип работы схемы аналогичен схеме, представленной на рисунке 4.20, б.

Трансформатор напряжения T1 выполняет гальваническую развязку и согласование по уровню (усиление или ослабление) измеряемого напряжения и операционного усилителя. С помощью делителя напряжения на резисторах R2 и R3 напряжение с выхода трансформатора смещается в положительную область в диапазон от 0 В до $V_{оп}$. Резистор R1 служит для ограничения тока. Резисторы R4 и R5 задают коэффициент усиления неинвертирующего усилителя для согласования по уровню с АЦП. Далее сигнал обрабатывается программно.

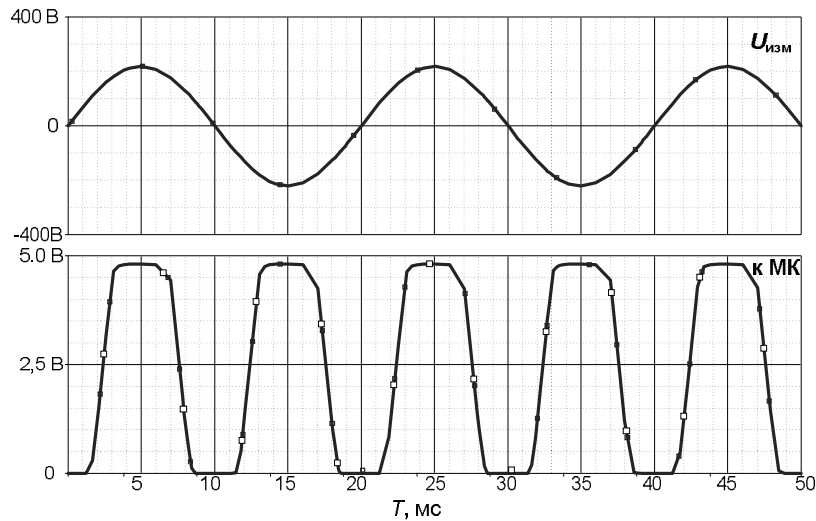


Рисунок 4.32 – Временная диаграмма работы схемы контроля переменного напряжения с объединенными выходами оптронов

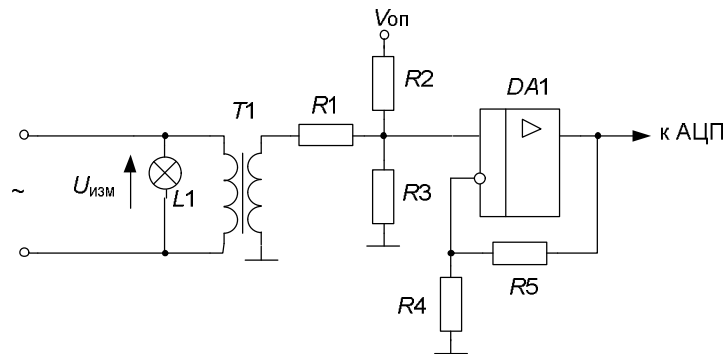


Рисунок 4.33 – Схема измерения переменного напряжения с помощью операционного усилителя

Возможно использование и других схем контроля напряжения, основанных на похожих принципах. При необходимости ввода информации в несколько независимых каналов схемы контроля напряжения каждого канала включаются параллельно.

4.2.5 Определение состояния контактов реле

Для безопасного ввода информации с контактов реле используется импульсное кодирование сигналов. При этом необходимо использовать генератор импульсных сигналов. Для опроса различных контактов можно использовать один генератор, если он обладает достаточной мощностью. Пример простейшей схемы **контроля состояния контактов двух реле** представлен на рисунке 4.34.

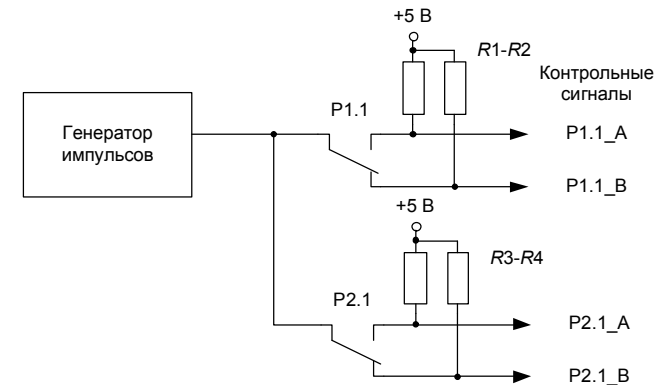


Рисунок 4.34 – Схема контроля состояния контактов двух реле

На контакты контролируемых реле параллельно подается импульсный сигнал с генератора импульсов. В зависимости от состояния реле импульсный сигнал появится на одном из контрольных выходов. Если реле P1 включено, то импульсы появятся на фронтальном контакте P1.1 (контрольный сигнал P1.1_A), а на выходе P1.1_B будет присутствовать логическая единица. Если реле P1 выключено, то на выходе P1.1_B будет присутствовать импульсный сигнал, а на выходе P1.1_A – логическая единица. Наличие подтягивающих резисторов обязательно, так как на висящих в воздухе выводах может наводиться ложный сигнал. Недостатками такой схемы контроля являются большое количество контрольных сигналов ($2N$, где N – количество контролируемых контактов) и отсутствие контроля обрыва подтягивающих резисторов, что может привести к накоплению отказов. Примером такого опасного накопления может служить приведенная ниже последовательность событий.

Исходная ситуация: реле P1 включено, на выходе P1.1_A присутствует импульсный сигнал, на выходе P1.1_B – логическая единица. Происходят обрывы R1 и тылового контакта реле, отказы не контролируются. Получившаяся схема представлена на рисунке 4.35. Если теперь реле выключается, а

на висящем фронтном контакте наводится импульсный сигнал с соседних линий, то на контрольных выходах сохраняются показания, соответствующие включенному состоянию реле, что является опасным.

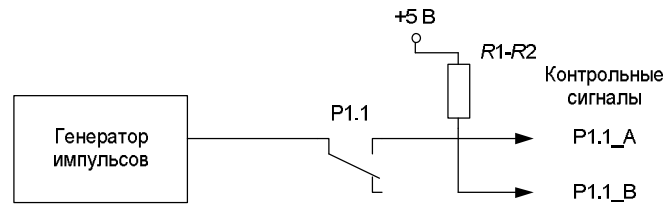


Рисунок 4.35 – Пример опасного отказа схемы контроля состояния контактов реле

Исключить накопление отказов можно, только обеспечив переключение реле с достаточно высокой частотой, чтобы во время нахождения реле в каждом из состояний вероятность возникновения двух неисправностей была ниже допустимой вероятности опасного отказа. Такой способ может использоваться для контроля импульсных реле, выполняющих, например, кодирование рельсовых цепей, контроль мигания и т.п. Однако этот способ не приемлем, если переключение реле носит случайных характер. Избежать опасного отказа можно введением оптронной гальванической развязки как показано на рисунке 4.36.

Второй способ контроля состояние реле основан на **контроле фазы импульсного сигнала**. В этом случае используется парафазный импульсный генератор, подключаемый параллельно к контактам реле таким образом, чтобы на фронтной контакт поступали импульсы в прямой фазе, а на тыловой контакт – в обратной фазе. Пример схемы контроля контактов четырех реле представлен на рисунке 4.37. Для определения фазы входного сигнала в микроконтроллер заводятся эталонные сигналы с парафазного генератора. Контрольные сигналы программно сравниваются с эталонными, после чего принимается решение о состоянии контактов. Например, если импульсный сигнал P1.1 совпадает по фазе с эталонным сигналом T , то принимается решение о том, что реле P1 включено, если импульсный сигнал P2.1 совпадает по фазе с эталонным сигналом T , то принимается решение о том, что реле P2 выключено. Если контрольный сигнал не совпадает ни с одним из эталонных сигналов, то фиксируется неисправность схемы контроля. В процессе нормального функционирования должен осуществляться постоянный контроль парафазности эталонных сигналов, так как отказ генератора, при котором на его выходах появится синфазный сигнал, может привести к опасному отказу.

Преимуществом данного способа контроля по сравнению с предыдущим является сокращение количества контрольных сигналов ($2 + N$ вместо $2N$). Недостатками является отсутствие гальванической развязки. На рисунке 4.38 представлена схема контроля реле с гальванической развязкой.

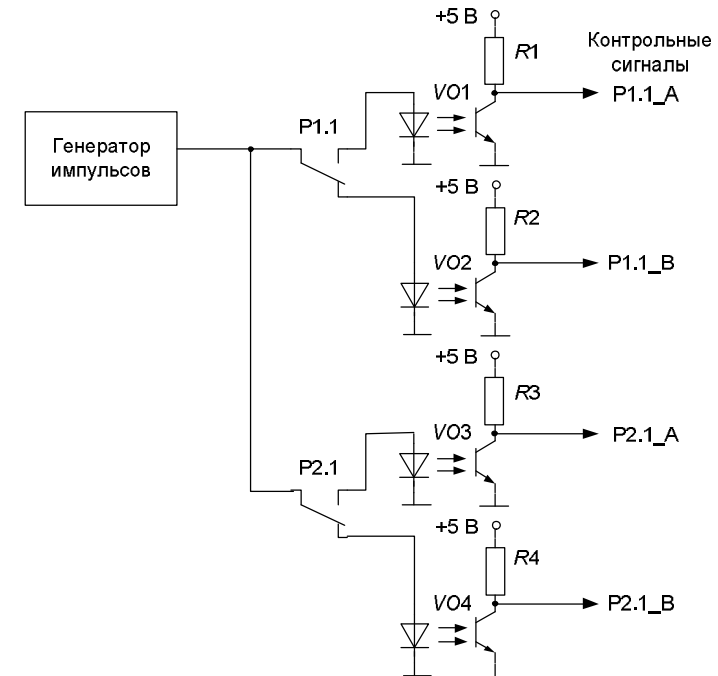


Рисунок 4.36 – Схема контроля состояния контактов двух реле с оптронной развязкой

Кроме того, схема позволяет накапливаться отказам, совокупность которых может привести к опасному отказу. Примером может служить обрыв соединения с тыловым контактом при замкнутом фронтном контакте реле (не обнаруживается), а затем короткое замыкание выводов, подключенных к фронтному и тыловому контактам реле (контакт P1.1 на рисунке 4.39). Данный двойной отказ также не обнаруживается. Однако теперь при выключении реле схема будет сообщать о том, что реле включено, что является опасным отказом. Более того, при некоторых вариантах монтажа данная последовательность отказов может стать зависимой, т.е. при обрыве соединения оголенный провод может попасть на соседний контакт и замкнуть его. Вероятность возникновения опасного отказа в этом случае значительно повышается.

Защититься от опасного отказа при таком способе контроля состояния реле можно следующими способами:

- выполнением специальных мер при монтаже, позволяющих исключить короткое замыкание соединений [20];
- периодическим переключением реле с целью диагностики исправности схемы контроля. В этом случае обрыв будет контролироваться, однако зависимый двойной отказ может быть пропущен. Поэтому данный способ не исключает дополнительных требований к монтажу;
- использованием двух тройниковых контактов одного и того же реле с последующим сравнением результатов контроля.

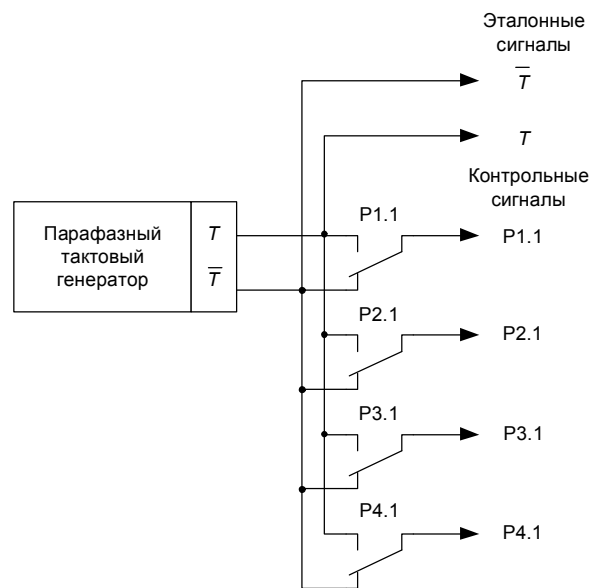


Рисунок 4.37 – Схема контроля состояния контактов реле парафазными импульсами

В РТМ 32 ЦШ 1115842.01-94 [19] рекомендован парафазный контроль состояния реле как наиболее безопасный. Примеры такого контроля приведены на рисунках 4.40, 4.41. Особенностью данных схем является парафазный контроль состояния реле по двум контрольным линиям, на которые в любой момент времени должны поступать парафазные импульсные сигналы. Достоверность информации подтверждается парафазностью импульсных последовательностей, поступающих на входы А и В.

Контрольные сигналы программно сравниваются с эталонными, после чего принимается решение о состоянии контактов. Например, если импульсный сигнал P1.1_A совпадает по фазе с эталонным сигналом T, а P1.1_B – с сигналом T-bar, то принимается решение о том, что реле P1 включено. Для реализации этого алгоритма требуются два контакта одного реле (см. рисунок 4.40) либо две последовательно включенные оптронные развязки, у которых контрольные сигналы снимаются у одной с коллекторной цепи, а у второй – с эмиттерной цепи (см. рисунок 4.41).

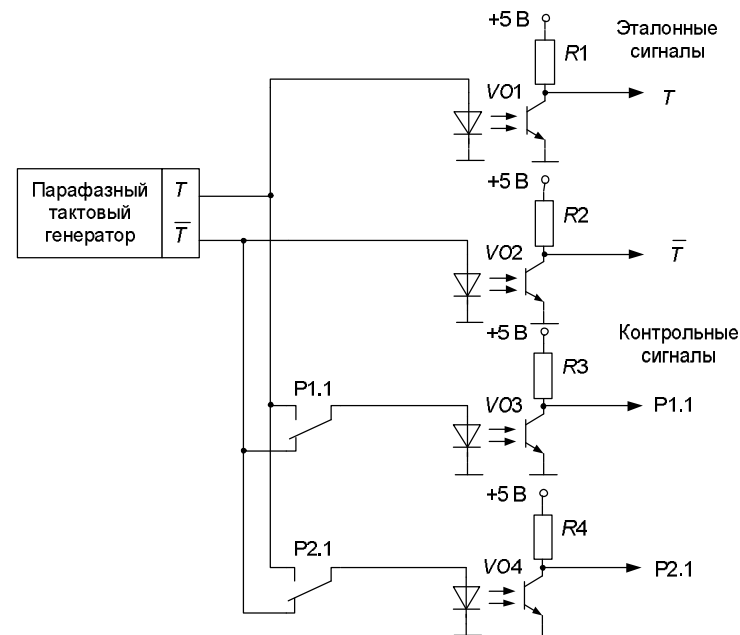


Рисунок 4.38 – Схема контроля состояния контактов двух реле парафазными импульсами с оптронной развязкой

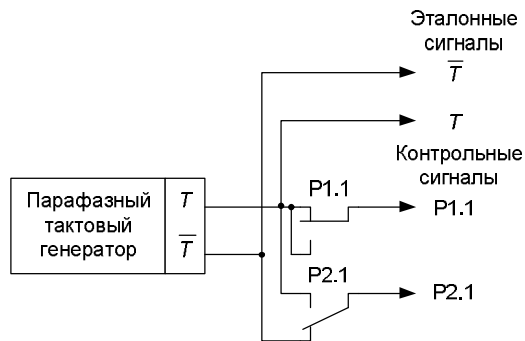


Рисунок 4.39 – Схема контроля состояния контактов реле с опасным отказом

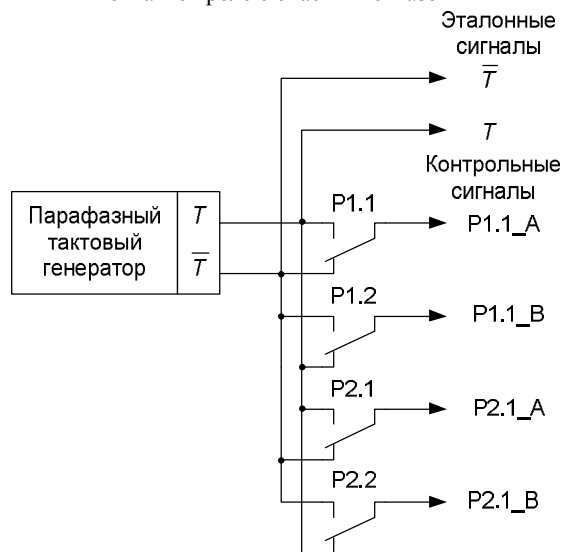


Рисунок 4.40 – Схема парафазного контроля состояния контактов двух реле

При неисправности нарушается парафазность или импульсный характер сигналов на входах *A* и *B*, что фиксируется с помощью программных или аппаратных средств контроля устройства ввода информации. Однако схема на рисунке 4.41 не защищена от последовательности отказов, рассмотренной выше, поэтому при ее использовании необходимо принимать дополнительные меры для защиты от накопления отказов. Поэтому более предпочтительной для использования является схема, представленная на рисунке 4.40.

Однако для ее применения необходимо наличие двух свободных тройниковых контактов у контролируемого реле, что не всегда выполняется.

Данный способ является несколько избыточным по сравнению с предыдущими схемами контроля. Однако данные схемы удобно использовать в двухканальных системах, когда контрольные сигналы *A* заводятся в один канал, а сигналы *B* – в другой канал. Затем сигналы обрабатываются (в том числе диверситетными программами, т. к. сигналы введены уже во взаимно инверсном виде) с последующим программным сравнением результатов обработки.

Одним из способов реализации рассмотренных выше методов контроля состояния реле является программная генерация эталонных сигналов (рисунок 4.42). В этом случае отпадает необходимость в генераторе импульсов. Кроме того эталонная импульсная последовательность может быть непериодической или иметь случайный характер. Такая последовательность позволяет значительно снизить влияние внешних воздействий, которые могли бы привести к опасным искажениям в ней самой. Такой способ контроля реализован в МПЦ Ebilock-950 [3].

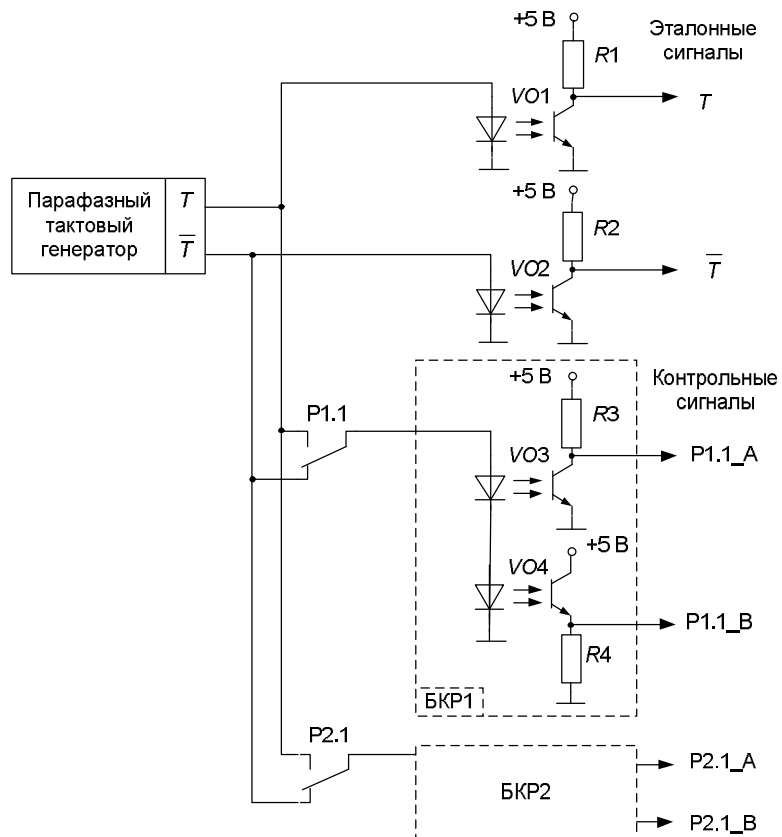


Рисунок 4.41 – Схема парафазного контроля состояния контактов двух реле парафазными импульсами с оптронной развязкой

Если же импульсные последовательности эталонных сигналов T и \bar{T} не будут взаимозависимыми, то в этом случае можно исключить опасный отказ, вызванный накоплением отказов, связанных с обрывом и последующим коротким замыканием соединений, как рассмотрено выше.

Общим недостатком схем, использующих парафазный генератор, являются высокие требования к парафазности формируемых импульсов и невозможность смены фазы при отказе. Кроме того, при контроле большого количества контактов реле парафазный генератор должен обеспечивать значительную мощность выходного сигнала, чтобы компенсировать потери энергии в проводах. Эти требования усложняют реализацию парафазного генератора и повышают его стоимость.

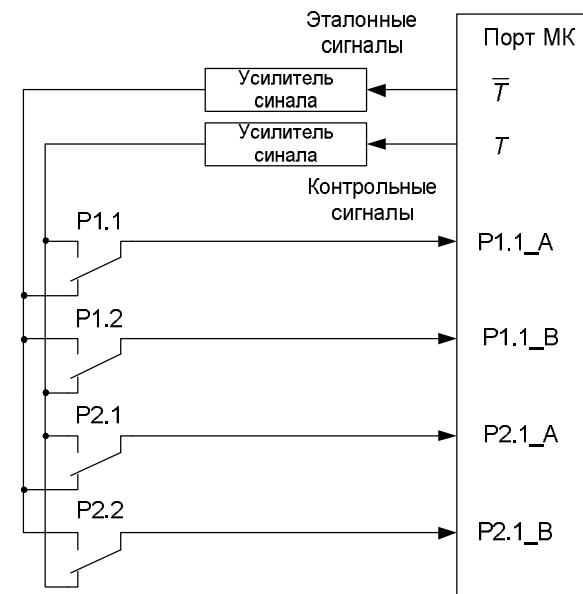


Рисунок 4.42 – Схема парафазного контроля состояния контактов реле с программной генерацией эталонных сигналов

Одним из способов решения данной проблемы является использование вместо парафазного сигнала синусоидального напряжения, формируемого понижающим трансформатором из стандартного переменного напряжения 220 В частотой 50 Гц. Схема такого парафазного генератора приведена на рисунке 4.43.

Через понижающий трансформатор $T1$ формируется синусоидальное напряжение амплитудой 6 В. Небольшое превышение уровня логической единицы обуславливается потерями в соединительных проводах, т.к. генератор, контакты реле и контролируемый микроконтроллер могут находиться на достаточном удалении друг от друга. Включение генератора выполняется подачей логической единицы на выходе А микроконтроллера. Обе оптопары открываются, и синусоидальное напряжение начинает поступать на выходы схемы через однополупериодные выпрямители на базе диодов $VD1$ и $VD2$. Диоды включены таким образом, что на выход T поступает положительная полуволна, а на выход \bar{T} – отрицательная. Временная диаграмма работы представлена на рисунке 4.44.

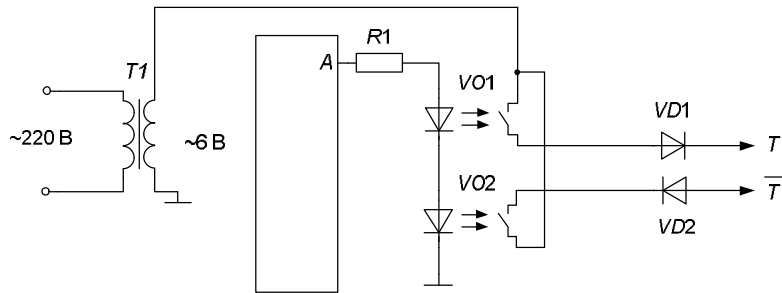


Рисунок 4.43 – Схема парафазного генератора на базе синусоидального сигнала

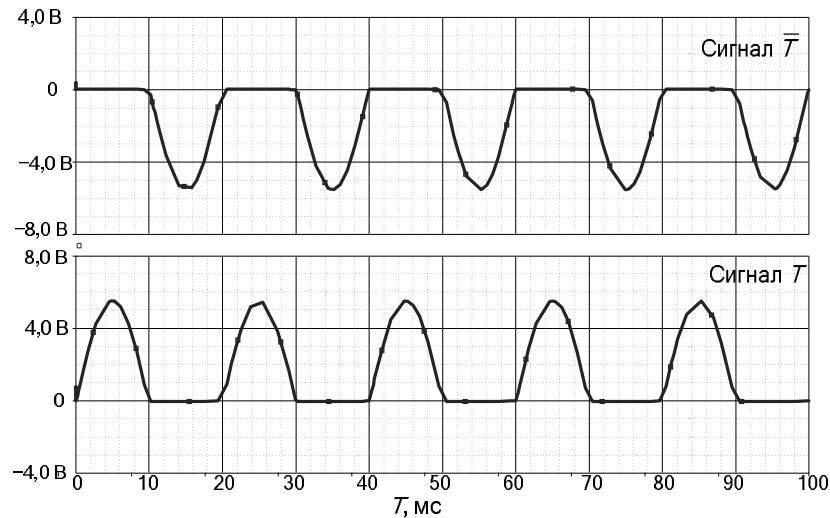


Рисунок 4.44 – Временная диаграмма работы парафазного генератора

Для обработки такого парафазного сигнала используется схема, представленная на рисунке 4.45.

Если фронтный контакт реле замкнут, то на схему контроля поступает положительная полуволна синусоидального напряжения. При этом оптрон VO1 закрыт и на выходе P1.1_A присутствует логическая единица. Оптрон VO2 будет открываться при поступлении каждой полуволны, и на выходе P1.1_B появится импульсный сигнал. При переключении реле и замыкании тылового контакта на схему будет поступать отрицательная полуволна, соответственно на выходе P1.1_A появится импульсный сигнал, а на выходе P1.1_B – логическая единица.

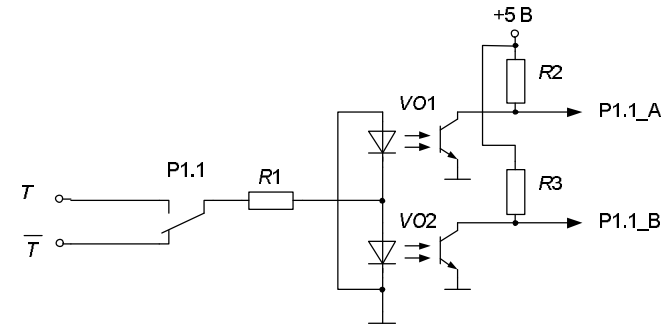


Рисунок 4.45 – Схема контроля состояния реле с использованием парафазного генератора на базе синусоидального сигнала

Недостатком такой схемы контроля является то, что закрытая оптопара не контролируется на наличие отказов. Она может находиться в закрытом состоянии достаточно длительное время (пока не переключится реле), а это может привести к накоплению отказов. Хотя исследования показали, что накопление отказов любой кратности в этой схеме не может привести к опасному отказу, рекомендуется периодически диагностировать исправность схемы. Это можно сделать изменением полярности тактовых сигналов, как показано на рисунке 4.46.

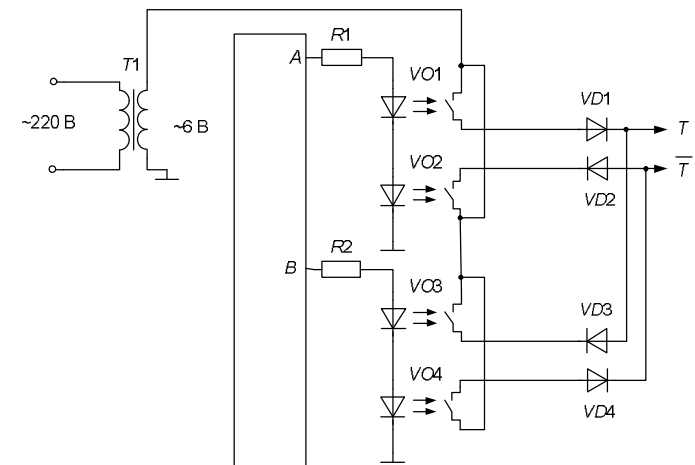


Рисунок 4.46 – Схема парафазного генератора с изменением полярности тактовых сигналов

Если на выходе А микроконтроллера присутствует логическая единица, а на выходе В – логический ноль, то генератор работает, как показано на рисунке 4.44. Если же на выходе А появится логический ноль, а на выходе В – логическая единица, то выходные сигналы изменят свою фазу на противоположную. Если смену фаз делать достаточно часто (например, раз в секунду), то можно исключить возможность накопления отказов в схеме. Таким образом реализован ввод информации с контактов реле в МПЦ «путь».

4.3 Бесконтактные устройства включения исполнительных объектов

Бесконтактные устройства включения исполнительных объектов по способу получения выходных сигналов условно можно разделить на две категории: дублированные коммутирующие устройства и функциональные преобразователи (включая умножители напряжения) [11].

4.3.1 Дублированные коммутирующие устройства

Коммутирующие устройства (КУ) коммутируют управляющее напряжение на выход схемы. Если коммутирующее устройство выполнено по первому классу надежности, то его можно не резервировать. Такой подход используется в релейных схемах железнодорожной автоматики. В противном случае для защиты от ложного включения объекта управления при пробое ключа коммутирующие элементы дублируются. Различают **однополюсное и двухполюсное размыкание цепи включения объекта** (рисунок 4.47).

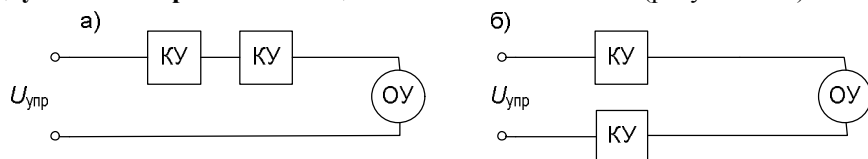


Рисунок 4.47 – Примеры однополюсного (а) и двухполюсного (б) размыкания

При *однополюсном* размыкании коммутирующие устройства КУ размещаются последовательно друг с другом таким образом, чтобы при срабатывании хотя бы одного из них снять напряжение с объекта управления ОУ. Поэтому они включаются между объектом управления и источником напряжения: плюсовым контактом – при постоянном управляющем напряжении, или фазой – при переменном. При этом нулевой контакт остается всегда подключенным к объекту управления. Такой способ используется в том случае, если источник питания и объект управления имеют общую землю.

Если же используется изолированный источник питания, то применяется двухполюсное размыкание (см. рисунок 4.47, б). В этом случае при выключении коммутирующих устройств гарантируется отсутствие на объекте управления напряжения, опасного для жизнедеятельности человека.

Общим недостатком указанных способов коммутации управляющего напряжения является отсутствие контроля пробоя одного из коммутирующих устройств, т. к. в этом случае объект будет полностью управляться вторым ключом. Это может привести к накоплению отказов и при пробое второго ключа – к ложному включению объекта, т.е. к опасному отказу. Исключить накопление отказов можно введением дополнительных контрольных схем, включенных параллельно (рисунок 4.48, а) или последовательно (рисунок 4.48, б) с коммутирующими устройствами [11].

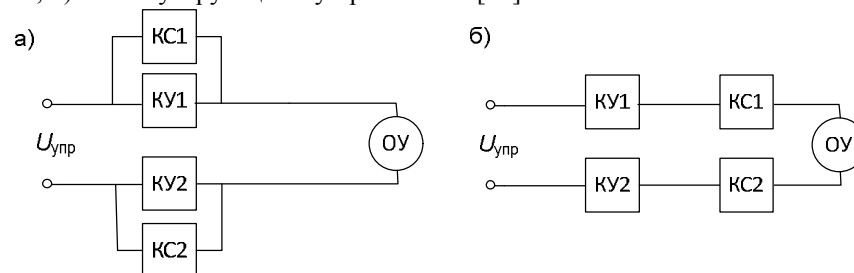


Рисунок 4.48 – Примеры параллельного (а) и последовательного (б) включений контрольных схем КС и коммутирующих устройств КУ

При параллельном включении контрольных схем пробой ключа можно обнаружить контролем падения напряжения на закрытом ключе, например схемой, приведенной на рисунке 4.31. Пример реализации такого контроля пробоя симисторов приведен на рисунке 4.49.

Если оба симистора закрыты, то на вход контрольной схемы поступает синусоидальный сигнал. В тот момент, когда входное напряжение (ток) достигает некоего порогового значения, достаточного для открытия оптрона, в зависимости от полярности полуволны открывается один из двух оптронов. Таким образом, при закрытом ключе на выходе контрольной схемы появляется последовательность импульсов (см. рисунок 4.32). При пробое коммутирующего устройства на выходе контрольной схемы присутствует нулевой потенциал.

Однако такой способ не позволяет обнаружить пробой ключа, если ключ уже находится в открытом состоянии (объект включен). Обнаружение отказа станет возможным только после выключения объекта. Если же в силу своей специфики работы объект долгое время может находиться во включенном

состоянии (например, лампа зеленого огня сигнальной точки автоблокировки будет гореть все время, пока отсутствует движение на перегоне), необходимо учитывать возможность пробоя второго ключа, что является опасным.

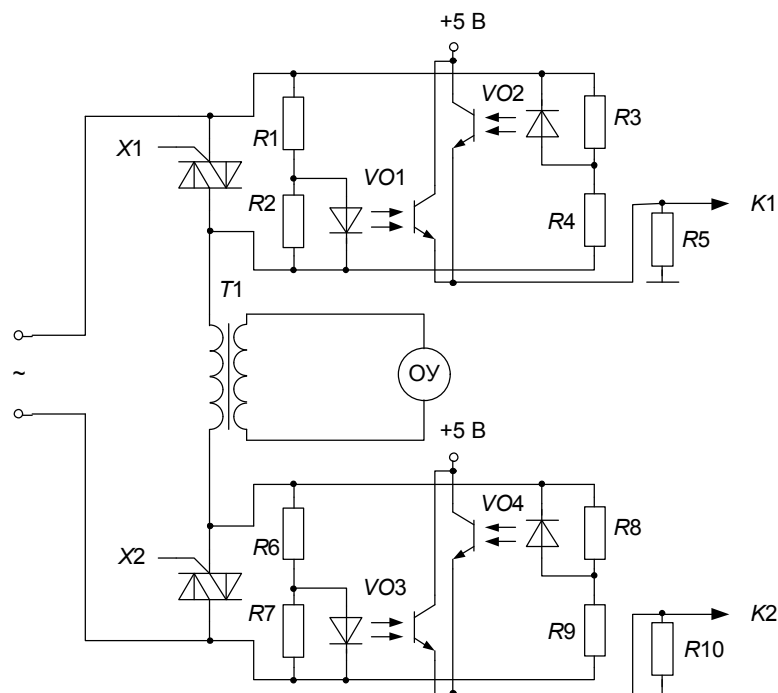


Рисунок 4.49 – Схема контроля пробоя ключей при двухполюсном размыкании

Для исключения накопления отказов в таких схемах применяют диагностирование, при котором в определенные моменты выключается один из ключей (рисунок 4.50).

Время отключения объекта t_o выбирается таким, чтобы исполнительный объект из-за своей инерционности не успел за это время изменить свое состояние (выключиться). В то же время t_o должно быть достаточным, чтобы контрольная схема успела зафиксировать попытку отключения объекта. Если произошел пробой ключа и объект управления включен, то при попытке диагностического отключения объекта на выходе контрольной схемы не появится импульсный сигнал, и отказ, таким образом, будет зафиксирован.

Попытки диагностического отключения выполняются с периодом, равным времени диагностирования t_d . Считается, что вероятность пробоя обоих

коммутирующих устройств за время диагностирования t_d мала, однако необходимо учитывать возможность одновременного пробоя полупроводниковых ключей, например при воздействии перенапряжений. При этом возникает ложный сигнал активизации исполнительного объекта в течение времени $t_d < t_o$, что может привести к опасной ситуации до выявления отказа. Поэтому для обеспечения безопасности функционирования такого рода коммутационных устройств длительность периода диагностирования (тестирования) t_d должна быть меньше времени включения исполнительного объекта. Аналогичным образом можно контролировать обрыв коммутирующего элемента, если он произошел при выключенном объекте управления. В этом случае выполняются попытки диагностического включения объекта, и фиксируется пропадание импульсов на выходе контрольной схемы (см. рисунок 4.50).

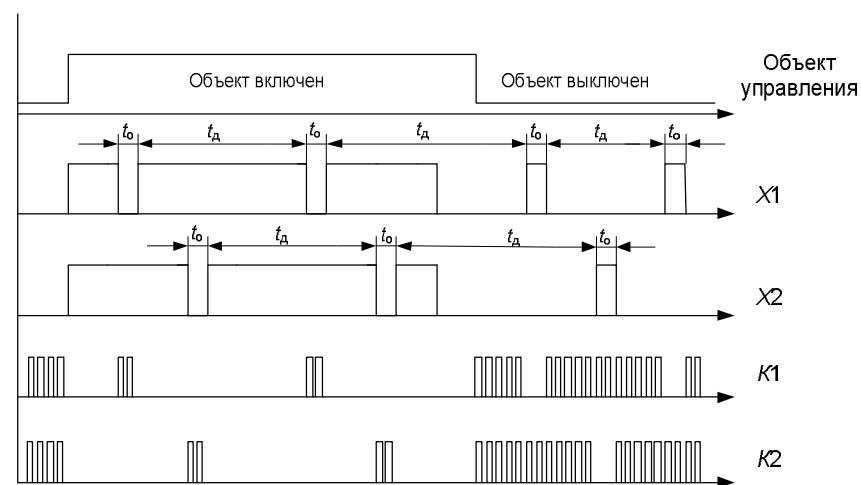


Рисунок 4.50 – Диагностирование контроля пробоя ключей при параллельном включении контрольных схем

При последовательном включении контрольных схем контролируется ток, протекающий по рабочей цепи объекта управления. Для диагностики отказа также выполняется последовательное отключение (включение) одного из коммутирующих устройств (рисунок 4.51). Протекание тока в рабочей цепи (импульсы на выходе контрольной схемы) при отключении одного из ключей соответствует пробоя этого ключа. Недостатком данной схемы является то, что исправному состоянию ключей соответствует пассивный выходной сигнал (отсутствие импульсов) контрольной схемы. Так как отказы

контрольной схемы также приводят к прекращению формирования импульсов на выходе, то возможно накопление отказов.

Например, при выключенном объекте управления и исправных ключах на выходах контрольных схем отсутствуют импульсы. Отказы контрольных схем, приводящих к прекращению формирования импульсов, в этом случае не обнаруживается. Последовательный отказ обоих контрольных схем, а затем пробой обоих ключей может привести к ложному включению объекта, т.е. к опасному отказу. И хотя вероятность такой последовательности отказов в течение времени, когда объект находится в выключенном состоянии, мала, ее необходимо учитывать и принимать дополнительные меры по исключению накопления отказов.

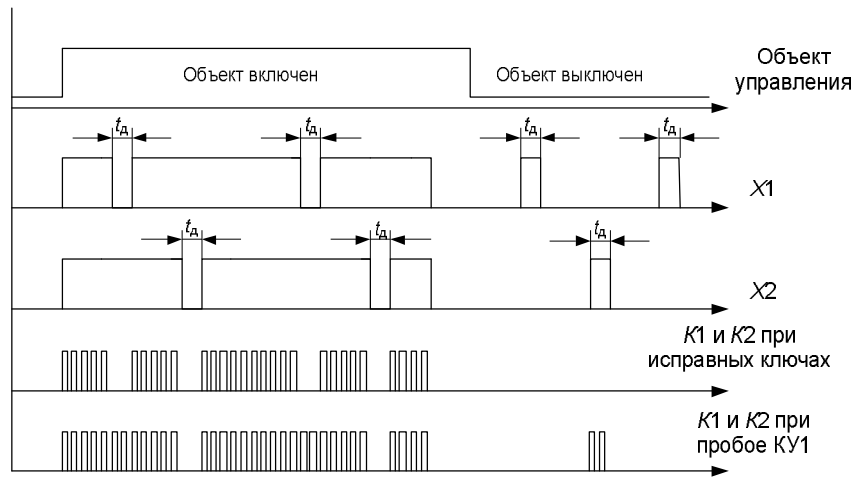


Рисунок 4.51 – Диагностирование контроля пробоя ключей при последовательном включении контрольных схем

Обрыв одного ключа является не опасным и может быть обнаружен только при попытке включить объект управления. Если требуется контролировать обрывы коммутирующих устройств при выключенном объекте, то в алгоритм диагностики по сравнению с представленным на рисунке 4.51 необходимо добавить диагностическое включение объекта (одновременное замыкание обоих ключей).

Еще одним недостатком данного способа включения контрольных схем является то, что через контрольные схемы протекает значительный рабочий ток, который может достигать нескольких десятков ампер, что предъявляет к входному каскаду схем дополнительные требования.

Преимуществом последовательного включения контрольных элементов является то, что в этом случае контрольные элементы дополнительно к контролю исправности коммутирующих устройств выполняют функцию контроля включения объекта (протекания тока по рабочей цепи объекта), что в некоторых случаях позволяет сократить объем используемых аппаратных средств. Поэтому, если в разрабатываемом устройстве предусмотрен контроль протекания тока через объект, то оправдано использование этой же контрольной схемы и для контроля исправности коммутирующих устройств.

4.3.2 Функциональные преобразователи

Рассмотренные в п. 4.3.1 схемы являются в значительной мере универсальными для коммутации контрольных и рабочих цепей различных исполнительных объектов, но также возможно построение узкоспециализированных устройств сопряжения с объектами (УСО) на основе функциональных преобразователей. Примерами таких УСО могут быть преобразователи постоянного тока в переменный и обратно.

Простейший преобразователь постоянного тока в переменный представлен на рисунке 4.52. При поступлении на вход X импульсного сигнала транзистор переключается и во вторичной обмотке трансформатора наводится переменный ток. Схема является безопасной, так как при любых отказах элементов ток на выходе схемы отсутствует. На этом принципе построена схема контроля исправности нити лампы светофора (рисунок 4.53) [11]. При поступлении импульсного сигнала на вход X во вторичной обмотке трансформатора наводится переменный ток. Для контроля протекания переменного тока используется оптронная схема (рисунок 4.22). Если нить лампы исправна, на контрольных выходах $K1$ и $K2$ присутствует парафазный импульсный сигнал. При обрыве нити лампы цепь разрывается, оптроны закрываются, на выходах присутствуют сигналы логической единицы.

Мостовой преобразователь (рисунок 4.54) [3, 11] управляется двумя парафазными импульсными последовательностями, поступающими на входы $X1$ и $X2$. Транзисторы $VT1$ и $VT2$ ($VT3$ и $VT4$) работают в инверсном режиме. При поступлении на вход $X1$ сигнала высокого уровня транзистор $VT2$ открывается, а $VT1$ – закрывается. Если на вход $X2$ приходит сигнал низкого

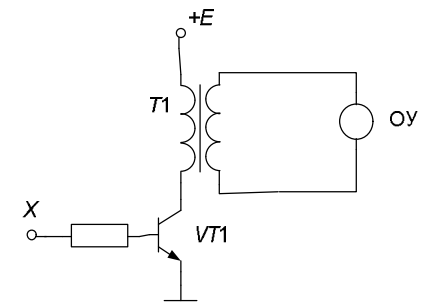


Рисунок 4.52 – Функциональный преобразователь

уровня, то транзистор $VT3$ открывается, а $VT4$ – закрывается. При этом через объект протекает ток по цепи: $+E - VT3 - OY - VT2 - \text{земля}$.

При изменении сигналов на входах $X1$ и $X2$ все транзисторы переключаются и через объект управления начинает протекать ток в противоположном направлении по цепи: $+E - VT1 - OY - VT4$. Таким образом, в рабочей цепи формируется переменный ток.

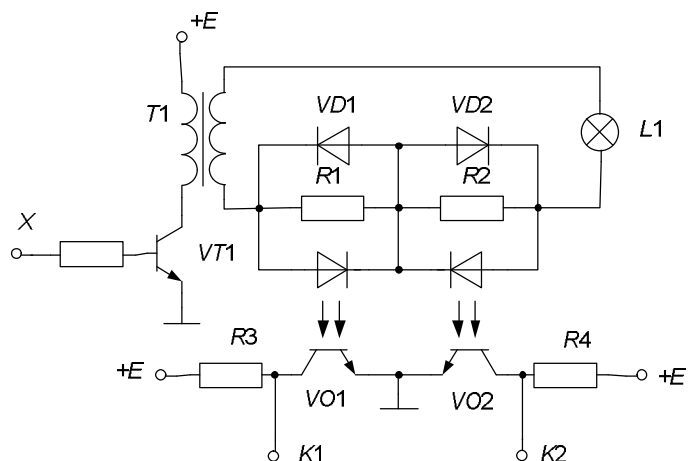


Рисунок 4.53 – Схема устройства контроля исправности нити лампы светофора

Любые отказы в схеме приводят к тому, что на выходе появится импульсный ток одного направления, поэтому данную схему можно использовать только в том случае, если объект управления включается переменным током, но не реагирует на постоянный ток, например поляризованное реле.

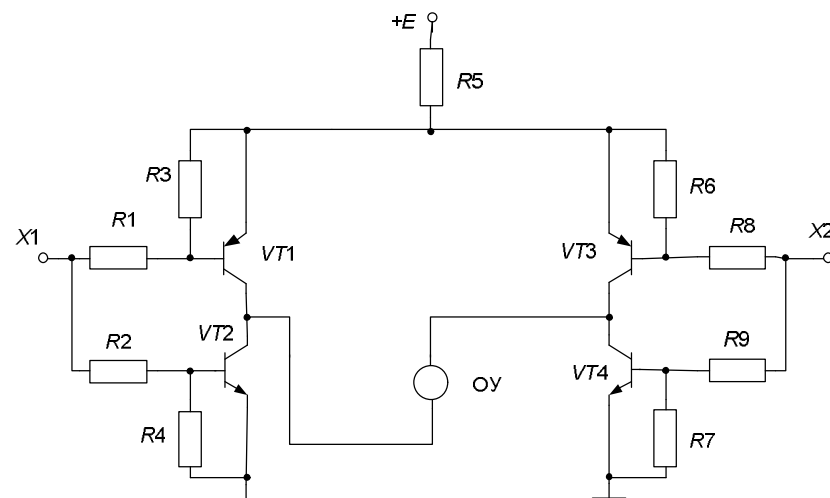


Рисунок 4.54 – Мостовой преобразователь

Если исполнительный объект работает как от переменного, так и от постоянного токов, например лампа светофора, то в состав преобразователя должен входить элемент гальванической развязки – трансформатор, защищающий исполнительный объект от воздействия постоянного тока при повреждении элементов схемы.

Двухтактный усилитель с гальванической развязкой (рисунок 4.55) [11] выполняет преобразование постоянного тока в переменный. Усилитель управляется двумя парафазными импульсными последовательностями $X1$ и $X2$, подаваемыми на оба каскада усилителя. Логическая единица, подаваемая на первый каскад в первом такте работы усилителя, открывает транзисторы $VT1$ и $VT2$ – по цепи первого каскада протекает ток. Во втором такте логическая единица подается на второй каскад усилителя, благодаря чему происходит открытие транзисторов $VT3$ и $VT4$, по цепи второго каскада протекает ток в обратном направлении. Следовательно, через цепь исполнительного объекта под воздействием сигнала $X1$ протекает ток в одном направлении, под воздействием сигнала $X2$ – в обратном направлении. Таким образом, в рабочей цепи объекта формируется переменный ток.

Любые отказы в схеме приводят к тому, что один из каналов перестает работать в динамическом режиме. Из-за того, что в этом случае работает только один транзисторный ключ, ток во вторичной обмотке будет приблизительно в два раза меньше, чем в случае исправной работы схемы. Поэтому

схему можно использовать в том случае, если объект управления будет гарантированно выключаться при снижении рабочего напряжения в два раза.

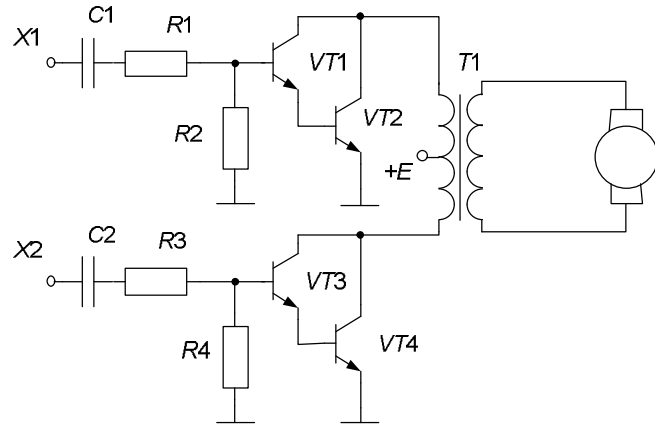


Рисунок 4.55 – Двухтактный усилитель с гальванической развязкой

Известны функциональные преобразователи, выполняющие двойное преобразование напряжения «постоянное – переменное – постоянное». Например, самопроверяемая схема включения реле для статических парафазных сигналов (рисунок 4.56) [3]. Схема построена на базе мостового преобразователя (см. рисунок 4.54). Диодный мост, включенный на выходе, выпрямляет сформированное мостовым преобразователем переменное напряжение. Полученное постоянное напряжение используется для безопасного включения исполнительного реле.

Аналогичное преобразование выполняют схемы однофазных импульсных декодеров. Однофазный импульсный декодер преобразует импульсный сигнал в постоянное напряжение U , а устойчивый сигнал – в нулевой потенциал. Декодеры являются элементами без опасных отказов. Критерий безопасности декодера – отсутствие набора допустимых неисправностей в структуре его схемы, в результате которого может произойти ложный переход $0 \rightarrow 1$ при наличии логического нуля на его входе.

Рассмотрим типовые схемы импульсных декодеров [19]. Для выпрямления однофазного импульсного сигнала часто применяют выпрямительные схемы с трансформаторами. Трансформатор обладает исключительным для безопасности свойством – не переносит сигнал в следующий каскад схемы, если сигнал в первичной обмотке становится постоянным. На рисунке 4.57 представлена схема и модель в пакете моделирования *PSpice* трансформаторного однофазного декодера с однополупериодным выпрямителем.

торного однофазного декодера с однополупериодным выпрямителем. Временная диаграмма работы схемы показана на рисунке 4.58.

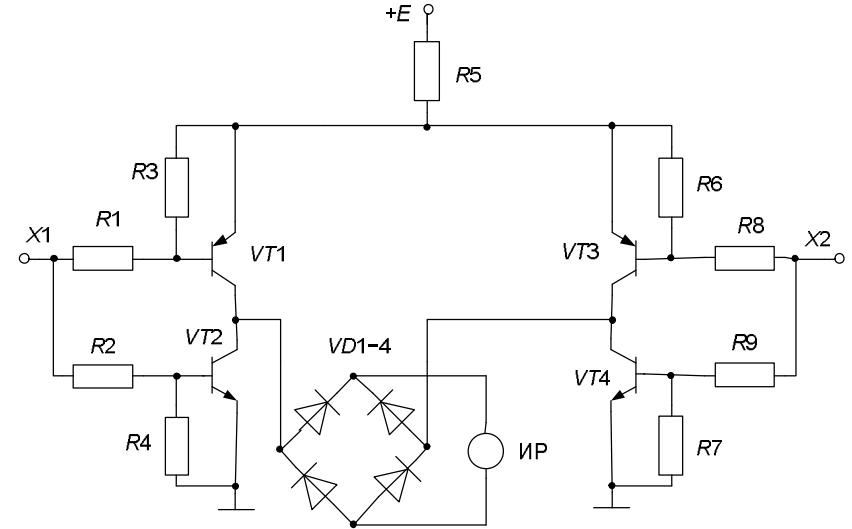


Рисунок 4.56 – Самопроверяемая схема включения реле для статических парафазных сигналов

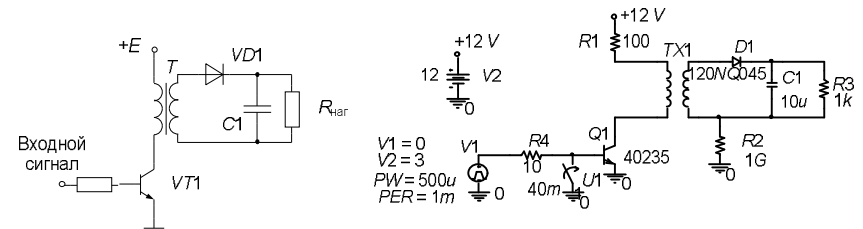


Рисунок 4.57 – Трансформаторный декодер с однополупериодным выпрямителем

Если на вход декодера поступает импульсный сигнал (интервал времени T_2), то в обмотках трансформатора наводится переменный ток, который выпрямляется диодом $VD1$ и сглаживается на конденсаторе $C1$. Тем самым на выходе схемы, которым является нагрузочное сопротивление $R_{наг}$, формируется постоянное напряжение (для представленной модели – 4 В). Причем указанное напряжение формируется не сразу, а при поступлении нескольких импульсов. Таким образом, осуществляется защита выхода схемы от появления ложного сигнала логической единицы при воздействии на вход схемы

случайных помех, которые могут быть восприняты схемой как одиночный импульс. Если на входе схемы импульсный сигнал отсутствует (интервалы T_1 и T_3), то конденсатор разряжается на нагрузку, и напряжение на выходе становится равным нулю.

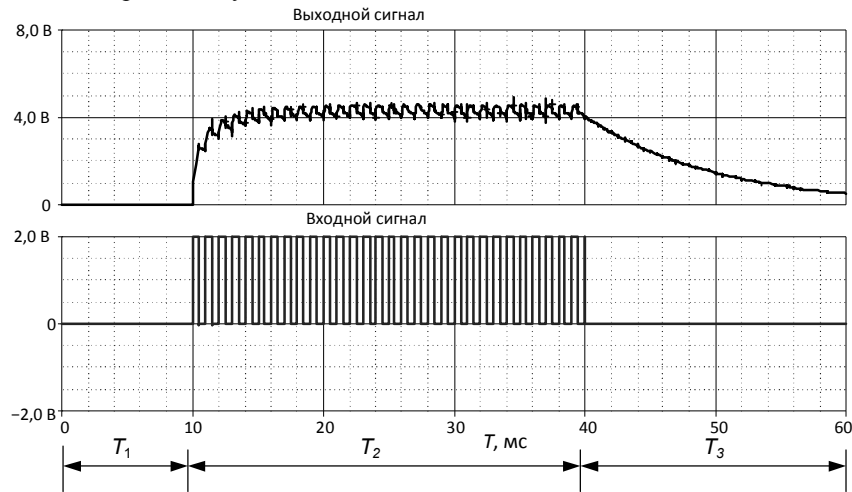


Рисунок 4.58 – Временная диаграмма работы трансформаторного декодера с однополупериодным выпрямителем

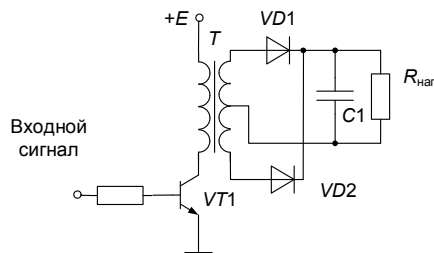


Рисунок 4.59 – Трансформаторный декодер с двухполупериодным выпрямителем

В схеме трансформаторного декодера, представленного на рисунке 4.57, однополупериодный выпрямитель можно заменить на двухполупериодный (см. рисунок 4.59).

Наличие трансформатора в рассмотренных схемах имеет свои недостатки. Это связано с тем, что технологически трудно и экономически невыгодно применять трансформатор в микросхемах с высокой степенью интеграции.

Поэтому более предпочтительными являются конденсаторные декодеры. Типовые схемы конденсаторных декодеров представлены на рисунке 4.60 [19].

На вход декодера поступает кодированный однофазным импульсным кодом сигнал. Вид выходного сигнала аналогичен представленному на рисунке

4.58 выходному сигналу трансформаторного декодера. Отличие только в способе формирования выходного сигнала.

Рассмотрим работу конденсаторного декодера при поступлении на вход импульсного сигнала более подробно. В промежутке между импульсами транзистор $VT1$ закрыт и конденсатор $C1$ заряжается через диод $VD1$. При поступлении импульса, когда транзистор открыт, конденсатор $C1$ разряжается через транзистор $VT1$ и диод $VD2$, заряжая при этом конденсатор $C2$. В промежутке между импульсами конденсатор $C2$, включенный параллельно нагрузке $R_{наг}$, поддерживает напряжение на выходе. Оно возрастает во время импульсов и убывает по экспоненте во время паузы. При оптимальных значениях параметров схемы напряжение на выходе близко к постоянному.

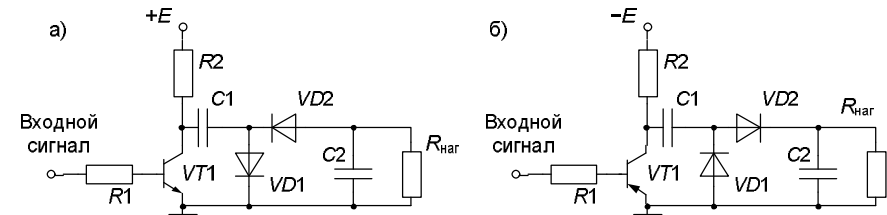


Рисунок 4.60 – Конденсаторные однофазные декодеры

Схемы на рисунке 4.60 отличаются полярностью напряжения питания, входного и выходного сигналов. Схема на рисунке 4.60, а имеет положительное напряжение питания и при поступлении импульсов положительной полярности формирует на выходе отрицательное напряжение. Схема на рисунке 4.60, б имеет отрицательный источник питания и при поступлении импульсов отрицательной полярности формирует на выходе положительное напряжение. Уровень напряжения на выходе определяется параметрами схемы. Диаграммы входного и выходного сигналов для этих схем приведены на рисунке 4.61.

Сигнал высокого уровня на выходе схемы должен формироваться только после того, как на вход поступят три – пять импульсов. На уровень уже установившегося выходного напряжения также не должно значительно влиять и пропадание одного-двух импульсов. Эти условия необходимы для исключения ложного формирования выходных сигналов импульсного декодера под действием помех.

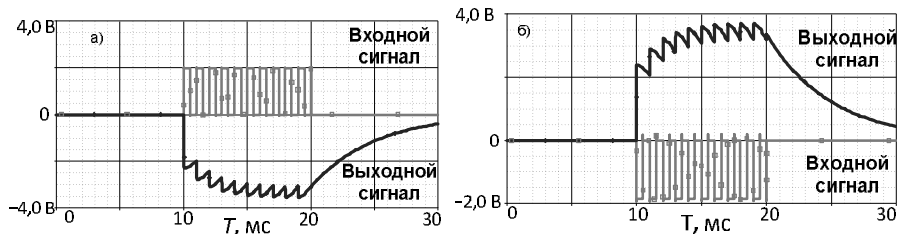


Рисунок 4.61 – Временные диаграммы работы конденсаторных декодеров

Критерием опасного отказа импульсного декодера является появление на выходе схемы напряжения, соответствующего уровню логической единицы, при отсутствии импульсов на входе схемы. Конденсаторные декодеры имеют единственный опасный набор неисправностей: пробой $C1$ и $VD2$ и обрыв $VD1$. Тогда на выходе декодера появляется напряжение высокого уровня. Вероятность такого события $\sim \lambda_{оп} < 1 \cdot 10^{-15} \text{ 1/ч}$ [11]. Кроме того, появившееся в результате отказа напряжение будет иметь обратную полярность. Если же использовать чувствительную к полярности нагрузку (например, поляризованное реле), то схема будет абсолютно безопасной. Трансформаторные декодеры опасных наборов неисправностей не имеют.

Все остальные отказы элементов декодеров приводят к защитному отказу, критерием которого является отсутствие напряжения на выходе при поступлении импульсов на вход схемы.

Особенным образом проявляется такой отказ, как обрыв выходного конденсатора ($C1$ на рисунках 4.57, 4.59 и $C2$ – на рисунке 4.60). В этом случае при поступлении на вход схемы импульсного сигнала на выходе также появится импульсный сигнал (рисунок 4.62). Чтобы предотвратить появление импульсного сигнала на выходе схемы включают четырехвыводный конденсатор. Кроме сглаживания выпрямленного напряжения четырехвыводный конденсатор исключает формирование выходного сигнала при обрывах своих выводов, т. к. в этом случае разрывается электрическая цепь.

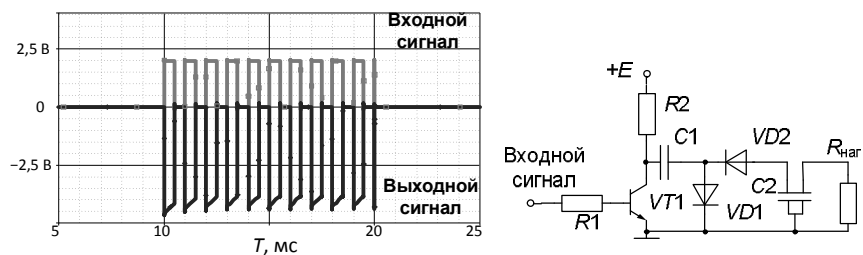


Рисунок 4.62 – Временная диаграмма работы декодера при обрыве выходного конденсатора и использовании четырехвыводного конденсатора $C2$

Преобразователи переменного напряжения в постоянное в основном используются для включения переменным током светодиодных светофоров. Примером такой схемы может служить схема включения переездного светодиодного светофора (см. рисунок 4.63) [10].

Входное переменное напряжение выпрямляется с помощью диодного моста. С выхода выпрямителя напряжение постоянного тока поступает на плату со светодиодами. Если входное напряжение находится в допустимом диапазоне, то транзистор $VT1$ открыт по цепи $VD3, R1$. При этом транзистор $VT2$ закрыт, и ток через сопротивление $R4$ отсутствует. Огневое реле удерживается током, протекающим через светодиодную матрицу.

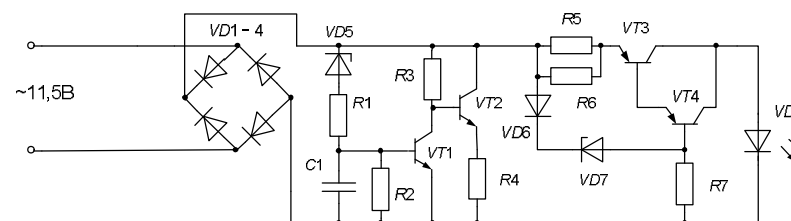


Рисунок 4.63 – Схема управления переездным светодиодным светофором

В режиме «Холодная проверка», когда на две последовательно соединенные головки напряжение $+12 \text{ В}$ подается через сопротивление обмотки огневого реле 180 Ом , транзистор $VT1$ закрыт, $VT2$ открывается, и светодиодная матрица шунтируется резистором $R4$, который обеспечивает протекание постоянного тока и удержание огневого реле.

На элементах $R5-R7, VD6, VD7, VT3-VT4$ собран стабилизатор тока, ограничивающий потребляемый схемой ток при напряжениях питания, превышающих номинальное значение.

Возможны и более сложные преобразования напряжения. Например, схема включения лампы светофора (рисунок 4.64) [3] выполняет сначала преобразование переменного напряжения в постоянное, а затем с помощью тиристора $VS1$, управляемого импульсным сигналом $X1$, постоянное напряжение преобразуется в переменное импульсное напряжение, которое и поступает на лампу $L1$.

Контроль горения лампы осуществляется с помощью трансформатора $T2$ и диодного моста $VD6-9$.

4.3.3 Умножители напряжения

Под умножителем напряжения понимают схему, которая на выходе формирует напряжение, в несколько раз превышающее напряжение питания. С точки зрения безопасности умножители напряжения являются очень привлекательными, так как любые отказы элементов приводят к нарушению процесса умножения напряжения. В этом случае даже при многократных отказах амплитуда максимального напряжения, которое может ложно сформироваться на выходе схемы, не превышает напряжения питания, что не является опасным. Немаловажно и то, что схемы с умножением напряжения позволяют значительно снизить массу и габариты аппаратуры.

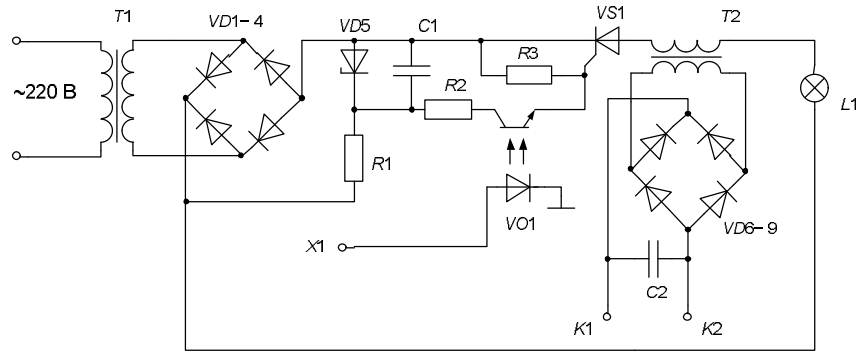


Рисунок 4.64– Схема включения лампы светофора

Умножители можно условно разделить на две категории: схемы умножения выпрямленного напряжения переменного тока и схемы, основанные на параллельном заряде и последовательном разряде конденсаторов.

Схемы умножителей выпрямленного напряжения переменного тока разделяются на симметричные и несимметричные, несимметричные – на два типа: первого и второго рода.

Схема умножения первого рода представлена на рисунке 4.65 [21]. В полупериод напряжения, когда в точке «А» имеется отрицательный потенциал относительно точки «F» конденсатор $C1$ будет заряжаться по цепи «F» – $VD1$ – «B» – $C1$ – «A» до амплитудного значения напряжения на входе схемы (в точках «A» – «F»). Одновременно с зарядом $C1$ будет также заряжаться конденсатор $C3$ по цепи «F» – $VD1$ – «B» – $VD2$ – «C» – $VD3$ – «D» – $C3$ – «A» также до амплитудного значения напряжения на входе схемы. Также будут заряжаться и другие конденсаторы схемы умножения, которые могут быть и которые подключены одним выводом к точке «A». Все эти кон-

денсаторы заряжаются по цепочке последовательно соединенных диодов. Через диод $VD1$ течет ток заряда конденсаторов всех ступеней умножения, через диоды $VD2$, $VD3$ и далее – ток заряда всех остальных конденсаторов, подключенных одним выводом к точке «A», кроме первого. Таким образом, через диоды в первоначальный момент проходят значительные токи заряда емкостей. Это необходимо учесть при выборе элементов для схемы умножения. Конденсаторы $C2$ и все, которые могут быть в других ступенях и подключаются одним выводом к точке «F», в этот полупериод не заряжаются, поскольку оказываются шунтированными парами диодов $VD1$ – $VD2$, $VD3$ – $VD4$ и далее $VD(N)$ – $VD(N+1)$.

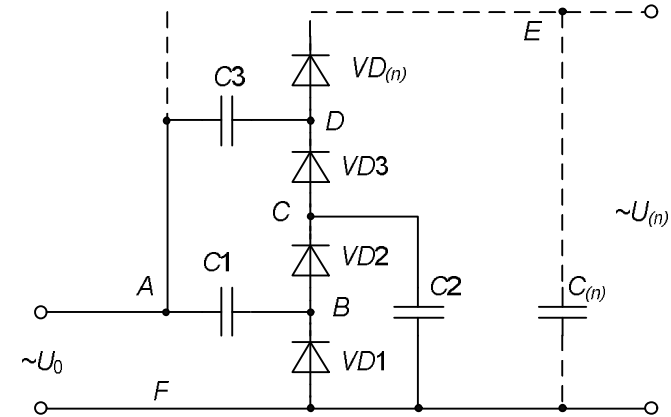


Рисунок 4.65 – Схема умножения первого рода

С началом другого полупериода положительный потенциал будет в точке «A». Поскольку конденсатор $C1$ уже заряжен до такого же потенциала, как и максимальный U_0 , то он оказывается включенным последовательно с источником питания и будет разряжаться по цепи «B» – $VD2$ – «C» – $C2$ – «F» – U_0 – «A». Поскольку конденсатор $C2$ был разряжен, то теперь он зарядится почти до удвоенного амплитудного напряжения U_0 . «Почти» потому, что $C1$ за этот небольшой промежуток времени отдаст часть своего заряда конденсатору $C2$.

Если емкость конденсатора $C1$ намного больше емкости конденсатора $C2$, то $C2$ зарядится до удвоенного амплитудного значения напряжения U_0 . Если емкости этих конденсаторов равны, то все равно, через несколько периодов напряжение на конденсаторе $C2$ достигнет удвоенного U_0 . Аналогично, по цепи «D» – $VD(n)$ – «E» – $C(n)$ – «F» – U_0 – «A» произойдет заряд конденсатора $C(n)$ до удвоенного напряжения U_0 .

В следующий полупериод напряжения конденсатор C_2 , заряженный до удвоенного напряжения U_0 , будет включен последовательно и по цепи «С» – VD_3 – «D» – C_3 – «A» – U_0 – «F» зарядит конденсатор C_3 почти до утроенного напряжения U_0 . А конденсатор C_1 будет подзаряжен до напряжения U_0 .

В следующий полупериод конденсатор C_2 будет заряжен так же, как уже было описано, до удвоенного напряжения, а конденсатор $C_{(n)}$ будет заряжен по цепи «D» – $VD_{(n)}$ – «E» – $C_{(n)}$ – «F» – U_0 – «A» – C_3 . Причем за счет утроенного напряжения на конденсаторе C_3 и напряжения на входе конденсатор $C_{(n)}$ зарядится до учетверенного U_0 . Если наращивать ступени умножения и дальше, их работа ничем не будет отличаться от работы первых ступеней умножения. Следует отметить, что в один из полупериодов будут заряжаться конденсаторы, подключенные одним выводом к точке «A», а в другой – конденсаторы, подключенные одним выводом к точке «F», поэтому частота пульсаций на выходе схемы умножения первого рода равна частоте питающего напряжения.

Несимметричная схема умножения второго рода представлена на рисунке 4.66, а. Принцип работы этого умножителя аналогичен работе умножителя первого рода.

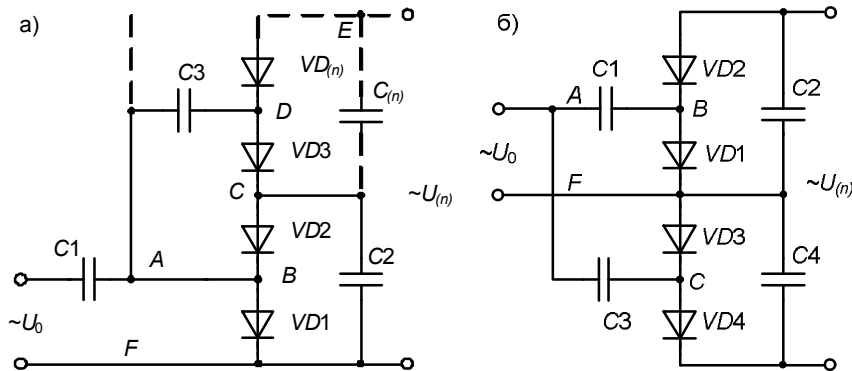


Рисунок 4.66 – Схемы умножителей напряжения

Основное отличие заключается в том, что в этой схеме все конденсаторы, за исключением C_1 , заряжаются только до удвоенного напряжения U_0 . Конденсатор C_1 заряжается только до U_0 . Таким образом, рабочее напряжение конденсаторов и диодов в умножителе напряжения второго рода может быть значительно ниже, чем в умножителе первого рода. «Пусковой» ток через диоды в этой схеме тоже меньше, поскольку определяется емкостью только одного конденсатора C_1 .

Симметричная схема умножения напряжения получается, если применить две несимметричные схемы, у одной из которых необходимо сменить полярность электролитических конденсаторов и изменить проводимость диодов (рисунок 4.66, б). Симметричные схемы обладают теми же свойствами, но лучшими характеристиками. Немаловажное достоинство симметричных схем – удвоенная частота пульсаций выпрямленного напряжения. Некоторые практические схемы умножителей приведены в приложении А.

На рисунке 4.67 представлена схема включения исполнительного реле, принцип работы которого основан на преобразовании импульсных сигналов малой амплитуды в рабочее напряжение реле с помощью выпрямителей с умножением напряжения [19].

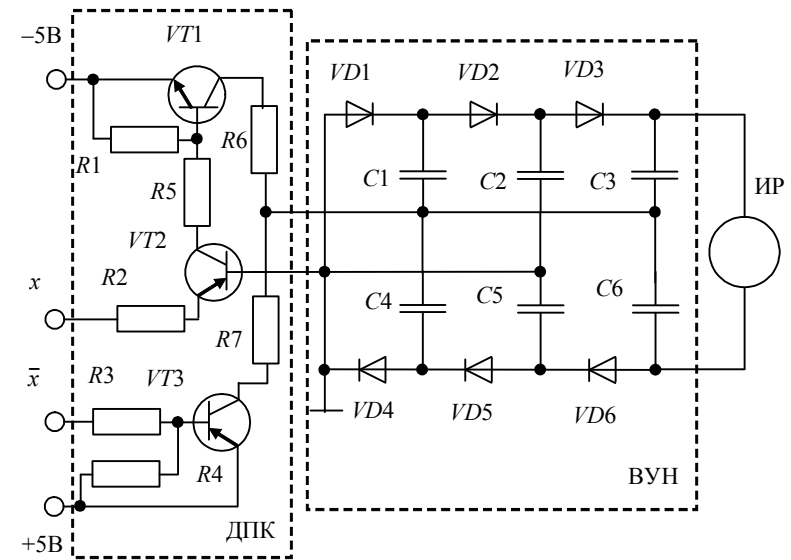


Рисунок 4.67 – Схема включения исполнительного реле на основе выпрямителя с умножением напряжения

Входные сигналы от контролируемого устройства в виде прямоугольных импульсов поступают на прямой и инверсный входы двухполюсного ключа (ДПК) на транзисторах VT_1 – VT_3 . При синфазности сигналов, поступающих на входы, на входе выпрямителя с умножителем напряжения (ВУН), собранного на элементах C_1 – C_6 , VD_1 – VD_6 , появляется переменное прямоугольное напряжение, амплитуду которого выбирают меньшей, чем напряжение отпущения исполнительного реле. ВУН выпрямляет и умножает ис-

ходное напряжение до уровня, необходимого для работы реле, при поступлении нескольких импульсов.

Схема требует двухполюсного питания, что является одним из ее недостатков. Еще одним недостатком является относительно низкое КПД схемы (менее 70 %).

При использовании питания ± 5 В на выходе ДПК формируется переменное напряжение амплитудой около 4 В. На выходе первого каскада ВУН формируется постоянное напряжение ± 4 В, т. е. он выпрямляет и удваивает входное напряжение. Каждый следующий каскад добавляет к входному напряжению еще ± 4 В. Таким образом, на выходе схемы формируется напряжение ± 12 В, которым можно включить реле с рабочим напряжением 24 В.

Повреждение любого элемента ведёт к прекращению умножения напряжения либо снижению выходного напряжения ВУН и исключает возможность ложного притяжения или удержания якоря реле. В случае повреждения трёх и более элементов к реле может быть подключён один из источников ДПК, однако его напряжения недостаточно не только для притяжения, но и для удержания якоря реле во включённом состоянии.

Кроме того, схема контролирует синхронность работы двух каналов (синфазность выходных сигналов), выполняя роль выходных компараторов.

В качестве примера умножителя, основанного на параллельном заряде и последовательном разряде конденсаторов, рассмотрим умножитель постоянного напряжения, представленный на рисунке 4.68 [22].

Для формирования напряжения на выходе на вход X должен поступать импульсный сигнал. Когда реле K выключено, конденсаторы $C1 - C4$ включены параллельно и заряжаются от источника питания U_0 через тыловые контакты реле. При включении реле конденсаторы $C1 - C4$ через фронтные контакты включаются параллельно, и на выходе схемы формируется напряжение U_n в n раз больше входного напряжения, где n – количество каскадов (в данном примере – четыре). При этом заряжается выходной конденсатор $C5$, который поддерживает напряжение на выходе схемы в момент заряда конденсаторов $C1 - C4$.

Подобная схема используется в блоках ТУ-8Б микропроцессорной централизации «ипуть». Вместо реле в схеме используются электронные ключи.

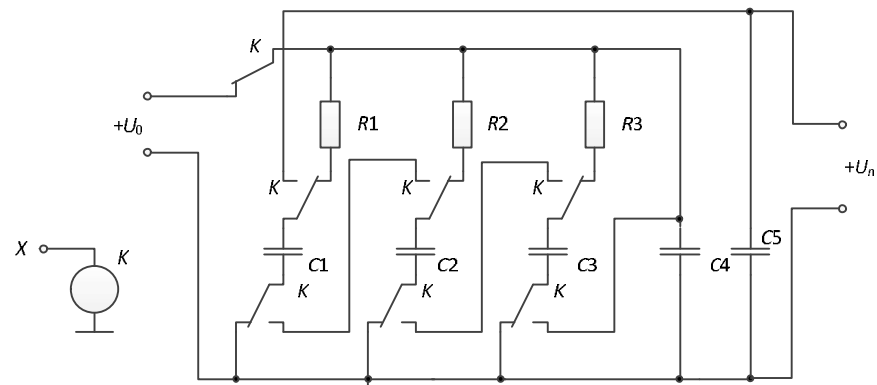


Рисунок 4.68 – Умножитель, основанный на параллельном заряде и последовательном разряде конденсаторов

Управляется схема двумя микроконтроллерами, которые формируют необходимые импульсные сигналы для управления электронными ключами. В схеме умножителя используются девять каскадов, что позволяет при входном напряжении 4 В формировать на выходе напряжение 24 В.

4.4 Устройства включения исполнительных реле

Для сопряжения микроэлектронных систем с релейными схемами, построенными на реле I класса надежности, используются устройства включения исполнительных реле (УВИР).

Основным преимуществом УВИР над бесконтактными УСО является то, что реле имеют высокую устойчивость к электромагнитным помехам и перенапряжениям. Кроме того реле являются элементами идеальной гальванической развязки с несимметричным отказом. Недостатки реле состоят в ограниченном ресурсе и потребности в профилактическом обслуживании релейно-контактных схем, а также специфичности производства релейных приборов и, как следствие, их высокой стоимости.

Реле характеризуются следующими параметрами [9]:

- сопротивлением обмотки;
- напряжением (током) отпускания;
- напряжением (током) срабатывания;
- напряжением (током) питания;
- временем задержки на отпускание.

Примеры электрических характеристик наиболее распространенных железнодорожных реле приведены в приложении Б. Справочное напряжение отпущения якоря реле соответствует максимальному значению напряжения, при котором реле гарантированно разомкнет свой фронтной и замкнет тыловой контакт. В свою очередь, справочное значение напряжения срабатывания соответствует минимальному значению напряжения, при котором реле гарантированно замкнет фронтной и разомкнет тыловой контакт. Например, для реле РЭЛ1-1600 (таблица Б.1) указано, что напряжение отпущения этого реле не менее 5 В, а напряжение срабатывания – не более 16 В. Это означает, что при поступлении напряжения 5 В или менее реле будет гарантированно выключено, а при 16 В или более – включено. На самом деле это реле переключается при поступлении напряжения в диапазоне от 5 до 16 В. При каком точно напряжении происходит переключение зависит от параметров конкретного реле. Так как при изготовлении реле возможен значительный разброс параметров из-за использования намоточных элементов конструкции, такой подход позволяет упростить технологию и снизить стоимость производства реле, контролируя при этом только попадание измеренных характеристик в указанный диапазон значений.

По сути УВИР являются функциональными преобразователями, работа которых в общем виде описывается выражением

$$F(x) = \begin{cases} 0 & \text{при } x = 0, A_i = 0; \\ u < u_{n2} & \text{при } A_i = 1; \\ u > u_{n1} & \text{при } x = 1, A_i = 0, \end{cases}$$

где $F(x)$ – функция, отражающая закон преобразования входных сигналов x ; $A_i = \{0,1\}$ – переменная, отражающая отсутствие или наличие отказов в функциональном преобразователе; u – значение сигнала на выходе функционального преобразователя; u_{n1} , u_{n2} – соответственно напряжения срабатывания и отпущения реле.

Поясним выражение. При отсутствии сигнала на входе ($x = 0$) исправного ($A_i = 0$) УВИР на его выходе напряжение должно отсутствовать.

При возникновении неисправности ($A_i = 1$) независимо от значения входного сигнала напряжение на выходе УВИР должно быть меньше напряжения отпущения реле, что соответствует переходу в защитное состояние.

При наличии активного сигнала на входе ($x = 1$) исправного ($A_i = 0$) УВИР напряжение на его выходе должно быть больше напряжения срабатывания реле.

Анализ поведения УВИР при отказах его элементов заключается в проверке выполнения этих условий.

Рассмотрим основные принципы построения безопасных устройств включения исполнительных реле. Наиболее распространены схемы УВИР на основе трансформаторных или конденсаторных импульсных декодеров. Примеры схем УВИР представлены на рисунке 4.69.

Схема на базе трансформаторного импульсного декодера (см. рисунок 4.69, а) работает следующим образом. Для включения реле на вход схемы «Вх» необходимо подать последовательность импульсов. При поступлении импульсов на базу транзистора $VT1$ транзистор начинает последовательно открываться и закрываться, работая как ключ. При этом в первичной обмотке трансформатора протекает переменный ток. Во вторичной обмотке наводится переменное напряжение, которое выпрямляется на диоде $VD1$ и сглаживается на конденсаторе C . В результате на обмотке реле появляется постоянное напряжение.

Безопасное поведение этой схемы при отказах обеспечивается за счет двойного преобразования входных импульсных сигналов – дифференцирования с помощью трансформатора и интегрирования с помощью диода и конденсатора. При нарушении любого из этих двух законов преобразования сигналов на выходе схемы либо отсутствует напряжение, либо оно меньше напряжения выключения, поэтому реле ИР отпускает свой якорь.

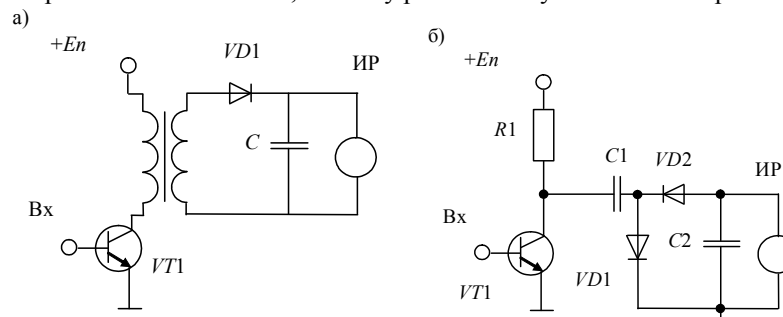


Рисунок 4.69 – УВИР на базе импульсных декодеров

Для включения реле ИР, т.е. для достижения напряжения срабатывания, необходимо поступление на вход схемы серии импульсов. Кратковременные случайные сбои в работе схемы (в том числе при воздействии электромагнитных помех) не приводят к ложному выключению или включению ИР из-за инерционности заряда и разряда конденсатора. Во включенном состоянии реле находится до тех пор, пока поступают импульсные сигналы.

Недостатком УВИР с трансформаторной гальванической развязкой является то, что импульсные трансформаторы являются нетехнологичными эле-

ментами. Поэтому чаще используются УВИР с конденсаторной гальванической развязкой (см. рисунок 4.69, б).

Принцип ее работы следующий. В статическом состоянии конденсатор $C1$ заряжается через резистор $R1$ и диод $VD1$. При поступлении прямоугольного импульса на базу транзистора $VT1$ транзистор открывается, и конденсатор $C1$ разряжается на конденсатор $C2$ через транзистор $VT1$ и диод $VD2$. В промежутке между импульсами конденсатор $C1$ опять заряжается, а конденсатор $C2$ разряжается на обмотку реле.

Таким образом, при поступлении импульсов происходит постепенное нарастание напряжения на конденсаторе $C2$. При достижении напряжения на конденсаторе $C2$ значения напряжения срабатывания реле ИР включается.

В случае отказа любого элемента схемы нарушается последовательность заряд – разряд конденсатора $C2$. Это ведет к его разряду через обмотку реле ИР, падению напряжения на обмотке реле ИР и его отключению.

Конденсаторное УВИР имеет единственную совокупность неисправностей, приводящих к опасному отказу: пробой $C1$ и $VD2$ и обрыв $VD1$. В этом случае на выходе схемы появляется напряжение высокого уровня от источника питания. Однако вероятность такого события – $\lambda_{оп} < 1 \cdot 10^{-15}$ 1/ч, что значительно меньше допустимой вероятности опасного отказа $\lambda_{доп} = 1 \cdot 10^{-11}$ 1/ч. Поэтому данная схема считается безопасной.

К нарушению нормального функционирования схемы приводит также обрыв конденсатора $C2$. В этом случае вместо постепенного нарастания напряжения на обмотке реле появляется импульсный сигнал. Это может привести к тому, что реле начнет работать в импульсном режиме. Для устранения последствий данного отказа используют амплитудную защиту, то есть амплитуды импульсного сигнала должно быть недостаточно для включения реле. Кроме того, конденсатор $C2$ конструктивно выполняют с четырьмя выводами. В этом случае конденсатор кроме обычных функций по сглаживанию напряжения будет выполнять и функции гальванической развязки, исключая поступление импульсов на обмотку реле при обрыве вывода конденсатора (рисунок 4.70).

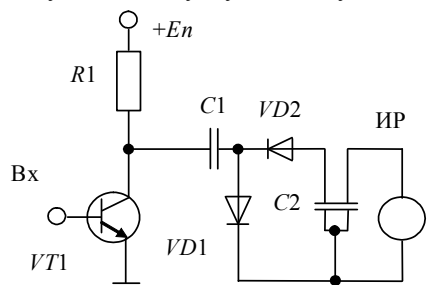


Рисунок 4.70 – УВИР с четырехвыводным конденсатором

Кроме схем на базе импульсных декодеров получили распространение схемы УВИР на основе умножителей напряжения, рассмотренные в п. 4.3.3.

Недостатком схем на основе умножителей напряжения является их более высокая сложность и стоимость, а также относительно невысокий КПД. Однако эти схемы имеют более высокую безопасность, так как никакая комбинация отказов элементов не может привести к опасному отказу, даже появление напряжения питания на управляющем выходе схемы. Для этого напряжение питания умножителя выбирают меньше напряжения отпущения якоря реле.

Гораздо реже используются другие схемы УВИР, например, функциональные преобразователи, представленные в п.4.3.2, так как их использование требует либо особых условий эксплуатации, либо отдельного доказательства безопасности функционирования. Так схемы некоторых функциональных преобразователей (рисунки 4.54–4.56) допускают снижение выходного напряжения при отказах отдельных элементов в два раза, т.е. при рабочем напряжении 24 В на выходе может появиться напряжение 12 В, при котором большинство реле оказывается в неопределенном состоянии (отдельные экземпляры могут быть включены, а другие – выключены), так как это напряжение больше справочного напряжения отпущения и меньше справочного напряжения срабатывания.

4.5 Пример реализации модуля сопряжения с исполнительным объектом

Исходя из структурной схемы, представленной на рисунке 2.14, модуль сопряжения с лампой светофора состоит из следующих блоков (рисунок 4.71):

- трех входов безопасных схем сравнения БСС_{&O3}, БСС_{&3} и БСС_{&P3};
- трех устройств сопряжения с лампой светофора УС;
- устройства контроля тока КТ₃.

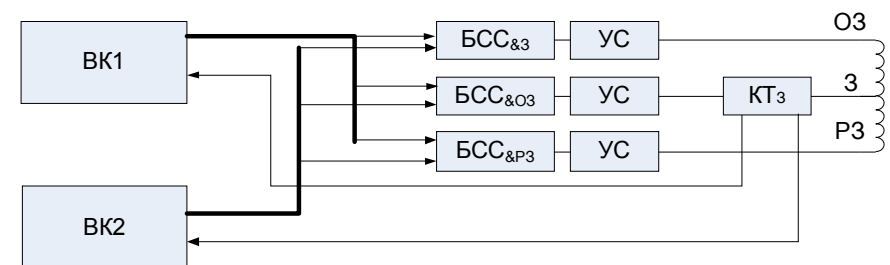


Рисунок 4.71 – Структурная схема модуля сопряжения с зеленой лампой светофора

Рассмотрим подробнее требования к каждому блоку модуля сопряжения. Проще начинать анализ с устройства сопряжения. Так как объектом управления служит двухнитевая лампа ЖС12-15+15, то устройство сопряжения должно формировать на выходе постоянное или переменное напряжение от 10,5 В до 12 В [10]. Пониженное напряжение используется в связи с тем, что при напряжении, превышающем номинальное, резко снижается продолжительность горения лампы. Такой режим горения лампы называется «дневным». Однако на железной дороге кроме «дневного» режима используются также «ночной» (номинальное напряжение 9 В) режим и режим «двойного снижения напряжения» (номинальное напряжение 6 В).

Так как номинальная мощность лампы составляет 15 Вт, то номинальный ток в цепи горения лампы в «дневном» режиме будет находиться в пределах от 1,25 до 1,5 А. В связи с этим сразу можно исключить схемы умножителей напряжения и конденсаторных декодеров, так как они не обеспечивают достаточной мощности. Учитывая, что лампы могут работать как на постоянном, так и на переменном токе, то к схемам функциональных преобразователей предъявляются дополнительные требования по гальванической развязке цепей питания функциональных преобразователей и их выходов, чтобы исключить появления напряжения питания преобразователя на управляющем выходе в результате отказа. Таким требованиям соответствуют только схемы с трансформаторной развязкой.

Исходя из вышесказанного, необходимо выбрать подходящую схему из следующих вариантов:

- дублированные коммутирующие устройства (см. рисунок 4.49);
- функциональный преобразователь постоянного тока в переменный на основе трансформаторного декодера (см. рисунок 4.52);
- двухтактный усилитель с гальванической развязкой (см. рисунок 4.55).

Рассмотрим достоинства и недостатки каждого варианта. Достоинством схемы с дублированной коммутацией цепей питания на объект управления является простота расчетов параметров элементов, так как выходные электрические характеристики обеспечиваются внешним блоком питания. Напряжение на объекте управления будет равно напряжению питания, за вычетом падения напряжения на схеме контроля тока. Поэтому значительно упрощается реализация переключения режимов горения ламп, так как переключение выполняется на уровне блока питания и не касается устройства согласования. Еще одним достоинством данной схемы является двухканальное управление, т. е. схема дополнительно выполняет функции БСС. Недостатком схемы является достаточно большое количество элементов, так как для каждого коммутирующего элемента необходимо предусмотреть контроль пробоя ключа (см. рисунок 4.49). Это обусловлено не только низкой надежностью электронных ключей, но и тем, что для включения большинст-

ва коммутирующих бесконтактных устройств (тиристоров, симисторов, твердотельных реле) требуется подать постоянное напряжение с выхода порта микроконтроллера. В этом случае необходимо учитывать возможность ложного замыкания ключа в результате отказа порта микроконтроллера. Кроме того, необходимо реализовать программную диагностику исправности открытых ключей, как показано на рисунке 4.50, что усложняет программную реализацию проекта.

Достоинством функционального преобразователя на основе трансформаторного декодера является его простота и высокая безопасность, недостатком – необходимость расчета и моделирования параметров трансформатора. При этом нужно учитывать различные режимы работы («дневной», «ночной» и «двойное снижение напряжения»). Кроме того, так как у данной схемы имеется только один вход, то требуется разработка двухканальной безопасной схемы сравнения с динамическим выходом, которая сама по себе может стать достаточно сложным устройством.

Достоинством двухтактного усилителя с трансформаторной развязкой является его простота, а также наличие двухканального входа, что позволяет использовать его в двухканальных системах без БСС. Недостатком является парафазность входных сигналов, что требует инвертирования выходных сигналов одного из каналов либо внесением различий (диверситета) в программное обеспечение, либо аппаратным способом. Это ограничивает его использование в системах с сильными связями. Вторым недостатком является ложное появление выходного напряжения половинной амплитуды при некоторых отказах. В случае использования ламп ЖС12-15+15 при поступлении напряжения питания около 6 В они обеспечивают свечение лишь в 2 % от номинального значения (режим двойного снижения напряжения). Напряжение на лампах при двойном снижении может быть в пределах $4,5 \pm 0,5$ В. Учитывая, что такой режим является разрешенным, ложное включение лампы в этом режиме является опасным. Поэтому необходим дополнительный контроль за этой ситуацией с безопасным отключением объекта управления в случае несанкционированного включения лампы в этом режиме. Это особенно эффективно, если в системе используется стратегия безопасного отключения выходов в случае обнаружения отказов. Еще одним недостатком является необходимость расчета и моделирования параметров трансформатора, как и в схеме трансформаторного декодера.

Таким образом, хотя может использоваться каждый из рассмотренных вариантов, наиболее просто реализуется первый вариант. В качестве недостатка такой реализации схемы управления двухнитевой лампы можно указать наличие шести коммутирующих устройств, каждое из которых должно иметь свой контрольный элемент. Так как одновременно будет использо-

ваться только одна из нитей – либо основная, либо резервная, то данную схему можно оптимизировать, сократив число ключей до четырех. Однако это требует дополнительного доказательства безопасности принимаемых решений и может быть выполнено самостоятельно для повышения общей оценки курсового проекта.

Выбор схемы контроля протекания тока зависит от характеристик объекта управления и количества возможных контролируемых значений. Если контролируется всего два состояния: лампа горит (ток больше порогового значения) и лампа не горит (ток меньше порогового значения), то предпочтительнее выбирать схемы контроля с цифровым выходом (см. рисунки 4.21 или 4.22).

Если же требуется контролировать более двух состояний (горение в режимах «дневной», «ночной», «двойное снижение напряжения» и выключение лампы, в т. ч. перегорание), то предпочтительнее является ввод информации в аналоговой форме и ее обработка программным способом (см. рисунки 4.19, 4.20, 4.24).

В нашем случае, хотя и контролируется только два состояния («горит» и «не горит»), в разных режимах функционирования им будут соответствовать различные пороговые значения токов. Поэтому необходимо различать четыре состояния:

- лампа горит в «дневном» режиме;
- лампа горит в «ночном» режиме;
- лампа горит в режиме «двойного снижения напряжения»;
- лампа не горит (ток в цепи отсутствует).

В связи с этим, самым простым способом реализации контроля является использование двух датчиков Холла (см. рисунок 4.24) – один датчик на каждый канал. Обработка аналоговых сигналов будет выполнена встроенным АЦП.

Таким образом, в качестве блоков БСС и УС выбрана схема дублированных коммутирующих устройств (см. рисунок 4.49). При этом в качестве коммутирующего элемента можно использовать, например, малогабаритное твердотельное реле *PVG612A* (изготовитель *IRF [International Rectifier]*) [24], которое имеет следующие характеристики:

- коммутируемое напряжение от 0 до 60 В;
- максимальный коммутируемый ток – до 2 А переменного тока;
- максимальный импульсный ток – до 7,5 А.

Реле управляется током от 5 до 25 мА.

В качестве блока КС выбрана схема контроля тока датчиком Холла *ACS712* (см. рисунок 4.24). Выбранные схемы обеспечивают заданный уровень безопасности и полностью удовлетворяют заданию на курсовой проект.

5 РАЗРАБОТКА ПРИНЦИПИАЛЬНЫХ СХЕМ ОТКЛЮЧЕНИЯ ВЫЧИСЛИТЕЛЬНЫХ КАНАЛОВ

5.1 Организация безопасного отключения вычислительных каналов и исполнительных объектов

Устройства безопасного отключения (БСО) в зависимости от принятой стратегии перехода в защитное состояния выполняют отключение вычислительных каналов системы или отключение только управляющих выходов. В некоторых случаях возможно использование обоих способов одновременно.

По способу отключения БСО можно разделить на коммутационные схемы и функциональные преобразователи. В коммутационных схемах отключения вычислительных каналов реализовано физическое замыкание цепей питания вычислительных каналов при поступлении сигнала подтверждения работоспособности с помощью безопасной схемы коммутации. В коммутационных схемах отключения выходов коммутируются либо управляющие выходы, либо цепи питания выходных УСО.

Наиболее простым и самым распространенным способом построения коммутационной БСО является размыкание цепей питания с помощью контактов реле I класса надежности. Пример реализации такого способа отключения представлен на рисунке 5.1.

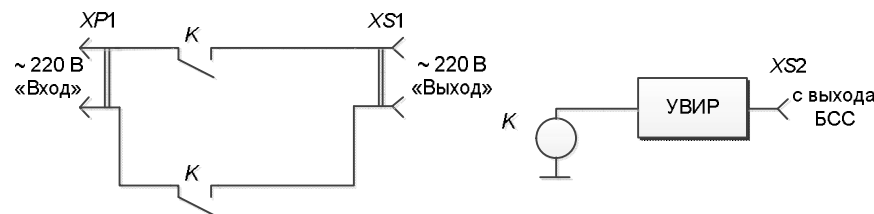


Рисунок 5.1 – Коммутационная схема отключения питания вычислительного канала

При поступлении импульсного сигнала с выхода БСС на устройство включения исполнительного реле на выходе УВИР формируется напряжение, достаточное для включения реле. При этом реле *K* своими фронтowymi контактами замыкает цепи питания вычислительного канала.

Однако использовать БСО в таком виде, как изображено на рисунке 5.1 нельзя, так как в начальный момент времени реле *K* выключено, контакты

разомкнуты, включить систему невозможно. Поэтому данную схему необходимо дополнить схемой запуска системы (рисунок 5.2). Запуск осуществляется вручную нажатием кнопки и ее удержанием до того момента, когда реле *K* включится и своими контактами подключит питание.

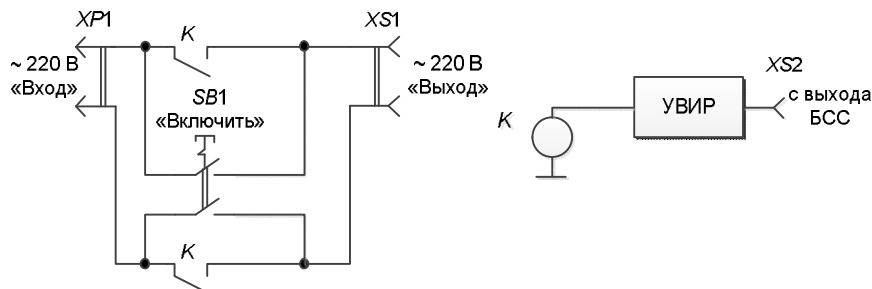


Рисунок 5.2 – Безопасная схема отключения питания системы со схемой запуска

Данную схему в обязательном порядке необходимо дополнить индикацией следующих состояний:

- «Наличие питания на выходе БСО»;
- «Контакты реле *K* замкнуты (разомкнуты)».

Это необходимо для контроля времени удержания кнопки запуска, а также для контроля исправности коммутирующих элементов схемы. Индикацию можно выполнять как с помощью соответствующих аналоговых схем, так и программным способом. В последнем случае индикаторы подключаются к выводам микроконтроллера. Достоинством программной индикации является возможность использования для идентификации различных состояний системы цифровых индикаторов, а в случае применения светодиодов – уменьшения их количества за счет кодирования состояний различной частотой мигания. Недостатком является необходимость дополнительного контроля контактов коммутирующих элементов (реле и кнопки).

Примером индикации для питания «+5 В» может служить схема на рисунке 5.3.

Работа безопасной схемы отключения осуществляется следующим образом. При начальном включении питания контрольное реле *K* выключено, питание в систему не поступает. Светодиод «Отключено» горит, светодиод «Включено» погашен. Для включения системы необходимо нажать кнопку «Включить» и удерживать ее до включения контрольного реле. При нажатии кнопки напряжение питания начинает поступать в систему в обход контактов реле и зажигается светодиод «Включено».

После инициализации системы и выполнения всех необходимых операций по обеспечению безопасности схема БСС сформирует динамический сигнал разрешения работы системы, после чего УВИР включит контрольное реле *K*. Реле своими контактами подключит питание системы, светодиод «Отключено» погаснет, после чего кнопку можно отпускать. Система может переходить к выполнению технологических алгоритмов.

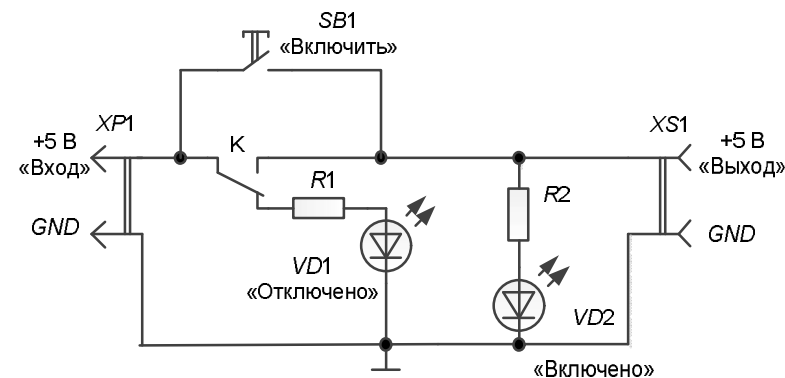


Рисунок 5.3 – Индикация в схеме отключения питания

В случае обнаружения нештатной ситуации, требующей отключения системы, схема БСС прекращает формирование импульсов, УВИР выключает реле, которое размыкает свои контактами цепи питания, и система выключается, что соответствует защитному состоянию. Выход из защитного состояния аналогичен начальному включению системы.

Отключение управляющих выводов системы выполняется аналогично, за исключением того, что контакты реле врезаются не в цепи питания вычислительного канала, а в цепи питания устройства сопряжения (рисунок 5.4) или непосредственно в управляющие цепи (рисунок 5.5). Схему запуска в этом случае делать не надо, так как выключенное реле не размыкает цепи питания вычислительного канала.

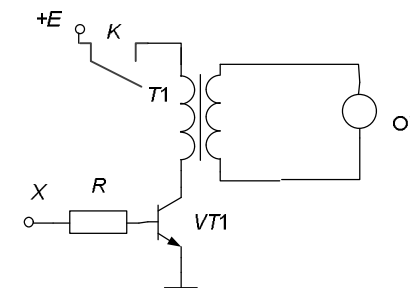


Рисунок 5.4 – Безопасная схема отключения питания выходов

В момент включения питания реле остается выключенным, управляющие выходы отключены. После инициализации системы и выполнения всех необходимых операций по обеспечению безопасности схема БСС сформирует динамический сигнал разрешения работы системы, после чего УВИР включит контрольное реле *K*. Это реле своими контактами подключит управляющие выходы системы к входам объектов управления. Система может переходить к выполнению технологических алгоритмов.

В случае обнаружения нештатной ситуации, требующей отключения выходов, схема БСС прекращает формирование импульсов, УВИР выключает реле, и объекты управления отключаются. Система переходит в защитное состояние. Так как в этом случае система не отключается, то выход из защитного состояния выполняется после того, как схема БСС начнет формировать импульсный сигнал разрешения работы системы.

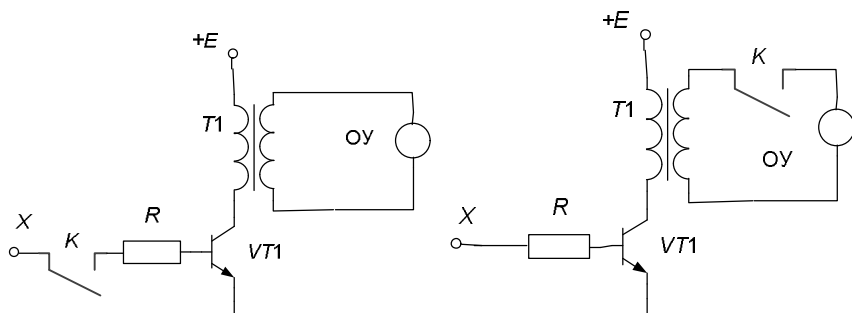


Рисунок 5.5 – Безопасные схемы отключения выходов

Вместо реле в схеме БСО могут использоваться электронные коммутирующие элементы. В этом случае могут быть использованы схемные решения, рассмотренные в подразд. 4.3.

БСО в виде функционального преобразователя используются тогда, когда имеется возможность внешнего управления источником питания. В этом случае при поступлении управляющих сигналов БСО на выходе формирует напряжение питания для вычислительных каналов или устройств сопряжения. При прекращении формирования управляющих сигналов напряжение на выходе пропадает, и система переходит в защитное состояние.

БСО разрабатывается с учетом конкретных параметров управляющих сигналов. При этом могут быть использованы технические решения, рассмотренные в этом пособии. Если же источник питания является частью системы, то блок отключения может быть интегрирован непосредственно в источник питания.

Ограничением на использование данного подхода является то, что необходимо обеспечить необратимость перехода в защитное состояние. Поэтому при переходе в защитное состояние устройство, вырабатывающее управляющие сигналы, должно выключаться, что ограничивает использование типовых схем генерации сигналов. Часто такой способ используется для получения напряжения питания выходных каскадов, при этом управляющие сигналы формируются программно. Схемы отключения вычислительных каналов на базе функциональных преобразователей распространения не получили.

5.2 Пример реализации безопасной схемы отключения вычислительных каналов

Исходя из структурной схемы, представленной на рисунке 2.14, требуется разработать безопасную схему отключения вычислительного канала. Наиболее простым решением является использование коммутационной БСО, размыкающей цепи питания вычислительного канала с помощью контактов реле I класса надежности.

В первую очередь требуется рассмотреть структуру блока питания вычислительного канала. Проектируемый модуль управления проходным светофором физически будет размещен на перегоне в релейном шкафу рядом с объектом управления. В релейных шкафах автоблокировки имеются следующие питающие напряжения:

- 220 В переменного тока, поступающее от линейного трансформатора;
- 12 В переменного тока для питания светофорных ламп;
- 12 В постоянного тока для питания приборов СЦБ.

При этом в качестве первичного источника питания используется 220 В переменного тока. Для питания вычислительного канала требуется дополнительный источник питания 5 В постоянного тока. Самым простым решением является получение требуемого напряжения из напряжения 12 В постоянного тока с помощью стабилизатора напряжения, например, *LM7805* – линейного стабилизатора с фиксированным напряжением положительной полярности 5 В и выходным током 1 А. На вход линейного стабилизатора подается нестабилизированное напряжение от 0 до 36 В. Типовая схема включения стабилизатора приведена на рисунке 5.6.

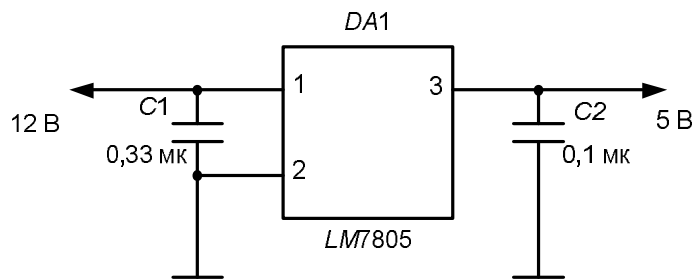


Рисунок 5.6 – Типовая схема включения стабилизатора *L7805*

В качестве коммутирующего элемента можно выбрать реле I класса НМШ2-1000, которое имеет номинальное напряжение 12 В, напряжение срабатывания – 7,5 В и напряжение отпускания – 2,3 В (приложение Б). В качестве УВИР можно использовать конденсаторное УВИР (см. рисунок 4.70) с напряжением питания 12 В. Выходное напряжение этого УВИР при наличии импульсного сигнала на входе составляет около 10 В, что является достаточным для гарантированного включения реле. Любой отказ в схеме УВИР приводит к снижению напряжения до 0, что гарантированно приводит к выключению реле, которое своими контактами отключит питание вычислительного канала и тем самым переведет систему в защитное состояние.

Выбранное конденсаторное УВИР является простым, не требует дополнительных источников питания, электрические и временные параметры схемы легко регулируются номиналами емкостей *C1* и *C2*. Регулирование временных характеристик, а именно задержки на отключение реле, является обязательным, так как выбранная схема сравнения (см. подразд. 3.6), допускает неодновременность выдачи контрольной информации. Требуемая задержка на отключение определяется исходя из технологических алгоритмов и структуры системы. В нашем случае она должна находиться в диапазоне от одного периода программной обработки информации (рассчитывается точно после написания программы) до максимального времени потери шунта, которое составляет около 4 с [23].

Рассмотрим возможные варианты отключения питания. Можно разорвать цепи питания 5 В. В этом случае гарантированно выключится только вычислительный канал. На устройства сопряжения с объектом будет поступать рабочее напряжение 12 В переменного тока, что может привести к ложному включению лампы светофора при пробое двух ключей, даже если вычислительный канал выключен. Поэтому данный способ отключения системы не отвечает требованиям безопасности, т. к. не обеспечивает переход в

защитное состояние выходов системы при выключении вычислительных каналов. Разрыв цепи питания 12 В постоянного тока не приемлем по тем же причинам. Таким образом, наиболее подходящим вариантом отключения системы является разрыв цепи питания 220 В, так как в этом случае будет отсутствовать питание как вычислительных каналов, так и устройств сопряжения с объектами. Пример реализации схемы отключения представлен на рисунке 5.2. Данную схему необходимо дополнить индикацией состояний:

- «Наличие питания на выходе БСО»;
- «Контакты реле *K* замкнуты (разомкнуты)».

Индикацию можно подключить как к выходам источника питания 220 В, так и к выходу стабилизатора 5 В. Для индикации положения контактов реле можно использовать свободный тройниковый контакт, на общий вывод которого подключить напряжение 5 В, а к фронтному и тыловому выходам – светодиоды с ограничивающими резисторами.

6 РАЗРАБОТКА ОБЪЕДИНИТЕЛЬНОЙ ПЛАТЫ

Все разработанные ранее блоки модуля управления проходным светофором, а также вычислительные каналы и интерфейсные блоки удобно разрабатывать в виде отдельных плат. Это значительно повышает ремонтопригодность разрабатываемого устройства, т. к. в случае отказа какого-либо одного элемента, можно будет заменить только ту плату, на которой находится отказавший элемент.

Так как отдельные элементы системы должны взаимодействовать между собой в соответствии со структурной схемой устройства, то платы должны быть электрически объединены между собой. Существует несколько способов объединения отдельных элементов.

Во-первых, можно каждый элемент системы выполнить в виде законченного устройства, имеющего свой корпус и входные разъемы для подключения цепей питания и интерфейсных кабелей, по которым будет производиться обмен информацией с другими блоками. Примером реализации такого подхода служит, например, взаимодействие таких элементов персонального компьютера, как системный блок, принтер, внешний модем, монитор. На практике такой подход применяется в том случае, если отдельные элементы значительно удалены друг от друга либо взаимное расположение элементов относительно друг друга может меняться в значительных пределах.

Вторым способом является объединение отдельных плат посредством общей платы, которая имеет разъемы для подключения остальных плат. Такой объединительной платой может быть либо одна из уже разработанных плат, например плата вычислительного канала, либо специальная плата (крейт), которая содержит только разъемы и не выполняет никакие другие функции. Примером реализации такого подхода может служить компоновка системного блока персонального компьютера, в котором роль объединительной платы выполняет материнская плата, к которой через специальные разъемы подключаются видеокарта, платы расширения и другие устройства.

Так как модуль управления светофором является компактным устройством, то более предпочтительным является второй способ, т. к. он, по сравнению с первым способом, упрощает конструкцию модуля управления, в т. ч.

блока питания. В нашем случае удобно использовать специальную объединительную плату, т. к. это повышает ремонтопригодность разрабатываемого блока. Если же в качестве объединительной платы использовать плату вычислительного канала, то при отказе элементов этой платы процесс ее замены значительно усложняется.

На первом этапе разработки объединительной платы необходимо разбить устройство на отдельные платы. Ориентироваться при этом необходимо на структурную схему устройства. Для устройства управления проходным светофором (см. рисунок 2.14) можно выделить следующие платы:

- первого вычислительного канала, в которую входят блоки ВК1 и RS485;
- второго вычислительного канала (ВК2 и RS485). Платы первого и второго вычислительных каналов отличаются друг от друга, т. к. вычислительные каналы построены на разных микроконтроллерах;
- безопасной схемы сравнения (BCC_{xor});
- безопасной схемы отключения (BCO_{BK}). Несмотря на то, что на структурной схеме приведены два блока БСО, выбранный в подразд. 5.2 способ отключения каналов предполагает одну общую схему для двух каналов;
- три одинаковые платы для включения ламп светофора (З, Ж и К), каждая из которых включает в себя три блока $BCC_{\&}$, три блока УС и блок КТ.

Следующим шагом необходимо определить, на каких платах требуется разместить вторичные источники питания +5 В (ВИП). Данное напряжение используется платами вычислительных каналов для питания микроконтроллеров и преобразователей интерфейса RS485 и платами включения ламп светофоров для питания контрольных элементов и датчика Холла. Основным требованием к многоканальным системам является гальваническая развязка каналов по цепям питания, поэтому каждый вычислительный канал должен иметь собственный ВИП. Учитывая простую реализацию ВИП, в целях повышения надежности системы разместим собственные ВИП и на платах управления лампами светофора. Таким образом, на платы вычислительных каналов и управления лампами в качестве питания будет подаваться постоянное напряжение +12 В.

Третьим шагом необходимо для каждой платы определить интерфейсные линии, по которым плата будет обмениваться информацией с внешними устройствами. При этом необходимо указать направление передаваемой информации. Платы вычислительных каналов, несмотря на внутренние различия, будут иметь одинаковый набор интерфейсных линий (рисунок 6.1).

Вычислительный канал обменивается информацией по двум линиям интерфейса RS485 с внешним модемом, посредством восьмиразрядной шины $W1$ передает контрольную информацию на безопасную схему сравнения

БСС_{хор}, формирует сигналы X1 для управления девятью коммутирующими устройствами схем управления лампами светофоров, получает девять сигналов K1 контроля исправности коммутирующих элементов и три аналоговых сигнала КТ1 контроля протекания тока в цепи управления лампой светофора. Кроме того, на плату подается по цепям питания постоянное напряжение +12 В. Таким образом, вычислительный канал имеет 33 интерфейсные линии.

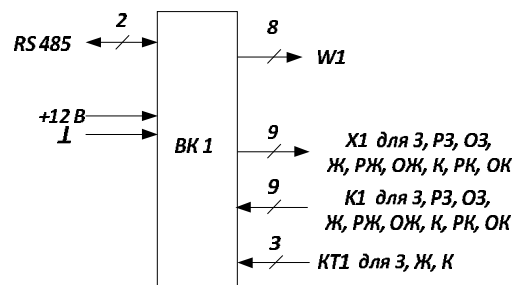


Рисунок 6.1 – Внешний интерфейс платы вычислительного канала BK1

В ход платы безопасной схемы сравнения поступают восьмиразрядные сигналы W1 и W2 от двух вычислительных каналов (см. рисунок 6.2, а). На выходе платы формируется контрольный сигнал КС. Питание схемы осуществляется за счет энергии входных сигналов, поэтому внешнее питание не требуется. Всего плата БСС имеет 17 интерфейсных линий.

В ход платы безопасной схемы сравнения поступают восьмиразрядные сигналы W1 и W2 от двух вычислительных каналов (см. рисунок 6.2, а). На выходе платы формируется контрольный сигнал КС. Питание схемы осуществляется за счет энергии входных сигналов, поэтому внешнее питание не требуется. Всего плата БСС имеет 17 интерфейсных линий.

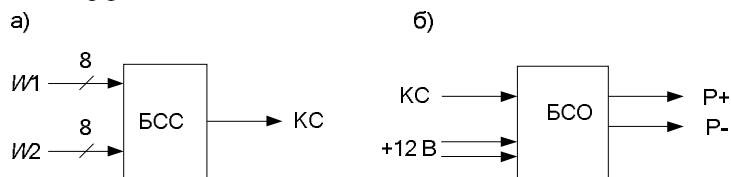


Рисунок 6.2 – Внешний интерфейс плат БСС и БСО

Плата БСО обрабатывает сигнал КС, поступающий от БСС и управляет реле I класса НМШ2-1000. Учитывая, что реле имеет достаточно большие габариты и массу, разместить его на плате не представляется возможным. Поэтому реле рассматривается как внешнее устройство, которое управляется схемой БСО посредством интерфейсных линий «P+» и «P-». Для питания схемы включения реле необходимо напряжение 12 В. Плата БСО имеет пять интерфейсных линий (см. рисунок 6.2, б).

Внешний интерфейс платы включения желтой лампы светофора представлен на рисунке 6.3. На плату поступают по три сигнала X1 и X2 от вычислительных каналов BK1 и BK2 для включения трех дублированных коммутирующих устройств (см. рисунок 4.71). Плата формирует шесть контрольных сигналов (K1 и K2) исправности коммутирующих устройств (по

три на каждый канал) и два аналоговых сигнала контроля протекания тока КТ1 и КТ2, которые передаются на вычислительные каналы. Коммутируемые цепи управления лампами Ж, РЖ и ОЖ подключены к отдельным линиям интерфейса.

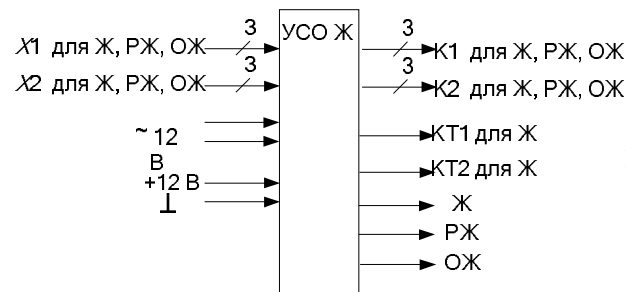


Рисунок 6.3 – Внешний интерфейс платы включения желтой лампы светофора

Кроме того, на плату поступает переменное напряжение 12 В для питания ламп светофора и постоянное 12 В для питания схем контроля и датчиков Холла. Всего плата имеет 21 интерфейсную линию.

На заключительном этапе разработки объединительной платы необходимо определить интерфейсные линии, по которым будет происходить обмен информацией между объединительной платой и остальными платами. При этом надо обязательно учесть, что все внешние цепи (шины питания, линии внешнего интерфейса, цели управления объектами) необходимо разместить на отдельных разъемах объединительной платы. Для блока управления проходным светофором внешний интерфейс объединительной платы может выглядеть так, как показано на рисунке 6.4.

Как видно из рисунка 6.4, к объединительной плате подключаются внешние модемы (разъем XS1), цепи питания 12 В постоянного и переменного тока (разъем XS2), безопасные схемы сравнения (разъем XS3) и отключения (разъем XS4), вычислительные каналы (разъемы XS5 и XS6) и схемы управления лампами УСО К (разъем XS7), УСО З (разъем XS8) и УСО Ж (разъем XS9). Обмотка внешнего реле НМШ2-1000 подключается к разъему XS10. Цели управления лампами светофора подключаются к разъемам XS11 – XS13.

В качестве внешних разъемов удобно использовать, например, пружинные клеммы WAGO серии «Микро», рассчитанные на ток 6 А. Они широко применяются как в бытовой электропроводке, так и в промышленном монтаже в местах, требующих повышенной надежности и виброустойчивости, обеспечивают надежное подключение одно- и маложильных медных и/или алюминиевых проводников, а также смешанный электромонтаж. Например,

для подключения модемов (XS1) можно использовать разъем WAGO 243-208 на восемь контактов, а для цепей питания, реле и ламп (XS2, XS10 – XS13) – разъемы 243-204 на четыре контакта.

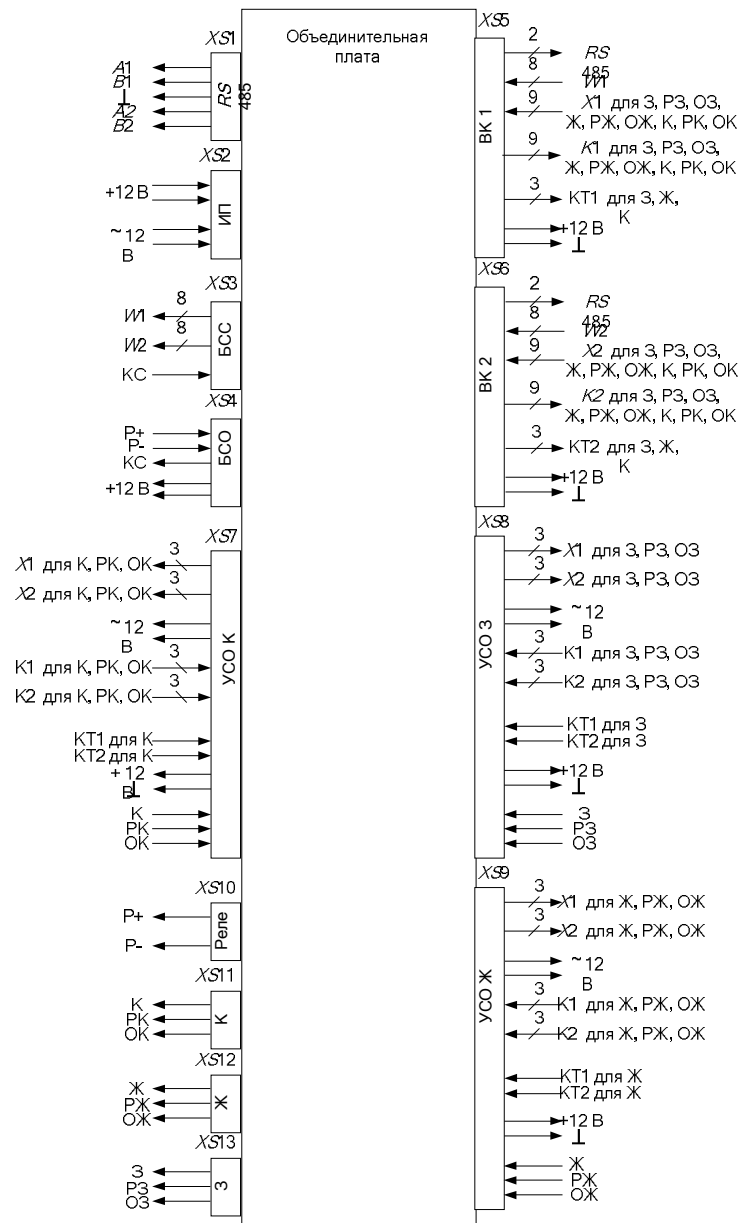


Рисунок 6.4 – Организация обмена информацией через объединительную плату

В качестве внутренних разъемов для подключения вычислительных каналов (*XS5*, *XS6*) можно использовать 36-контактный слот *SL-36*, для подключения плат включения ламп (*XS7* – *XS9*) – *SL-24* на 24 контакта, а для подключения БСС и БСО (*XS3*- *XS4*) – *SL-10*.

Таким образом, разработаны принципиальные схемы всех необходимых плат проектируемого устройства. Осталось подобрать параметры элементов схем, выполнить их моделирование и оформить принципиальные схемы в соответствии с ГОСТ.

СПИСОК ИСПОЛЬЗУЕМОЙ И РЕКОМЕНДУЕМОЙ ЛИТЕРАТУРЫ

- 1 Станционные системы автоматики и телемеханики : учеб. для вузов ж.-д. трансп. / Вл. В. Сапожников [и др.] ; под ред. Вл. В. Сапожникова. – М. : Транспорт, 1997. – 432 с.
- 2 Системы микропроцессорной централизации. Международный обзор // Железные дороги мира. – 1997. – № 8. – С. 8–17.
- 3 Микропроцессорные системы централизации : учеб. для техникумов и колледжей ж.-д. трансп. / Вл. В. Сапожников [и др.] ; под ред. Вл. В. Сапожникова. – М. : ГОУ «Учеб.-метод. центр по образованию на ж.-д. транспорте», 2008. – 398 с.
- 4 **Бочков, К. А.** Микропроцессорные системы автоматики на железнодорожном транспорте: учеб. пособие / К.А. Бочков, А.Н. Коврига, С.Н. Харлап – Гомель : БелГУТ, 2013. – 254 с.
- 5 **Кириленко, А. Г.** Счетчики осей в системах железнодорожной автоматики и телемеханики : учеб. пособие / А.Г. Кириленко, А.В. Груша. – Хабаровск : Изд-во ДВГУПС, 2003. – 75 с.
- 6 **Кокурин, И. М.** Эксплуатационные основы устройств железнодорожной автоматики и телемеханики : учеб. для вузов ж.-д. трансп. / И. М. Кокурин, Л. Ф. Кондратенко. – М. : Транспорт, 1989. – 184 с.
- 7 **ГОСТ Р 54900-2012** Системы ЖАТ на перегонах железнодорожных линий. Требования безопасности и методы контроля. – Введен 2013–01–01. – М. : Стандартиформ, 2012. – 10 с.
- 8 Система автоблокировки с централизованным размещением аппаратуры, тональными рельсовыми цепями и дублирующими каналами передачи данных – АБТЦ-М [Электронный ресурс]. – Режим доступа : <http://www.irz.ru/products/20/73.htm>. – Дата доступа : 15.05.2014.
- 9 **Сороко, В. И.** Аппаратура железнодорожной автоматики и телемеханики : справ. : в 2 кн., Кн. 1. – 3-е изд. / В.И. Сороко, Е.Н. Розенберг – М. : НПФ «Планета», 2000. – 960 с.
- 10 **Сороко, В. И.** Аппаратура железнодорожной автоматики и телемеханики : справ. : в 2 кн., Кн. 2. – 3-е изд. / В.И. Сороко, Е.Н. Розенберг – М. : НПФ «Планета», 2000. – 1008 с.
- 11 Методы построения безопасных микроэлектронных систем железнодорожной автоматики / В.В. Сапожников [и др.] ; под ред. Вл. В. Сапожникова. – М. : Транспорт, 1995. – 272 с.
- 12 **Фергусон, Дж.** Обслуживание микропроцессорных систем : пер. с англ. / Дж. Фергусон, Макари Л., Уильямз П. – М. : Мир, 1989. – 336 с.
- 13 **DIN EN 50129:2003** Railway applications – Communication, signalling and processing systems – Safety-related electronic systems for signaling; German version EN 50129:2003. – Berlin : VDE VERLAG GMBH. – 98 p.
- 14 **ГОСТ Р МЭК 61508-2-2012.** Функциональная безопасность систем электрических, электронных, программируемых электронных, связанных с безопасностью. В 7 ч. Ч. 2. Требования к системам. – Введен 2013–08–01. – М. : Стандартиформ, 2012. – 80 с.
- 15 Внедрение систем МЦ на железных дорогах Австрии // Железные дороги мира. – 1990. – № 3. – С. 27–29.
- 16 **Гронемейер, М.** Микропроцессорная система с безопасными отказами для использования на подвижном составе / М. Гронемейер // Железные дороги мира. – 1992. – № 9. – С. 41–44.
- 17 Система микропроцессорной централизации фирмы АЕГ // Железные дороги мира. – 1990. – № 5. – С. 39–46.
- 18 **Гавзов, Д. В.** Микропроцессорная централизация ESTW L90 / Д. В. Гавзов // Автоматика, телемеханика и связь. – 1997. – № 9. – С. 36–39.
- 19 **РТМ32ЦШ115842.01-94.** Безопасность железнодорожной автоматики и телемеханики. Методы и принципы обеспечения безопасности микроэлектронных СЖАТ. – Введен 1994–06–01. – СПб. : ПГУПС, 1994. – 120 с.

20 **P801/1**. Памятка ОСЖД «Каталог возможных повреждений и отказов элементов устройств СЦБ». – Введен 2003–01–01. – Мн. , 2002. – 52 с.

21 Принципы построения и работы схем умножения напряжения [Электронный ресурс]. – Режим доступа : <http://www.cqham.ru/uu1.htm>. – Дата доступа : 15.05.2014.

22 Умножитель постоянного напряжения : а. с. 151391 СССР : МПК: H02M 3/07 / В. И. Королев (СССР) – № 765827/26-24 ; заявлено 23.02.1962 ; опубликовано 01.01.1962 , «Бюллетень изобретений» № 21 – 2 с. : ил.

23 **НТПСЦБ/МПС-99**. Нормы технологического проектирования устройств автоматики и телемеханики на федеральном железнодорожном транспорте. – Введен 1999–06–24. – СПб. : 1999. – 81 с.

24 Data Sheet No / PD10062 revE. Series PVG612A & PbF. [Электронный ресурс]. – Режим доступа : <http://html.alldatasheet.com/html-pdf/191384/IRF/PVG612AS-T/57/1/PVG612AS-T.html>. – Дата доступа : 14.05.2015.

ПРИЛОЖЕНИЕ А

(обязательное)

СХЕМЫ УМНОЖИТЕЛЕЙ НАПРЯЖЕНИЯ

На рисунке А.1, *а* представлена схема симметричного удвоителя, на рисунке А.1, *б* – схема несимметричного удвоителя.

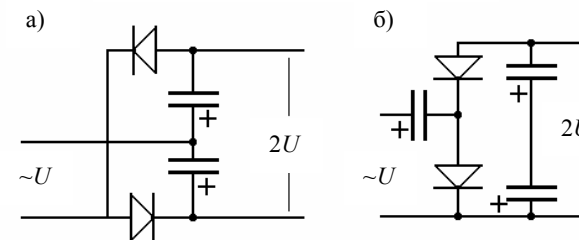


Рисунок А.1 – Удвоители напряжения

На рисунке А.2 представлены схема умножения напряжения на три: первого рода (*в*) и второго рода (*а* и *б*). Схемы с нечетной кратностью умножения не могут быть полностью симметричными.

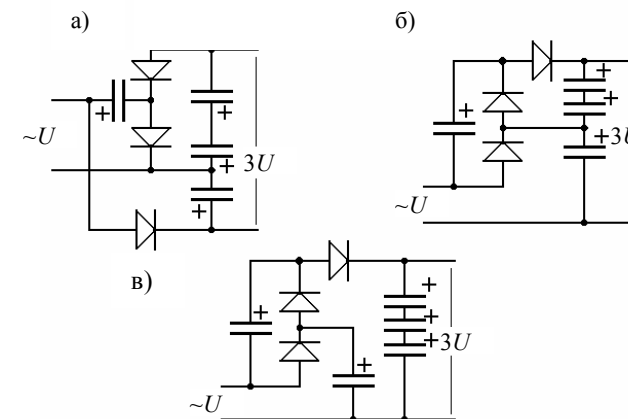


Рисунок А.2 – Схемы умножения напряжения на три

На рисунке А.3 представлены схемы умножения на четыре: первого рода (а и в), второго рода (б) и симметричного умножителя (г).

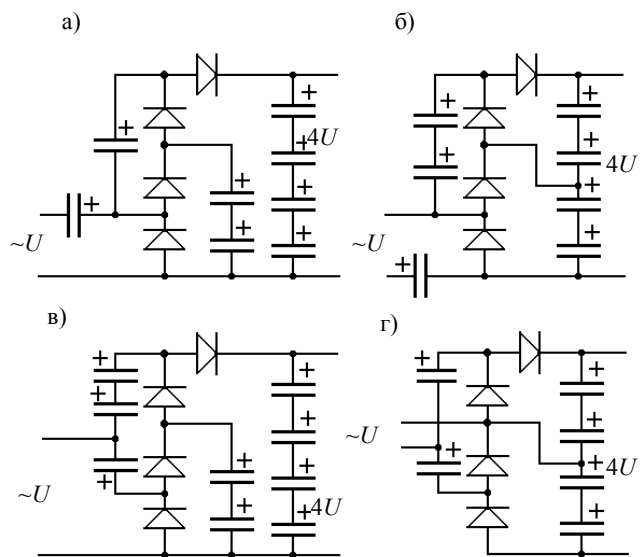


Рисунок А.3 – Схемы умножения напряжения на четыре

ПРИЛОЖЕНИЕ Б
(обязательное)

ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ ЖЕЛЕЗНОДОРОЖНЫХ РЕЛЕ I КЛАССА

Таблица Б.1 – Электрические и временные характеристики реле РЭЛ1, БН1, 1БН1

091

Тип реле	Сопротивление обмотки постоянному току, Ом		Отпускание, не менее		Срабатывание, не более		Напряжение питания, В			Ток питания, А			Время отпускания, с, не менее	
	номинальное	предельное отклонение, %	В	А	В	А	номинальное	предельное отклонение, %	предельно допустимое при эксплуатации	номинальный	предельное отклонение, %	предельно допустимый при эксплуатации	при номинальном питании	при предельном отклонении питания
РЭЛ1, БН1, 1БН1	800×2	±10	5,0	–	16,0	–	24	±10	32	–	–	–	–	–
РЭЛ1М, БН1М, 1БН1М	300×2	±10	4,0	–	14,2	–	24	±10	32	–	–	–	0,2	0,17
РЭЛ1, БН1, 1БН1	200×2	±10	2,5	–	8,0	–	12	±10	16	–	–	–	–	–
РЭЛ1М, БН1М, 1БН1М	80×2	±10	2,0	–	7,2	–	12	±10	16	–	–	–	0,2	0,17
РЭЛ1, БН1, 1БН1	3,4×2	±10	–	0,042	–	0,145	–	–	–	0,22	±10	0,8	–	–

Окончание таблицы Б.1

РЭЛ1М, БН1М, 1БН1М	1200×2	±10	4,5	–	16,0	–	24	±10	32	–	–	–	–	–
РЭЛ2М, БН2М, 1БН2М	500×2	±10	4,0	–	14,5	–	24	±10	32	–	–	–	0,3	0,27
РЭЛ1М, БН1М, 1БН1М	5	±10	–	0,100	–	0,352	–	–	–	0,53	±10	0,7	0,1	0,08
	200	±10	2,5	–	8,0	–	12	±10	16	–	–	–	0,08	0,06

Примечание – С октября 1991 г. в результате введения технологических улучшений у всех типов реле РЭЛ1М время отпускания стало не менее 0,17 с вместо не менее 0,2 с, а у реле РЭЛ2М – не менее 0,27 с вместо не менее 0,3 с.

С октября 1993 г. в результате введения конструктивных улучшений у реле РЭЛ1М-5/200 время отпускания при номинальном питании обмотки 5 Ом стало не менее 0,08 с вместо не менее 0,1 с, а при номинальном питании обмотки 200 Ом стало не менее 0,06 с вместо не менее 0,08 с.

161

Таблица Б.2 – Электрические и временные характеристики реле ПЛЗ, БПЗ

Тип реле	Сопротивление обмотки постоянному току, Ом		Параметры источника питания					Срабатывание, не более		Отпускание, не менее		Время отпущения, не менее, с	
	рабочей, L11	поляризующей, L21	рабочего			поляризующего		напряжение, В	ток, А	напряжение, В	ток, А	при номинальном питании	при предельном отклонении
			номинальные		предельное отклонение, %	номинальное напряжение, В	предельное отклонение, %						
			напряжение, В	ток, А									
ПЛЗ-2700/4500 БПЗ-2700/4500	2700±15 %	4500±15 %	24	–	+15 –10	24	+15 –10	14	–	3	–	–	–
ПЛЗ-1450/4500 БПЗ-1450/4500	1450±15 %	4500±15 %	24	–	+15 –10	24	+15 –10	14	–	3	–	–	–
ПЛЗМ-600/1300 БПЗМ-600/1300	600±10 %	1300±15 %	24	–	+15 –10	24	+15 –10	13	–	2,8	–	0,5	0,45
ПЛЗМ-40/2200 БПЗМ-40/2200	40±10 %	2200±15 %	–	0,095	+15 –10	24	+15 –10	–	0,055	–	0,012	0,35	0,30

162

Таблица Б.3 – Электрические и временные характеристики реле ПЛЗУ, БПЗУ

Тип реле	Сопротивление обмотки постоянному току, Ом		Параметры источника питания					Срабатывание, не более		Отпускание, не менее		Время отпущения, не менее, с	
	рабочей, L11	поляризующей, L21	рабочего			поляризующего		напряжение, В	ток, А	напряжение, В	ток, А	при номинальном питании	при предельном отклонении
			номинальные		предельное отклонение, %	номинальное напряжение, В	предельное отклонение, %						
			напряжение, В	ток, А									
ПЛЗУ-2700/4500 БПЗУ-2700/4500	2700±15 %	4500±15 %	24	–	+15 –10	24	+15 –10	16	–	3,6	–	–	–
ПЛЗУ-1450/4500 БПЗУ-1450/4500	1450±15 %	4500±15 %	24	–	+15 –10	24	+15 –10	16	–	3,6	–	–	–
ПЛЗМУ-600/1300 БПЗМУ-600/1300	600±10 %	1300±15 %	24	–	+15 –10	24	+15 –10	15	–	3,4	–	0,5	0,45
ПЛЗМУ-40/2200 БПЗМУ-40/2200	40±10 %	2200±15 %	–	0,095	+15 –10	24	+15 –10	–	0,064	–	0,014	0,35	0,30
ПЛЗУ-73/1000 БПЗУ-73/1000	73±10 %	1000±10 %	–	0,051	+15 –10	12	+15 –10	–	0,034	–	0,0077	–	–

163

Таблица Б.4 – Электрические и временные характеристики реле О2, БО2

164

Тип реле	Напряжение, В		Ток, А		Время отпущения при напряжении 12 В, не менее, с	Предельно допустимое при эксплуатации напряжение питания, В	Предельно допустимый при эксплуатации ток питания, А	Род тока	Клеммы подключения питания реле
	срабатывания, не более	отпускания, не менее	срабатывания, не более	отпускания, не менее					
О2-0,7/150, БО2-0.7/150	8,0	1,8	–	–	0,12	16,0	–	Постоянный	3–4
	–	–	0,720	0,220	–	–	1,5	Переменный	1-2
О2-0,33/150, БО2-0.33/150	8,0	1,8	–	–	0,12	16,0	–	Постоянный	3–4
	–	–	1,000	0,300	–	–	2,0	Переменный	1–2
ОЛ-88 БО2-88	–	–	0,060	0,027	–	–	0,180	Переменный	1–2, пере- ремычка 71–81
	–	–	0,098	0,045	–	–	0,300	Переменный	1–83, пе- ремычка 81–83
	15,0	5,0	–	–	–	32,0*	–	Постоянный	Плюс – к клемме 4, минус – к клемме 3

* Номинальное напряжение питания 24 В ±10 %.

Таблица Б.5 – Электрические и временные характеристики реле С2, ВС2

165

Тип реле	Сопротивление обмотки постоянному току, Ом*	Напряжение или ток			Напряжение питания, В			Время отпущения, не менее, с
		отпускания, не менее		срабатывания, не более	номинальное	предельное отклонение, %	предельно допустимое при эксплуатации	
		В	А	В				
С2-400, ВС2-400	200	1,7	–	6,4	12	±10	16	–
С2-1000, ВС2-1000	500	3,5	–	16,0	24	±10	32	–
С5-0.64/200, ВС5-0.64/200, 1ВС5-0.64/200	0.64	–	0.3	–	–	–	–	0,17 при токе 1,5 А
	200	3,0	–	15,0	–	–	32	0,2 при напряжении 24 В
С5-1200/200, ВС5-1200/200	1200	5,5	–	–	–	–	45	–
	200	3,0	–	15,0	–	–	32	0,1 при напряжении 24 В

* Предельное отклонение ±10 %.

Таблица Б.6 – Электрические и временные характеристики реле ДЗ, БДЗ, НМЗ, БДЗМ

Тип реле	Сопротивление обмотки постоянному току, Ом	Отпускание, не менее		Срабатывание, не более		Напряжение питания, В			Ток питания, А		
		В	А	В	А	номинальное	предельное, отклонение, %	предельно допустимое при эксплуатации	номинальное	предельное, отклонение, %	предельно допустимый при эксплуатации
ДЗ-2700, БДЗ-2700	2700±15 %	4,0	–	16,0	–	24	±10	32	–	–	–
ДЗМ-600, БДЗМ-600*	600±10 %	4,0	–	16,0	–	24	±10	32	–	–	–
ДЗ-3,5 БДЗ-3,5	3,5+10 %	–	0,037	–	0,150	–	–	–	0,225	±10	0,800
НЗМ-1400	1400±15 %	4,5	–	18,0	–	–	–	36	–	–	–

* Время отпускания при номинальном питании не менее 0,2 с, при предельном отклонении питания не менее 0,17 с.

166

Таблица Б.7 – Электрические и временные характеристики реле НМШ1, НМ1

Тип реле при намотке катушек проводом		Сопротивление катушек постоянному току, Ом, при намотке проводом		Напряжение или ток						Номинальное напряжение или ток		Время замедления на отпускание, с не менее,		Особые условия измерения замедления
				отпускания якоря, не менее		полного притяжения якоря, не более		перегрузки						
ПЭЛ	ПЭВ1	ПЭЛ	ПЭВ1	В	А	В	А	В	А	В	А	при напряжении 21,5 В	при напряжении 24 В	
НМШ1-500, НМ1-500	НМШ1-400, НМ1-400	2×250	2×200	2,5	–	7,5	–	20	–	12	–	–	–	–
–	НМШ1-1440, НМ1-1440	–	2×720	5,3–8,0	–	14,2	–	45	–	24	–	–	–	–
НМШ1-2000, НМ1-2000	НМШ1-1800, НМ1-1800	2×100	2×900	6–9	–	16	–	45	–	24	–	–	–	–
НМШ1-7000, НМ1-7000	НМШ1-7000, НМ1-7000	2×3500	2×3500	15	–	41	–	100	–	60	–	–	–	–
НМШМ1-10, НММ1-10	НМШМ1-10, НММ1-10	1×10	1×10	–	0,05	–	0,16	–	0,5	–	0,25	0,40	0,45	–
–	НМШМ1-11, НММ1-11	–	1×11	–	0,05	–	0,16	–	0,5	–	0,25	0,40	0,45	–
–	НМШМ1-20	–	2×10	–	0,025	–	0,08	–	0,25	–	0,13	0,17	0,20	–
–	НМШМ1-22	–	2×11	–	0,025	–	0,08	–	0,25	–	0,13	0,17	0,20	–
НМШМ1-180, НММ1-180	НМШМ1-180, НММ1-180	1×180	1×180	2,3	–	7,5	–	20	–	12	–	0,40	0,45	–
НМШМ1-360, НММ1-360	НМШМ1-360, НММ1-360	2×180	2×180	2,3	–	7,5	–	20	–	12	–	0,17	0,20	–

167

Продолжение таблицы Б.7

Тип реле при намотке катушек проводом		Сопротивление катушек постоянному току, Ом, при намотке проводом		Напряжение или ток						Номинальное напряжение или ток		Время за-медления на отпускание, с не менее,		Особые условия измерения замедления
				отпускания якоря, не менее		полного при-тяжения якоря, не более		перегрузки						
ПЭЛ	ПЭВ1	ПЭЛ	ПЭВ1	В	А	В	А	В	А	В	А	при напряжении 21,5 В	при напряжении 24 В	
-	НМШМ1-560, НММ1-560	-	1×560	4,6	-	14	-	45	-	24	-	-	-	-
НМШМ1-750, НММ1-750	НМШМ1-700, НММ1-700	1×750	1×700	5	-	16	-	45	-	24	-	0,40	0,45	-
-	НМШМ1-1000/560, НММ1-1000/560	-	<u>1000</u> 560	<u>5,7</u> 4,6	-	<u>19</u> 14	-	45	-	24	-	-	<u>0,15</u> 0,20	-
НМШМ1-1300/750 НММ1-1300/750	НМШМ1-1100/700 НММ1-1100/700	<u>1300</u> 750	<u>1100</u> 700	6,5	-	<u>20</u> 16	-	<u>45</u> 45	-	24	-	-	<u>0,15</u> 0,20	-
-	НМШМ1-1120, НММ1-1120	-	2×560	4,6	-	14	-	45	-	24	-	-	0,20	-
НМШМ1-1500, НММ1-1500	НМШМ1-1400, НММ1-1400	2×750	2×700	5	-	16	-	45	-	24	-	0,17	0,20	-
НМШ2-1000, НМ2-1000	НМШ2-900, НМ2-900	2×500	2×450	2,3	-	7,5	-	20	-	12	-	-	-	-
НМШ2-4000, НМ2-4000	НМШ2-4000, НМ2-4000	22000	2×2000	5	-	16	-	45	-	24	-	-	-	-
-	НМШ2-12000, НМ2-12000	-	2×6000	9	-	29	-	75	-	45	-	-	-	-

168

-	НМШ2-1.5; НМ2-1.5	-	1×1,5	-	0,076	-	0,25	-	0,7	-	0,35	-	0,55	-
НМШМ2-1.7; НММ2-1.7	НМШМ2-1.7; НММ2-1.7	1×1,7	1×1,7	-	0,07	-	0,23	-	0,7	-	0,35	-	0,55	-
НМШМ2-350, НММ2-350	НМШМ2-320, НММ2-320	1×350	1×320	2,3	-	7,5	-	20	-	12	-	0,55	0,6	-
НМШМ2-700, НММ2-700	НМШМ2-640, НММ2-640	2×350	2×320	2,3	-	7,5	-	20	-	12	-	0,25	0,30	-
НМШМ2-1750	НМШМ2-1500	<u>1750</u>	1×1500	5	-	16	-	45	-	24	-	0,55	0,6	-
НМШМ2-10/1750, НММ2-10/1750	НМШМ2-10/1500, НММ2-10/1500	<u>10</u> 1750	<u>10</u> 1500	-	0,032	-	0,11	-	0,5	-	0,17	-	<u>0,3</u> 0,3	-
-	НМШМ2-11/1500, НММ2-11/1500	-	<u>11</u> 1500	-	0,032	-	0,11	-	0,5	-	0,17	-	<u>0,3</u> 0,3	-
НМШМ2-3500	НМШМ2-3000	2×1750	2×1500	5	-	16	-	45	-	24	-	0,25	0,3	-
НМШ3-250/400	-	<u>250</u> 400	-	-	<u>0,005</u> 0,004	-	<u>0,017*</u> 0,013*	-	<u>0,07</u> 0,05	-	-	-	-	-
НМШ3-550/400	-	<u>550</u> 400	-	-	<u>0,004</u> 0,004	-	<u>0,012*</u> 0,013*	-	<u>0,06</u> 0,06	-	-	-	-	-
-	НМШ3-460/400	-	<u>460</u> 400	-	<u>0,004</u> 0,004	-	<u>0,0134</u> 0,0134	-	<u>0,055</u> 0,055	-	-	-	-	-
-	НМШ4-3, НМ4-3	-	2×1,5	-	0,049	-	0,147	-	0,8	-	0,2	-	-	-
НМШ4-3.4; НМ4-3.4	НМШ4-3.4; НМ4-3.4	2×1,7	2×1,7	-	0,45	-	0,135	-	0,8	-	0,2	-	-	-
-	НМШ4-530, НМ4-530	-	2×265	2	-	6,8	-	20	-	12	-	-	-	-

169

Окончание таблицы Б.7

Тип реле при намотке катушек проводом		Сопротивление катушек постоянному току, Ом, при намотке проводом		Напряжение или ток						Номинальное напряжение или ток		Время замедления на отпускание, с не менее,		Особые условия измерения замедления
				отпускания якоря, не менее		полного притяжения якоря, не более		перегрузки						
ПЭЛ	ПЭВ1	ПЭЛ	ПЭВ1	В	А	В	А	В	А	В	А	при напряжении 21,5 В	при напряжении 24 В	
НМШ4-720, НМ4-720	НМШ4-600, НМ4-600	2×360	2×300	2,3	–	7,5	–	20	–	12	–	–	–	–
–	НМШ4-2400, НМ4-2400	–	2×1200	4,4	–	14,3	–	45	–	24	–	–	–	–
НМШ4-3000, НМ4-3000	НМШ4-3000, НМ4-3000	2×1500	2×1500	5	–	16	–	45	–	24	–	–	–	–
НМШМ4-280, НММ4-280	НМШМ4-250, НММ4-250	1×280	1×250	2,3	–	7,5	–	20	–	12	–	0,45	0,50	–
НМШМ4-560, НММ4-560	НМШМ4-500, НММ4-500	2×280	2×250	2,3	–	7,5	–	20	–	12	–	0,17	0,20	–
НМШМ4-100/1300, НММ4-100/1300	НМШМ4-100/1100, НММ4-100/1100	$\frac{100}{1300}$	$\frac{100}{1100}$	–	0,016	–	0,045	–	0,135	–	0,1	–	0,15	0,15
–	НМШМ4-105/1000, НММ4-105/1000	–	$\frac{105}{1100}$	–	0,016	–	0,045	–	0,135	–	0,1	–	0,15	0,15

* Ток полного подъема якоря.
** Ток прямого подъема якоря.

170

Таблица Б.8 – Электрические и временные характеристики реле АНШ2, ЛНШМ2

Тип реле	Сопротивление катушек постоянному току, Ом	Напряжение или ток						Номинальное напряжение или ток		Замедление на отпускание не менее, с, при напряжении	
		отпускания якоря, не менее		полного притяжения якоря, не более		перегрузки					
		В	А	В	А	В	А	В	А	10,8 В	12 В
АНШ2-2	2×1	–	0,055	–	0,135	–	0,54	–	0,2	–	–
АНШ2-40	2×20	0,29	–	1,2	–	3,5	–	1,8	–	–	–
АНШ2-700	2×350	1,4–2,2	–	5,3	–	20	–	12	–	–	–
АНШ2-1600	2×800	2–3,1	–	8	–	20	–	12	–	–	–
АНМ2-310	1×310	1,6	–	6,7	–	20	–	12	–	0,7	0,9
ЛНШМ2-380	1×380	1,8	–	7,5	–	20	–	12	–	0,7	0,9
ЛНШМ2-620	2×310	1,6	–	6,7	–	20	–	12	–	0,4	0,5
ЛНШМ2-760	2×380	1,8	–	7,5	–	20	–	12	–	0,4	0,5
ЛНШ5-1600	2×800	1,4–2,1	–	8	–	20	–	12	–	–	–

171

Таблица Б.9 – Электрические и временные характеристики реле НМШТ

Тип реле при намотке катушек проводом		Сопротивление катушек постоянному току, Ом, при намотке проводом		Напряжение, В			Номинальное напряжение, В
				отпускания якоря, не менее	полного притяжения якоря, не более	перегрузки	
ПЭЛ	ПЭВ1	ПЭЛ	ПЭВ1				
1	2	3	4	5	6	7	8
НМШТ-2000	НМШТ-1800	2x1000	2x900	5	16	45	24
–	АНШМТ-380	–	1x380	1,5	7,5	20	12
–	НМШТ-1440	–	2x720	4,5	14,2	45	24
–	АНШМТ-310	–	1x310	1,3	6,7	20	12

Тип реле при намотке катушек проводом		Замедление на отпускание якоря, не менее, с, при напряжении 12 В	Замедление термозлемента на замыкание, с, при напряжении		Особые условия измерения замедления реле
			10,8–13,2 В	21,5–26,5 В	
ПЭЛ	ПЭВ1	9	10	11	12
1	2				
НМШТ-2000	НМШТ-1800	–	–	8–18	Перерыв между испытаниями должен быть достаточным для полного остывания термозлемента (5–7 мин)
–	АНШМТ-380	0,9	8–18	–	
–	НМШТ-1440	–	–	8–18	
–	АНШМТ-310	0,9	8–18	–	

172

Таблица Б.10 – Электрические и временные характеристики реле АНВШ2, НМВШ2

Тип реле при намотке катушек проводом		Сопротивление катушек постоянному току, Ом, при намотке проводом		Схема выпрямления, соединение обмоток реле	Напряжение, В		
					отпускания якоря, не менее	полного притяжения якоря, не более	перегрузки
ПЭЛ	ПЭВ1	ПЭЛ	ПЭВ1				
–	АНВШ2-2400*	–	2x1200	Мостовая, последовательное	10,5	21	60
				Мостовая, параллельное*	6	12	35
				Однополупериодная, последовательное	17,5	35	100
				Мостовая, включена вторая обмотка (только для реле НМВШ2)	10,5	20	60
НМВШ2-1000/1000	НМВШ2-900/900	1000/1000	900/900				

* Для реле АНВШ2-2400 напряжение отпускания якоря – не менее 5,3 В; напряжение срабатывания – не более 11,5 В – при мостовой схеме выпрямления с параллельным соединением обмоток реле.
 Примечание – При включении реле по мостовой схеме с включением второй катушки (клеммы 4–2) замедление на отпускание якоря при наложении шунта 0,3 Ом должно быть не более 0,15 с при напряжении на реле 28 В.

173

СОДЕРЖАНИЕ

Перечень принятых сокращений	3
Введение	4
1 Описание схемных решений и алгоритмов работы существующих СЖАТ	
5	
1.1 Назначение и принципы построения системы.....	5
1.2 Технические характеристики датчиков и исполнительных устройств.....	7
2 Разработка структурной схемы	9
2.1 Классификация структурных методов обеспечения безопасности.....	9
2.2 Одноканальные структуры безопасных систем.....	11
2.2.1 Одноканальная самопроверяемая структура.....	11
2.2.2 Одноканальная система с диверситетным программным обеспечением.....	16
2.3 Многоканальные структуры безопасных систем.....	18
2.3.1 Двухканальная система со слабыми связями.....	18
2.3.2 Двухканальная система с умеренными связями.....	21
2.3.3 Двухканальная система с сильными связями.....	24
2.3.4 Двухканальная самопроверяемая система.....	27
2.3.5 Организация резерва в одноканальных и двухканальных структурах.....	29
2.3.6 Трехканальная система с умеренными связями.....	32
2.3.7 Трехканальная система с сильными связями.....	34
2.3.8 Трехканальная самопроверяемая система.....	35
2.4 Разработка структурной схемы устройства.....	37
3 Разработка принципиальных схем устройств внутреннего контроля и сравнения	41
3.1 Принципы построения безопасных схем внутреннего контроля и сравнения.....	41
3.2 Самопроверяемые элементы.....	45
3.2.1 Логические элементы.....	46
3.2.2 Триггеры.....	47
3.2.3 Тестеры.....	52
3.3 Принципы построения самопроверяемых фиксирующих элементов.....	57
3.3.1 Фиксирующие элементы без перезапуска и с ручным перезапуском.....	57
3.3.2 Фиксирующий элемент с периодическим перезапуском.....	59
3.3.3 Фиксирующий элемент с постоянным перезапуском.....	61
3.3.4 Фиксирующий элемент с однократным перезапуском.....	66
3.3.5 Фиксирующие элементы с программным перезапуском.....	70
3.4 Принципы построения самопроверяемых схем сравнения.....	72
3.4.1 Параллельные схемы сравнения в многоканальных структурах.....	72
3.4.2 Последовательные схемы сравнения в многоканальных структурах.....	77
3.4.3 Схемы контроля в одноканальных структурах.....	80
3.5 Параллельные схемы сравнения с трансляцией тактового сигнала.....	81
3.6 Пример реализации безопасной схемы сравнения.....	83
4 Разработка принципиальных схем сравнения с исполнительными объектами	174
86	
4.1 Способы представления входной и выходной информации.....	86
4.2 Организация безопасного ввода ответственной информации.....	88
4.2.1 Контроль постоянного тока.....	88
4.2.2 Контроль переменного тока.....	100
4.2.3 Контроль постоянного напряжения.....	106
4.2.4 Контроль переменного напряжения.....	109
4.2.5 Определение состояния контактов реле.....	113
4.3 Бесконтактные устройства включения исполнительных объектов.....	124
4.3.1 Дублированные коммутирующие устройства.....	124
4.3.2 Функциональные преобразователи.....	129
4.3.3 Умножители напряжения.....	138
4.4 Устройства включения исполнительных реле.....	143
4.5 Пример реализации модуля сопряжения с исполнительным объектом.....	147
5 Разработка принципиальных схем отключения вычислительных каналов	151
5.1 Организация безопасного отключения вычислительных каналов и исполнительных объектов.....	151
5.2 Пример реализации безопасной схемы отключения вычислительных каналов.....	155
6 Разработка объединительной платы	158
Список используемой и рекомендуемой литературы	165
Приложение А Схемы умножителей напряжения	167
Приложение Б Электрические характеристики железнодорожных реле I класса	160

Свидетельство о государственной регистрации издателя,
изготовителя, распространителя печатных изданий
№ 1/361 от 13.06.2014.
№ 2/104 от 01.04.2014.
Ул. Кирова, 34, 246653, Гомель.

175

176

Учебное издание

ХАРЛАП Сергей Николаевич

**Разработка микропроцессорного модуля управления
для системы железнодорожной автоматики**

Учебно-методическое пособие

Редактор **И. И. Эвентов**

Технический редактор **В. Н. Кучерова**

Подписано в печать 15.10.2015 г. Формат 60x84¹/₁₆.
Бумага офсетная. Гарнитура Times New Roman. Печать на ризографе.
Усл. печ. л. 10,23. Уч.-изд. л. 10,04. Тираж 100 экз.
Зак. № . Изд. № 48.

Издатель и полиграфическое исполнение:
Белорусский государственный университет транспорта.