

Результаты, полученные при помощи Программы расчета входного сопротивления рельсовой цепи [2], говорят о возможности применения комплексного значения входного сопротивления рельсовой цепи в качестве диагностического признака в задачах определения местоположения подвижного состава или возникновения неисправностей в рельсовой линии.

#### Список литературы

- 1 Рельсовые цепи магистральных железных дорог : справ. / В. С. Аркатов, Ю. В. Аркатов, С. В. Казеев, Ю. В. Ободовский. – 3-е изд., перераб. и доп. – М. : Миссия-М, 2006. – 496 с.
- 2 Свидетельство о государственной регистрации программы для ЭВМ № 2025668393 Российская Федерация. Программа расчета входного сопротивления рельсовой цепи : заявл. 09.06.2025 : опубл. 15.07.2025 / М. М. Соколов, К. В. Петракова ; заявитель Федеральное государственное бюджетное образовательное учреждение высшего образования «Омский государственный университет путей сообщения».

УДК 656.259

### РАЗРАБОТКА ЛАБОРАТОРНОГО МАКЕТА ПЕРЕЕЗДНОЙ СИГНАЛИЗАЦИИ АПС-04

*Л. Н. СТАЖАРОВА, А. П. ВЫЛУПКО*

*Ростовский государственный университет путей сообщения, г. Ростов-на-Дону,  
Российская Федерация*

Лабораторный макет – это сконструированное устройство или модель, предназначенные для изучения, демонстрации логики и принципов работы определенных систем. Такие макеты являются неотъемлемой частью системы образования, поскольку они позволяют обучающимся на практических занятиях применять теоретические знания и моделировать разные ситуации на лабораторных стендах.

Они способствуют более глубокому пониманию предмета. Работа с макетом позволяет наглядно, за короткий промежуток времени, неограниченное количество раз, безопасно, в режиме реального времени упростить усвоение сложных принципов и концепций.

Работа с лабораторными макетами развивает практические навыки, позволяя решать вопросы анализа данных, решения проблем и неисправностей, работы с инструментами, что тоже является очень важной частью системы образования.

Практическая составляющая железнодорожных систем имеет высокую актуальность для процесса обучения студентов по специальности «Системы обеспечения движения поездов», поэтому разработка лабораторного макета переездной сигнализации АПС-04, позволяющей моделировать различные случаи, связанные с работой устройств и возможными неисправностями, является актуальной задачей.

#### 1 Технические характеристики макета

##### 1.1 Аппаратные модули:

- контроллер АПС-04: микропроцессор на базе ARM Cortex-M, 8 каналов дискретных входов, 8 каналов дискретных выходов, встроенный Watchdog;
- релейные блоки: двухуровневые релейные модули с электромагнитными реле на 24 V DC, нагрузка до 5 А;
- платы расширения;
- аналоговые входы (4×0–10 V, 4×4–20 mA) для подключения фоторезисторов и токовых трансдюсеров;
- RS-485/Modbus-порт для интеграции с АСДК;
- Ethernet-коммуникатор для подключения к локальной сети.

##### 1.2 Имитируемые датчики и исполнительные механизмы (таблица 1).

Таблица 1

Тип устройства	Параметры	Назначение
Концевые выключатели	Герконовые, 24 V DC	Детектирование положения шлагбаума
Фоторезисторы	0–10 kΩ, время отклика 20 ms	Симуляция наличия состава
Шлагбаум с электроприводом	Скорость 1 м/с, момент 15 Nm	Моделирование подъема/опускания
Светофорные головки	LED, 3 цвета, потребление 0,5W	Индикация разрешающего/запрещающего сигналов

### 1.3 Питание и защита:

- основное питание: 24 V DC, 5 А; резервное – 12 V Li-ION аккумулятор, 2 Ah;
- гальваническая развязка: опторазвязка входных каналов, разделение силовой и логической части;
- защита: автоматические выключатели 2 А по каждому модулю, предохранители на шине питания, TVS-диоды на входах концевиков.

### 2 Программное обеспечение и интерфейсы

#### 2.1 ПО для настройки и управления:

*Графический интерфейс* на базе Windows/Linux:

- конфигуратор логики АПС-04: блок-схемы алгоритма, таймеры, условия переходов;
- монитор параметров в реальном времени: состояние входов/выходов, логи ошибок.

*Встроенное ПО контроллера:*

- реализовано на C/C++ с модульными драйверами для каждого датчика и реле;
- алгоритм «fail-safe»: при потере связи или отказе датчика – встаёт в безопасное состояние (шлагбаум опущен, красный свет).

#### 2.2 Коммуникационные протоколы:

- RS-485 с Modbus RTU: настройка скорости 9600–115200 бит/с, адресация до 31 устройства;
- Ethernet (TCP/IP): поддержка MQTT для передачи телеметрии в АСДК;
- USB-порт для прямого подключения к ПК (с функциями резервного копирования, прошивки).

#### 2.3 Функции регистрации и удалённого доступа:

- логирование: кольцевой буфер на 10000 записей (входы, выходы, ошибки, время);
- SCADA-интеграция: OPC UA-сервер для передачи состояний в учебный SCADA-пакет;
- удалённый доступ: через веб-интерфейс (HTTPS, аутентификация по сертификату), просмотр текущего состояния и загрузка отчетов.

### 3 Типовые практические задания

#### 3.1 Штатный проход поезда:

- инициация входного сигнала от имитатора состава;
- проверка последовательности включения светофоров и опускания шлагбаума;
- фиксация временных задержек.

#### 3.2 Отказ датчика наличия состава:

- моделирование «залипания» путевого реле;
- анализ реакции системы: аварийное закрытие/блокировка.

#### 3.3 Сбой в алгоритме «сквозного хода»:

- создание ситуации, когда второй поезд въезжает до подъёма шлагбаума;
- диагностика причин и корректировка параметров логики.

#### 3.4 Аварийное отключение питания:

- имитация короткого замыкания в цепи питания;
- проверка сохранения логов, восстановление работоспособности.

#### 3.5 Документация и отчетность:

- форма отчета: цель, схема подключения, результаты, выводы;
- таблица замеров: время реакции, состояние входов/выходов;
- фото/скриншоты интерфейса диагностики АСДК.

Функции лабораторного макета АПС-04 позволяют наглядно изучить принципы работы устройств с возможностью моделирования любых ситуаций на переезде для однопутных и многопутных участков железных дорог. Для повышения качества изучаемого материала в макете необходимо предусмотреть заведомо нештатные ситуации с нарушениями алгоритма работы переезда и разработать индивидуальные задания для обучающихся.

В целях углубленного изучения смежных дисциплин предлагается дополнить макет схемами согласования с устройствами диспетчерского контроля, позволяющими отслеживать вносимые неисправности на АРМ. Предлагаем использовать Систему технической диагностики и мониторинга на базе технических средств АСДК (автоматизированную систему диспетчерского контроля «ГТСС-СЕКТОР»).

Макет АПС-04 с системой АСДК позволит обучать не только студентов, но и специалистов на курсах повышения квалификации в максимально приближенных к реальности условиям без абсолютных рисков при эксплуатации настоящих поездов.

### Список литературы

- 1 Аверкиев, С. А. Системы технической диагностики и мониторинга на базе технических средств АСДК (СТДМ АСДК) : типовые материалы для проектирования 410422-ТМП / С. А. Аверкин. – 2007.
- 2 Воронцов, В. Н. Схемы переездной сигнализации для переездов, расположенных на перегонах при любых средствах сигнализации и связи АПС-04 : типовые материалы для проектирования 410407-ТМП / В. Н. Воронцов. – 2004.
- 3 Калинин, В. С. Инновации в железнодорожном транспорте : техническая документация / В. С. Калинин, А. И. Михайлов. – 2018.
- 4 Ефанов, Д. В. Микропроцессорная система диспетчерского контроля устройств железнодорожной автоматики и телемеханики : учеб. пособие / Д. В. Ефанов, Г. В. Осадчий. – 3-е изд. стер. – СПб. : Лань, 2023. – 180 с.

УДК 656.25

## МОДЕРНИЗАЦИЯ ПРОГРАММНОГО КОМПЛЕКСА ДЛЯ АВТОМАТИЗАЦИИ ПРОВЕДЕНИЯ ФМЕСА-АНАЛИЗА СИСТЕМ ЖАТ

С. Н. ХАРЛАП, Е. П. ЛИТВИНОВ

*Белорусский государственный университет транспорта, г. Гомель*

Современные микроэлектронные системы железнодорожной автоматики и телемеханики (ЖАТ) являются ключевыми элементами обеспечения безопасности движения поездов. Их проектирование и внедрение требуют обязательного подтверждения функциональной безопасности в соответствии с действующими нормативными документами и международными стандартами.

Одним из основных методов доказательства безопасности является анализ видов, последствий и критичности отказов (Failure Mode, Effects and Criticality Analysis – FMECA) [1], включающий определение критериев и видов отказов, их имитацию, анализ последствий и расчет интенсивности возникновения опасных отказов [2] для всей анализируемой системы.

Высокая сложность современных устройств и большое количество моделируемых отказов делают проведение ФМЕСА-анализа трудоемкой задачей, подверженной риску систематических ошибок, связанных с человеческим фактором. Однако четкая последовательность этапов анализа позволяет эффективно автоматизировать данный процесс, что особенно актуально для систем ЖАТ, где необходимы высокая точность и воспроизводимость результатов.

С этой целью в 2025 году был разработан программный комплекс (ПК) для автоматизации проведения ФМЕСА-анализа систем ЖАТ [3–5], включающий три модуля: CircuitAnalyzer, FailureAnalyzer и FailureTreeBuilder.

В ходе апробации программного комплекса были выявлены направления, требующие модернизации для повышения производительности и точности анализа. В первую очередь, это оптимизация вычислительных процессов моделирования отказов в модуле CircuitAnalyzer и расширение возможностей учета диагностируемости отказов сложных микросхем при расчете интенсивностей отказов в модуле FailureTreeBuilder комплекса.

Модуль CircuitAnalyzer выполняет автоматизированное моделирование отказов электронных компонентов исследуемых схем с использованием ядра схемотехнического симулятора SPICE. В исходной версии моделирование производилось последовательно, что при большом количестве элементов (до нескольких тысяч) приводило к значительным временным затратам.

Для устранения данного недостатка реализован механизм многопоточного моделирования отказов. Каждая модель отказа теперь может выполняться в отдельном потоке с параллельным использованием ядер центрального процессора. Такой подход позволил значительно увеличить производительность и сократить время выполнения анализа.

Однако использование всех ядер процессора без ограничений может приводить к снижению производительности из-за повышенной нагрузки на систему и конкуренции потоков за ресурсы процессора. Для обеспечения стабильности работы и возможности адаптации под вычислительные ресурсы конкретного компьютера реализован механизм семафора, позволяющий ограничивать количество одновременно выполняемых потоков.

Количество активных потоков

$$N_{\text{потоков}} = N_{\text{ядер процессора}} - 1. \quad (1)$$