

621.396.69(07)

№

М

МИНИСТЕРСТВО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ



**Таганрогский государственный
радиотехнический университет**

Курсы:

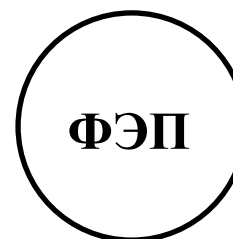
**Математическое моделирование в микроэлектронике;
Основы конструирования и проектирования приборов;
Конструирование и технология ЭВМ**

УЧЕБНОЕ ПОСОБИЕ

Е.Б.Лукьяненко, В.Г.Ивченко, А.В.Лещенко

**ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ
И АНАЛОГО-ЦИФРОВЫХ УЗЛОВ
В САПР OrCAD 9.1**

КАФЕДРА КОНСТРУИРОВАНИЯ ЭЛЕКТРОННЫХ СРЕДСТВ



Таганрог 2002

УДК 621.396.69:681.3(076.5)+621.396.69(076.5)

Авторы: Е.Б.Лукьяненко, В.Г.Ивченко, А.В.Лещенко

УЧЕБНОЕ ПОСОБИЕ «Проектирование цифровых и аналого-цифровых узлов в САПР OrCAD9.1». Таганрог: Изд-во ТРТУ, 2002. 31 с.

В работе излагаются сведения, необходимые для моделирования цифровых и аналого-цифровых схем, а так же для проектирования печатных модулей с использованием САПР OrCAD 9.1. Рассматриваются три возможности моделирования цифровых схем в проектах типа Analog or Mixed-Signal Circuit - моделирование цифровых и цифро – аналоговых схем, описанных в формате PSpice; PC – Board – моделирование цифровых схем, компоненты которых описаны на языке VHDL ; Programmable Logic – моделирование цифровых схем и синтез ПЛИС. Рассматривается проектирование печатных плат в модуле Layout Plus. Приведены рисунки, поясняющие работу в OrCAD 9.1.

Ил. 35. Библиограф. : 5 назв.

Рецензент О.Н. Негоденко, канд. техн. наук., профессор кафедры МЭТ БИС ТРТУ.

ВВЕДЕНИЕ

САПР OrCAD9.1 является в настоящее время практически единственным средством сквозного проектирования цифровой, аналоговой и цифро-аналоговой аппаратуры на платформе Windows.

Состав САПР OrCAD9.1 приведен на рис.1.

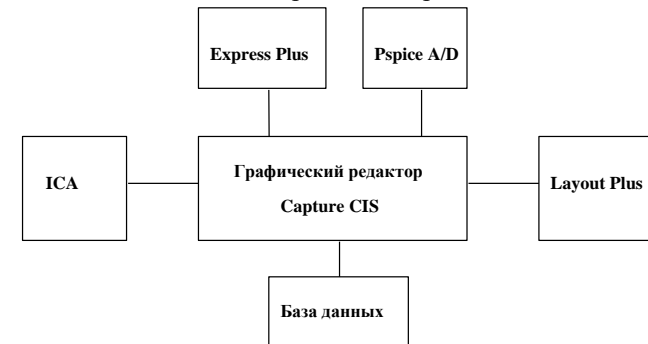


Рис.1.

Электрическая схема создается в редакторе Capture CIS. С помощью службы ICA имеется доступ через Интернет к базе данных, содержащей сведения о 200 тыс. компонентов различных фирм. С помощью программы Express Plus производится моделирование цифровых схем и синтез ПЛИС, компоненты которых описаны на языке VHDL. Программа PSpice A/D применяется для моделирования цифровых, аналоговых и цифро – аналоговых схем, описанных в формате PSpice. Разработка печатных плат производится с помощью встроенной программы Layout Plus.

В САПР OrCAD9.1 может быть создано четыре вида исходных представлений проектов:

- Analog or Mixed – Signal Circuit - моделирование аналоговых, цифровых и цифро – аналоговых схем;
- PC Board – печатные платы с возможностью моделирования схем в PSpice A/D и цифровых схем в Express Plus;
- Programmable Logic – моделирование цифровых схем и синтез программируемой логики;
- Schematic – создание и документирование принципиальных схем.

Ниже рассматривается методика моделирования цифровых и аналого-цифровых схем в проектах Analog or Mixed, PC Board и Programmable Logic, а также проектирование печатных плат, содержащих аналоговые и цифровые компоненты, в модуле Layout Plus.

1. МОДЕЛИРОВАНИЕ ЦИФРОВЫХ И АНАЛОГО-ЦИФРОВЫХ СХЕМ В ПРОЕКТЕ ANALOG OR MIXED-SIGNAL CIRCUIT

1.1 Создание проекта

После запуска программы Capture CIS открывается экран, показанный на рис.2.

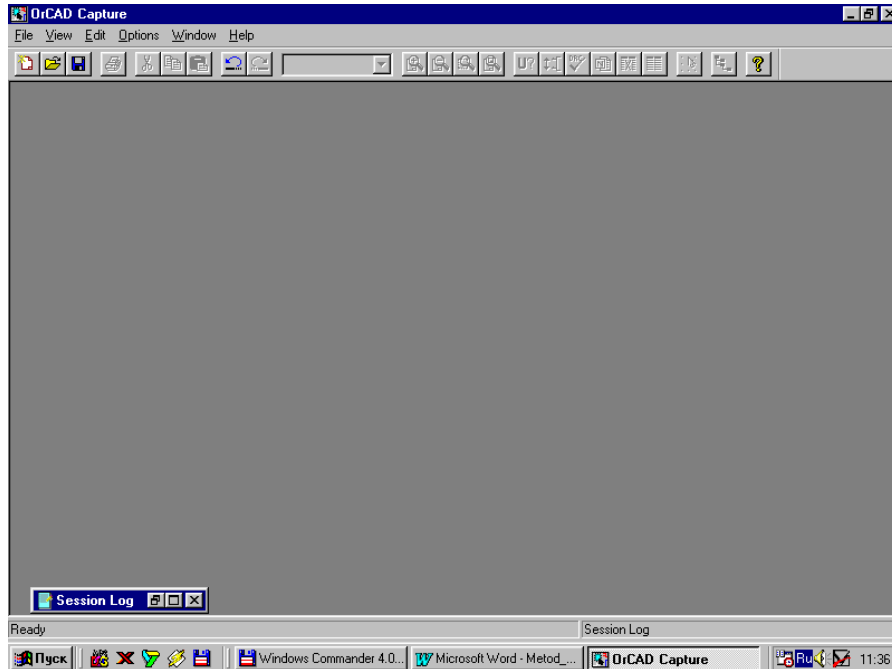



Рис. 2.

Для создания проекта выполняется команда File/New/Project (значок ). В открывшемся диалоговом окне (рис.3) указывается тип проекта: Analog or Mixed – Signal Circuit (моделирование цифровых, аналоговых и цифро-аналоговых схем программой PSpice), в строке Name – имя проекта. Затем, нажав кнопку Browse, создается каталог для размещения файлов проекта. Нажимается ОК.

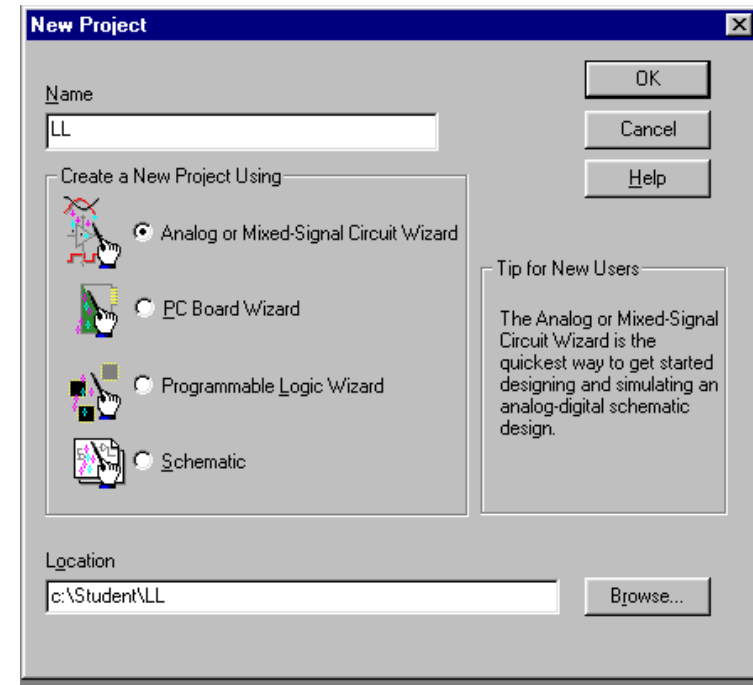


Рис.3.

В следующем окне выбираются используемые библиотеки символов для создания электрических схем. В библиотеках расположены символы компонентов:

analog.olb – резисторы, конденсаторы и др. пассивные элементы;

7400.olb, 74act.olb, ... , 74s. olb – цифровые устройства;

bipolar. olb – биполярные транзисторы;

source. olb – источники питания и входных сигналов;

break.olb –заготовки символов, параметры которых задаются в библиотеке breakout.lib.

и другие.

Выбранным изображениям компонентов ставятся в соответствие их математические модели, описанные в формате PSpice [1].

Нажав кнопку «Готово», открываем редактор схем (рис.4).

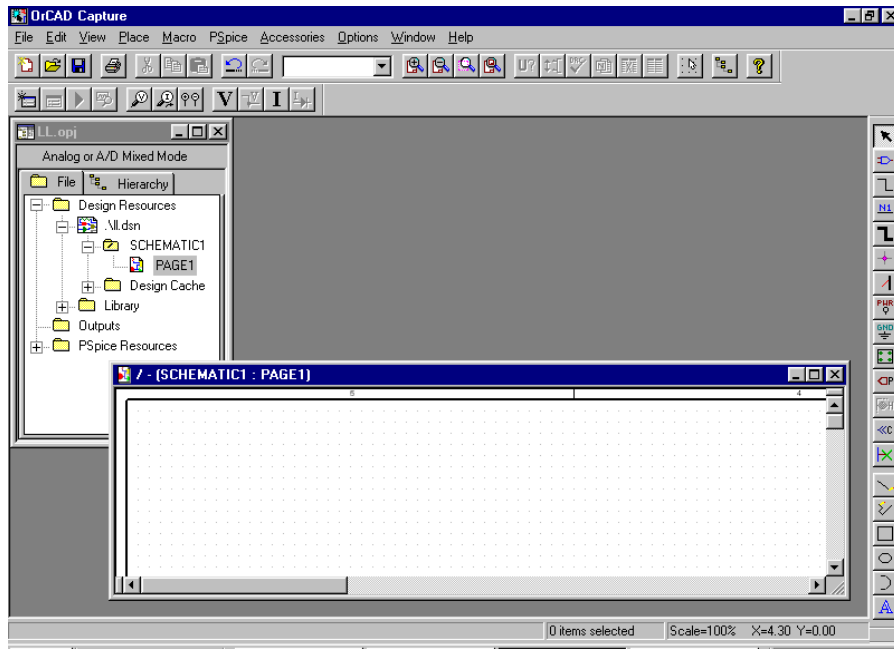



Рис.4.

Слева расположен менеджер проекта, в центре – окно, в котором создается схема, и справа – панель инструментов для создания электрической схемы.

1.2. Ввод электрической схемы

1.2.1. Размещение компонентов

Компоненты размещаются по команде Place / Part (значок ). В диалоговом окне (рис.5) сначала в поле Libraries выбирается имя библиотеки, содержание которой отображается на панели Part. Для добавления библиотек нажимается кнопка Add Library и добавляется необходимая библиотека. Далее выбирается имя конкретного компонента (его изображение отображается в окне), нажимается ОК и символ компонента переносится на схему. Место установки компонента фиксируется щелчком левой кнопки мышки (ЛКМ).

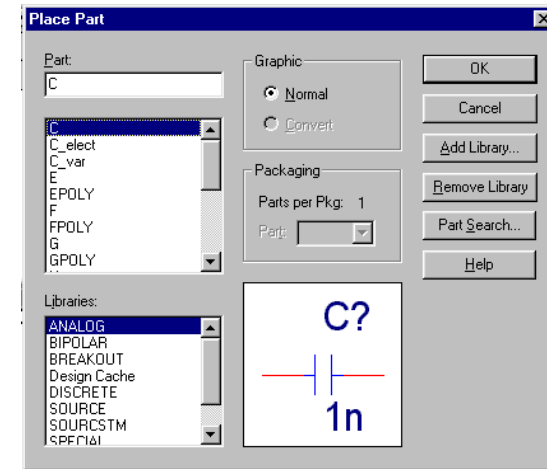



Рис.5.

Завершение размещения компонента производится в контекстном меню, вызываемом щелчком правой кнопкой мыши (ПКМ), и выбором команды End Mode. В контекстном меню компонент можно вернуть (Rotate), зеркально отобразить (Mirror), редактировать свойства (Edit Properties) и др. Номиналы пассивных элементов редактируются в окне, появляющемся после двойного щелчка ЛКМ на номинале элемента.

Выводы размещаемых компонентов не должны соприкасаться друг с другом, а должны соединяться проводниками!

1.2.2. Размещение земли

По команде Place/Ground (значок команды ) открываем диалоговое окно с набором различных изображений «земли». Для моделирования в PSpice выбирается земля типа 0/Source, имеющая вид:



1.2.3. Подключение источников питания и входных сигналов

Источники питания и входных сигналов находятся в библиотеке source.slb. В качестве источников питания и входных сигналов используется источник VDC (для цифровых микросхем источники питания не устанавливаются). Входные сигналы задаются с помощью источников VPULSE – источник прямоугольных импульсов, VAC – источник для анализа амплитудно-частотных характеристик, VSIN – источник сигнала

синусоидальной формы, VPWL – источник произвольного кусочно-линейного сигнала и др.

Задание параметров источников сигналов см. в [2]. Некоторые источники сигналов и питания приведены на рис.6.

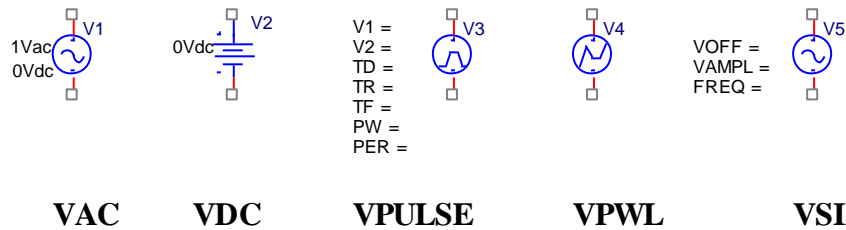



Рис. 6.

Значение параметров источников сигнала задается в диалоговом окне, появляющемся после двойного щелчка ЛКМ на выделенном параметре.

1.2.4. Соединение элементов


Установленные элементы соединяются согласно схеме электрической принципиальной проводниками по команде Place / Wire



(значок команды ). Начало ввода цепи отмечается щелчком ЛКМ. Цепь прокладывается движением курсора. Каждый излом фиксируется щелчком ЛКМ. Ввод цепи завершился, если ее конец совпадает с выводом компонента или любой точкой другой цепи. Если Вы не попали курсором на вывод компонента, то появляется предупреждение в виде восклицательного знака. Если при этом завершить проведение цепи, то соединения не будет. Режим ввода цепи завершается нажатием клавиши ESC или выбором команды End Wire в контекстном меню, открываемом щелчком ПКМ.

1.2.5. Простановка позиционных обозначений компонентов

Позиционные обозначения компонентов проставляются автоматически при вводе компонента. Однако если Вы скопировали компонент, то позиционное обозначение не изменяется и, таким образом, на схеме два элемента будут иметь одинаковые позиционные обозначения, что недопустимо при моделировании. При вводе элементов на этот факт можно не обращать внимание, а после создания схемы заново проставить позиционные обозначения. Для этого, выделив в менеджере проектов

строчку с именем схемы *.dsn, выполняется команда Tools/Annotate (значок команды ). Открывается окно, приведенное на рис. 7.

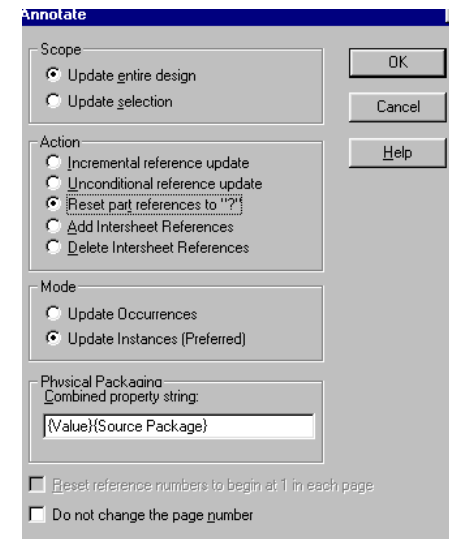




Рис. 7.

В поле Scope задается Update entire design (обновить позиционные обозначения всего проекта), в поле Action – Reset part reference to “?” – замена номеров компонентов на знак «?»». Нажимается ОК. После этого вновь вызывается окно рис.7 и в поле Action выбирается строчка Incremental reference update – обновить позиционные обозначения, у которых проставлен знак «?» . Номера компонентов после задания этой команды увеличиваются на единицу. Позиционные обозначения компонентов автоматически проставляются слева направо, сверху вниз.

1.2.6. Простановка имен цепей


При просмотре результатов моделирования удобно ссылаться на конкретное имя цепи. Присвоение имени псевдонима цепи производится по команде Place / Net Alias (значок команды ). Проставив в появившемся окне номер цепи и нажав ОК, подводят этот номер к цепи так, чтобы он располагался сверху или справа от цепи и касался ее. Нажимается ЛКМ. Затем в контекстном меню, открываемом при нажатии ПКМ, выбирается команда Edit Properties и процесс нумерации продолжается. Рекомендуется нумеровать только те цепи, в которых предполагается просмотр сигналов.

1.2.7. Выявление ошибок в схеме

Для выявления ошибок в схеме выполняется команда Tools / Design Rules Check (значок команды ). Команда активна при выделенной строке в менеджере проектов с именем схемы *.dsn. Отчет о проверке заносится в файл *.drc и дублируется в файле протокола Session Log. В отчет заносятся сообщения о нарушениях правил проектирования. Команда выявления ошибок в схеме загружается автоматически, при запуске программы PSpice на моделирование, но в любом случае нужно предварительно установить ее конфигурацию.

1.3. Создание иерархических блоков

В виде блока можно оформить любую часть схемы. Блоки могут иметь неограниченное число вложений.

Иерархический блок создается по команде Place / Hierarchical Block (значок команды ). Открывается окно, показанное на рис.8.

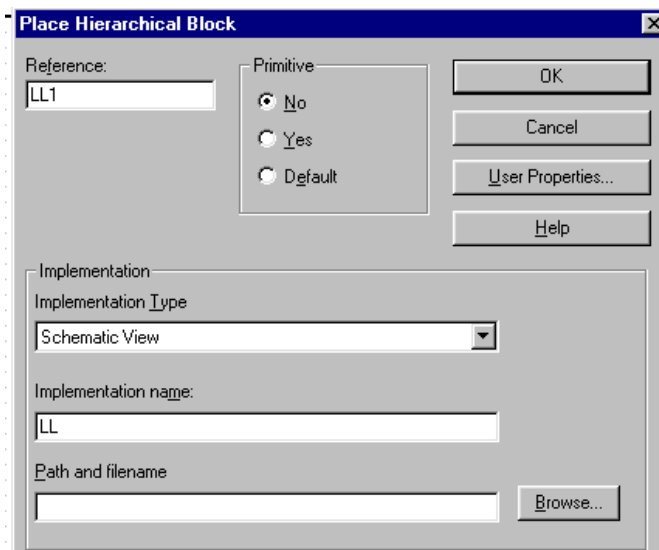



Рис. 8.

В поле Reference вводится позиционное обозначение блока, в поле Implementation type указывается тип иерархического блока. Если на нижнем уровне иерархии будет создаваться электрическая схема, то выбирается тип блока Schematic View. В поле Implementation Name записывается имя блока. Нельзя задавать блоку имя, совпадающее с именем схемы. Если блок

размещается в каталоге текущего проекта, то поле Path and Filename не заполняется. В поле Primitive (тип блока) выбирается No, то есть блок, имеющий иерархическую структуру. Нажимается ОК. Затем рисуется контур блока. Для этого нажимается ЛКМ и перемещением курсора наносится прямоугольный контур символа иерархического блока. При выделенном блоке по команде Place / Hierarchical Pin (значок команды ) вводятся имена выводов блока. В диалоговом окне команды (рис. 9)

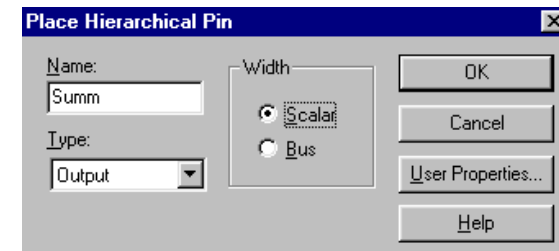


Рис. 9.

указываются:

на панели Name – имя вывода;

на панели Type – тип вывода (вход, выход и т.д.);

на панели Width – тип цепи (scalar – единичная цепь, bus - шина).

Затем вывод располагается в необходимом месте внутри контура блока и его расположение фиксируется щелчком ЛКМ. В контекстном меню, вызываемом щелчком ПКМ, выбирается строчка Edit Properties и нажимается ЛКМ. В открывшемся окне указываются параметры второго вывода, нажимается ОК и т.д. Завершается установка выводов выполнением команды End Mode из контекстного меню.

После создания рисунка блока переходят на нижний уровень иерархии (команда Descend Hierarchy из контекстного меню. Команда активна при выделенном блоке). Появляется окно, приведенное на рис. 10.

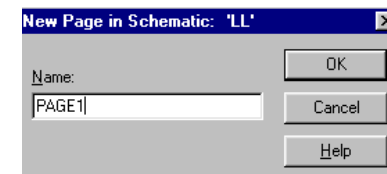


Рис. 10.

В поле Name записывается имя блока, под которым он будет занесен в менеджер проектов. В соответствии с предложением в верхней строчке окна, блоку можно дать присвоенное при создании блока имя. Нажимается ОК.

На нижнем уровне иерархии располагаются порты, соответствующие выводам созданного блока. Далее рисуется схема блока (или копируется через буфер обмена из другого проекта). Порты перемещаются к соответствующим точкам схемы и соединяются с ними проводниками. В схеме блока нельзя использовать графические обозначения «земли» и глобальное имя земли GND. Переход на верхний уровень иерархии выполняется по команде Ascend hierarchy из контекстного меню .

1.4. Запись иерархического блока в библиотеку и вставка блока из библиотеки в схему

Если создан блок из цифровых компонентов, в корпусе которых расположено несколько секций, и его предполагается использовать в схеме неоднократно, то блок необходимо записать в библиотеку и затем вставлять в схему как библиотечный элемент. Копировать такой блок через буфер обмена нельзя, так как секции элементов, находящихся в одном корпусе, могут оказаться в разных блоках, что недопустимо. Увеличивать количество блоков путем копирования можно для схем, содержащих элементы, не упакованные секциями в корпус (резисторы, транзисторы, конденсаторы, элементы ПЛИС).

Для записи иерархического блока в библиотеку сначала необходимо создать в проекте библиотеку. Для этого при открытом проекте выполняется команда File / New / Library. В открывшемся окне выбирается текущий проект и нажимается ОК. Чтобы библиотека оказалась подключенной к проекту, выполняется команда File / Save. Таким образом в проекте в подкаталоге Library создается библиотека Library1.olb.

Запись блока в библиотеку производится следующим образом. Нажатием ЛКМ на блоке выделяется блок и выполняется команда File / Export Selection. В диалоговом окне (рис. 11), в поле Export Selection Name указывается имя блока, а в поле Library - путь к библиотеке, куда заносится блок. Нажимается ОК. Блок занесен в библиотеку.

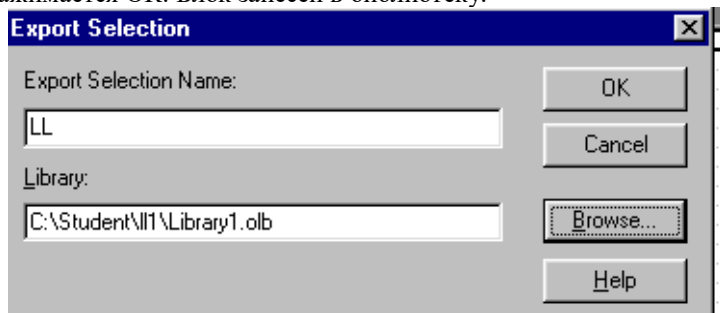


Рис. 11.

Вставка блока из библиотеки в схему производится по команде File / Import Selection. При этом с блока должно быть снято выделение. В открывшемся окне (рис. 12) нажимается кнопка Add Library и открывается библиотека, в которой находится блок. Появляются имя библиотеки и имена блоков, записанных в библиотеку. Затем выделяется имя вставляемого блока и нажимается ОК. Фиксация блока на поле чертежа производится щелчком ЛКМ.

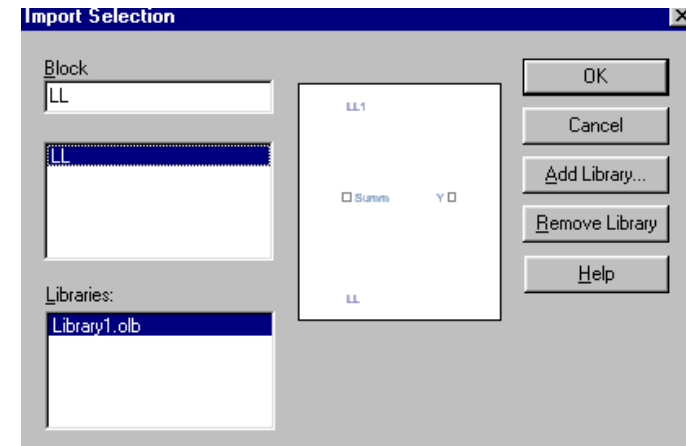



Рис. 12.

1.5. Моделирование

Параметры моделирования для созданного проекта заносятся в файл *.sim, называемый профайлом моделирования. В него заносятся вид анализа и глобальные параметры моделирования. Новый профайл создается по команде PSpice / New Simulation Profile (значок команды ). В окне (рис. 13) записывается имя профайла и нажимается кнопка Create.

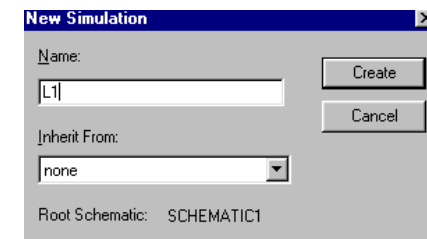


Рис. 13.

Открывается диалоговое окно профайла моделирования (рис. 14).

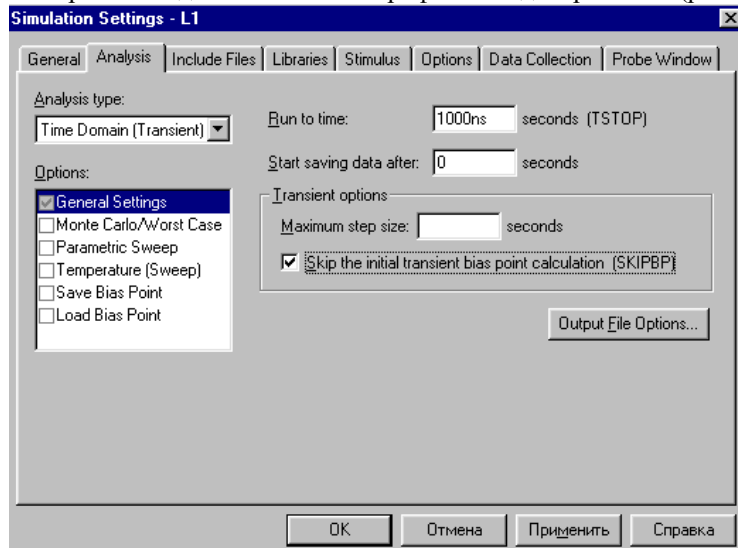





Рис. 14.

В поле Analysis type выбирается тип анализа: анализ переходных процессов (Transient), анализ амплитудно-частотных характеристик (AC Sweep) и др. В поле Options по умолчанию устанавливается выбранный вид анализа (General Settings) и в дополнение к основному виду анализа можно задать дополнительные (Monte Carlo, Parametric Sweep и др.). Заполнение окон с конкретными видами анализа приведено в [2]. При моделировании цифровых схем используется вид анализ Transient. Для этого режима в поле Run to time проставляется время моделирования. Если пометить галочкой строку [SKIPBP], то отменяется расчет схемы по постоянному току. Далее можно установить уровень аналого-цифрового интерфейса цифровых схем по умолчанию. Для этого в главном меню профайла моделирования нажимается кнопка Options, в списке Category выбирается Gate-level Simulation, в строке Initial all flip-flop to устанавливается «0» или «1», и в строке Default I/O level for A/D interfaces (уровень интерфейса по умолчанию) устанавливается для аналого-цифровых схем цифра 2. Нажимается кнопка ОК. Уровень интерфейса для конкретных цифровых схем можно изменять в таблицах, открывающихся после двойного щелчка ЛКМ на выбранном компоненте.

Цифровые компоненты могут иметь три уровня аналого-цифрового интерфейса (преобразования входного аналогового сигнала в цифровой). Для совмещения аналоговой части с цифровыми микросхемами используется второй уровень интерфейса AtoD2. Третий уровень интерфейса AtoD3

применяется для схем, имеющих порог Шмитта. Для чисто цифровой части проекта используется первый уровень интерфейса AtoD1, имеющий в некотором диапазоне входных сигналов состояние «X» (неопределенное состояние). Поэтому третий уровень интерфейса нельзя применять для микросхем, подключаемым к аналоговым устройствам.

Редактирование профайла моделирования производится по команде PSpice / Edit Simulation Profile (значок команды ).

Запуск программы моделирования PSpice A/D выполняется по команде PSpice Run (значок команды ). После того, как закончится расчет схемы, выполняется команда Trace / Add Trace (значок команды ). В открывшемся окне приводится список узлов, в которых можно просмотреть как напряжения, так и токи в узлах схемы. (Обозначения токов можно удалить, убрав галочку в строке Current). Выделяются щелчком ЛКМ необходимые узлы, список которых появляется в строке Trace Expression и, нажимая ОК, на экран выводятся графики.

2. МОДЕЛИРОВАНИЕ ЦИФРОВЫХ СХЕМ В ПРОЕКТЕ PC BOARD

2.1. Создание проекта PC Board

Для создания этого вида проекта в окне New Project (см. рис. 3) помечается точкой строчка PC Board (печатные платы), записывается имя проекта и путь к проекту и нажимается ОК. В следующем окне указывается разрешение на моделирование галочкой в строке Enable project simulation. После чего можно выбрать моделирование цифровых устройств в модуле Express Plus и аналого-цифровых схем в модуле PSpice A/D. Для моделирования цифровых устройств в модуле Express проставляется галочка в строке Add VHDL – based digital simulation resource (добавить VHDL – описания цифровых сигналов). Нажимается кнопка «далее». Затем в диалоговых окнах выбираются библиотеки символов компонентов *.olb и затем библиотеки VHDL – описаний компонентов *.vhd. Необходимо следить за тем, чтобы для выбранных библиотечных изображений компонентов имелись соответствующие VHDL – описания. Например, условные графические изображения логических компонентов находятся в библиотеке Gate.olb, расположенной в каталоге ...\\Capture\\Library. Если при создании проекта PC Board включить в проект библиотеку Gate.olb и библиотеки с VHDL-описаниями цифровых компонентов Act.vhd, Cmos.vhd, Ttl.vhd, то можно использовать следующие компоненты из библиотеки Gate.olb: 4000-4096 (Cmos.vhd), 7400-74393 (Ttl.vhd), 74ACT00-74ACT648 (Act.vhd).

В OrCAD Express имеется два режима моделирования: In Design (функциональное моделирование без учета реальных задержек) и Timing

(временное моделирование с учетом реальных задержек). Проект PC Board применяется для моделирования схем, состоящих из интегральных микросхем низкой и средней уровней интеграции. Для него интерес представляет в основном временное моделирование, для выполнения которого используются VHDL – библиотеки с указанием реальных задержек.

2.2. Ввод электрической схемы

Ввод электрической схемы производится в основном аналогично описанному в разделе 1.2. Однако имеются и некоторые отличия. Ко входам и выходам схемы в проекте PC Board подключаются по команде Place / Port

(значок команды ) порты.

В проекте PC Board части схем можно оформить в виде иерархических блоков. Блоки могут представлять собой электрические схемы или VHDL – описания. VHDL – описания создаются по команде File / New / VHDL File или по команде Design / New VHDL File. В первом случае VHDL – файл включается в любой выбранный каталог, во втором – в текущий проект. Создание блока, имеющего описание на VHDL, выполняется аналогично описанному в разделе 1.3, только в поле Implementation type выбирается иерархический блок типа VHDL, а в поле Path and Filename указывается путь к файлу VHDL, описывающему создаваемый блок. Имя блока должно совпадать с именем объявленного в VHDL объекта. В этом случае VHDL-описание блока добавляется в проект и является нижним уровнем иерархии блока, а выводы блока создаются автоматически и соответствуют объявленным в VHDL-описаниям выводов.

Пример оформления схемы в проекте PC Board приведен на рис. 15.

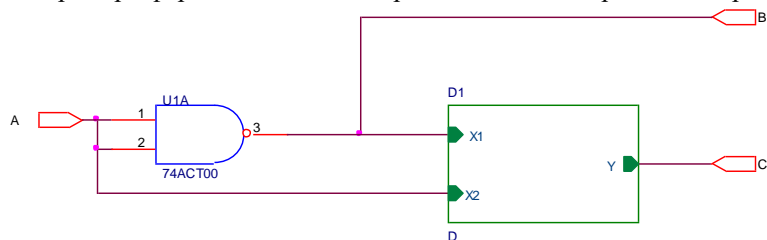



Рис. 15.

2.3. Моделирование схем

Для моделирования схем в проекте PC Board выделяется в менеджере проектов строка с созданной схемой *.dsn и выбирается команда

Tools / Simulate (значок команды ) . Открывается окно для выбора вида моделирования (рис.16).

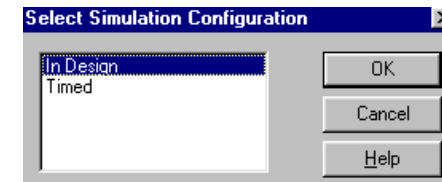


Рис. 16.

Для проведения функционального моделирования выбирается In Design, временного – Timed. И после нажатия на кнопку OK загружается программа моделирования цифровых схем OrCAD Simulate модуля Express Plus.

После загрузки программы Simulate автоматически генерируется список соединений схемы на языке VHDL. Моделирование начинается с задания входных сигналов. Наиболее просто входные сигналы создаются по команде Stimulus / New Interactive. В диалоговом окне этой команды (рис. 17) предоставляется возможность выбрать один из трех типов сигналов для составления описания сигналов: Basic – основной сигнал, задаваемый набором моментов времени изменения логических состояний, Advanced – расширение сигнала типа Basic с возможностью задания циклов повторения, Clock – периодические сигналы.

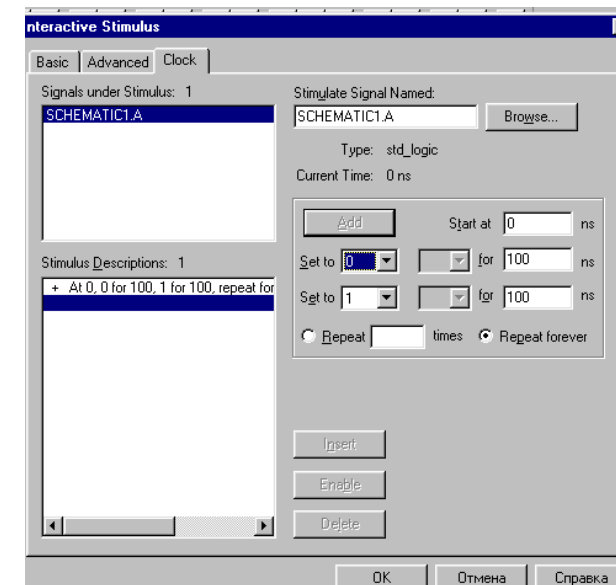


Рис. 17.

Затем на панели Simulate Signal Named указывается имя сигнала. При этом вместо явного указания этого имени можно нажать на панель Browse, затем в окне Signals in Context (рис. 18) выбрать один из входов и нажать ОК.

Созданные сигналы можно сохранить по команде File / Save для последующего использования. Сигналы под именем Stimulus.stm сохраняются в каталоге In Design рабочего проекта.

Если создано несколько видов входных воздействий (Stimulus, Stimulus1, ...), то подключение необходимого сигнала производится по команде Stimulus / Load Interactive и в окне выбирается имя сигнала.

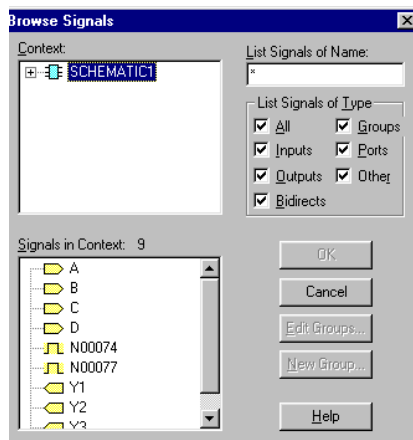



Рис. 18.

После задания всех входных сигналов выполняется моделирование по команде Simulate / Run (значок команды ). Результаты моделирования отображаются в графическом виде в окне [Wave] (рис. 19).

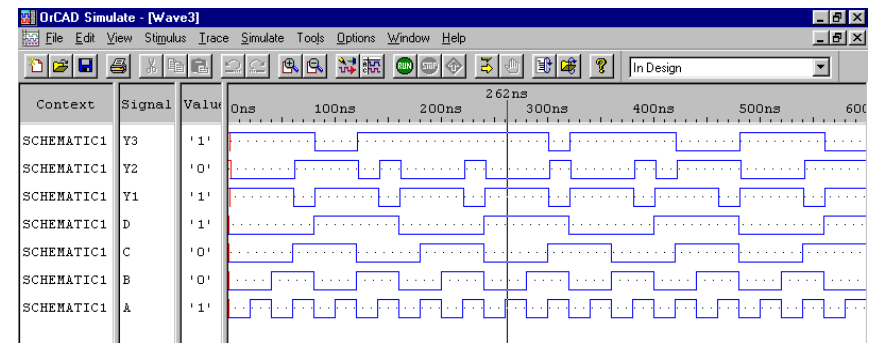


Рис. 19.

Нажатием ЛКМ на графическом окне наносится визирная линия для считывания данных временных диаграмм. Щелчком ПКМ открывается контекстное меню со списком команд: Cut, Copy, Paste, Delete, Edit Traces, Properties и др. Эти команды предназначены для редактирования входных сигналов. Можно, выделив имя сигнала, перетаскивать его график в другое место на временной диаграмме и т.п.

Если входные сигналы корректируются пользователем, то для последующего моделирования надо выбрать команды: Simulate / Reload – перезагрузка проекта и Simulate / Restart – установка системы в начальное состояние (при $t=0$).

3. МОДЕЛИРОВАНИЕ ЦИФРОВЫХ СХЕМ В ПРОЕКТЕ PROGRAMMABLE LOGIC

Проект типа Programmable Logic предназначен для моделирования цифровых схем и синтеза ПЛИС (программируемые логические интегральные схемы). ПЛИС типа CPLD и FPGA фирм Actel, Altera, Xilinx и др. синтезируются с помощью соответствующих программ типа Max+PlusII фирм, производящих ПЛИС. В состав OrCAD Express эти программы не входят. В САПР OrCAD9.1 можно лишь составить схемное или текстовое описание проекта, а с помощью OrCAD Express выполняется только подготовка к синтезу ПЛИС и производится обмен данными со специализированными программами синтеза.

Самостоятельно с помощью OrCAD Express выполняется синтез лишь простых ПЛИС (SPLD) типа GAL, PAL. Библиотеки их символов и их VHDL – описаний помещены в файлы Spld.olb и Spld.vhd, находящихся в каталоге ...Capture / Library / Spld.

В проекте Programmable Logic отсутствует возможность создания электрических схем. Поэтому сначала создается проект Analog or Mixed – Signal Circuit, в котором создается электрическая схема цифрового

устройства с входными и выходными портами. Изображения цифровых компонентов берутся из библиотеки Spld.olb.

Проект Analog or Mixed-Signal Circuit сохраняется, закрывается и после этого создается проект Programmable Logic. При создании проекта указывается тип ПЛИС (Simple PLD для проектирования в OrCAD). Нажимается ЛКМ на значке «+» и выделяется семейство микросхем PAL, GAL. Затем схема *.dsn копируется из проекта Analog or Mixed в проект Programmable Logic. Для этого в проекте Programmable Logic при выделенной верхней строчке менеджера проектов Design Resource вызывается контекстное меню щелчком ПКМ и после щелчка ЛКМ на открывшемся окошке Add File находится и присоединяется к проекту Programmable Logic схема *.dsn.

Моделирование цифровой схемы производится в программе Simulate согласно описанию, приведенному в подразделе 2.3. При типе моделирования In Design производится функциональное моделирование с нулевой задержкой сигналов. Затем при выделенной в менеджере проектов строчке с именем схемы *.dsn по команде Tools / Compile можно произвести синтез и оптимизацию описания ПЛИС. А по команде Tools / Build – размещение и трассировку ПЛИС типа SPLD. При этом создается управляющий файл *.jed для прошивки ПЛИС. Информация о созданной ПЛИС содержится в файле *.lst.

Для размещения и трассировки ПЛИС других фирм по команде Build выбирается режим немедленного запуска программ типа Max+PlusII.

4. ПРОЕКТИРОВАНИЕ ПЕЧАТНЫХ ПЛАТ В МОДУЛЕ LAYOUT PLUS

4.1. Создание электрической схемы для проектирования печатной платы

Проектирование печатных плат (ПП) начинается с создания электрической схемы в проекте Analog or Mixed-Signal Circuit так, как описано в разделе 1. Рекомендуется присвоить имена разводным цепям для того, чтобы иметь возможность задавать необходимую ширину каждого проводника.

Если предполагается подсоединять внешние проводники к ПП пайкой к металлизированным отверстиям, то в электрической схеме устанавливаются контакты типа контактов питания VCC и земли 0/Source (рис. 20,а). Если же предполагается установить на ПП разъем, то на электрическую схему помещаются группы контактов, расположенные в библиотеке ...Capture/Library/Lec/Header типа MSV2...MSV30 (рис. 20,б).

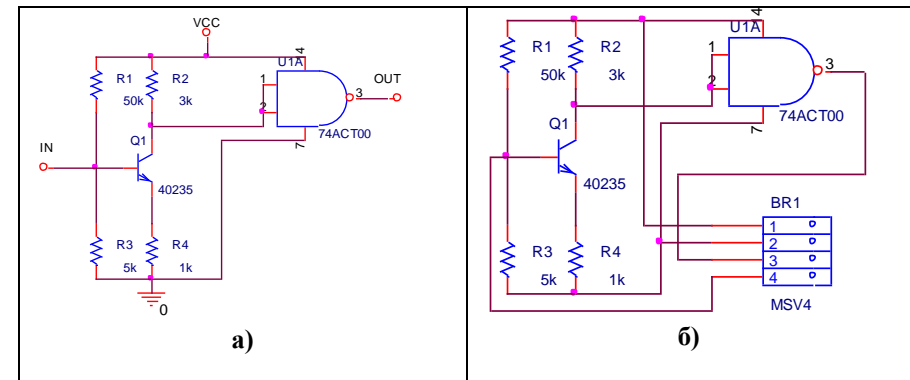


Рис. 20.

Цифровые компоненты по умолчанию имеют скрытые контакты для подключения «земли» и питания. Для того, чтобы сделать их видимыми и обеспечить возможность подсоединения цепей питания и «земли» к этим контактам, надо двойным щелчком ЛКМ на компоненте открыть таблицу параметров компонента. Затем пометить галочкой колонку Power Pins Visible (то есть установить контакты питания видимыми). Нажать кнопку Apply и закрыть окно с таблицей. Подвести цепи к выводам питания и «земли». (Эту процедуру можно и не выполнять, если цепи питания и «земли» разводятся в слоях Power и Gnd).

По команде Tools/Create Netlist создается список соединений. В окне (рис. 21) выбирается формат Layout и устанавливается английская система измерений Inches (дюймы). Нажимается ОК. В результате создается файл *.mnl со списком соединений. После чего закрывается проект и модуль Capture CIS.

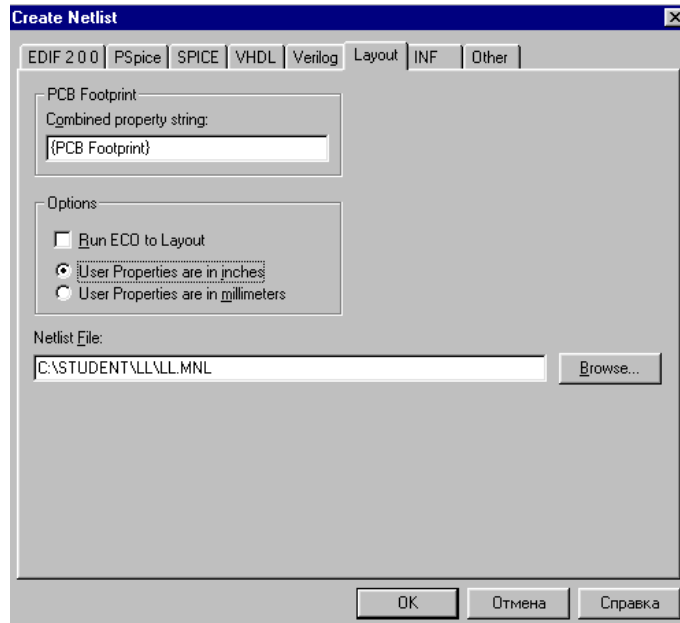


Рис. 21.

4.2. Упаковка схемы на печатную плату

Разработка ПП начинается с загрузки модуля Layout Plus. Далее выполняется команда File / New. В диалоговом окне запрашивается имя технологического шаблона. В шаблоны заложены различные технологические нормы. Например:

- 1bet_any.tch – установка компонентов с планарными и штыревыми выводами. Между выводами DIP-корпуса прокладывается один проводник. Ширина проводника и технологические зазоры равны 0,3 мм;
- 2bet_any.tch – установка компонентов со штыревыми выводами. Между выводами DIP-корпуса можно провести две трассы. Ширина трасс и технологические зазоры равны 0,2 мм.

Выбирается нужный шаблон и нажимается «открыть». В следующем окне указывается имя файла списка соединений *.mnl из рабочего проекта. Нажимается кнопка «открыть». И в последнем окне устанавливается имя файла создаваемой ПП *.max. Нажимается кнопка «сохранить».

В процессе загрузки списка соединений (упаковка схемы на ПП) для каждого условного графического обозначения элемента схемы отыскивается

в библиотеке корпусов компонентов соответствующий корпус. Если обнаружится компонент, не имеющий ссылок на корпус, то выводится диалоговое окно для определения корпуса (рис. 22).

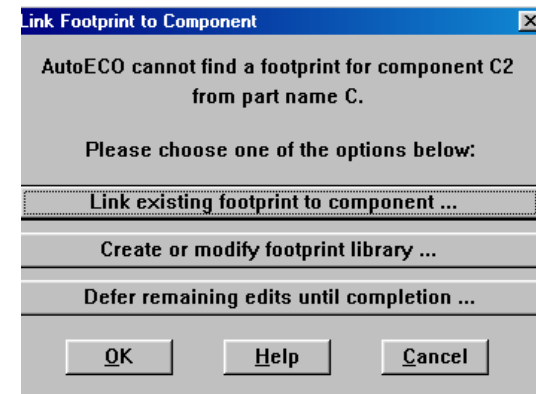


Рис. 22.

В этом окне надо щелкнуть ЛКМ на панели Link existing footprint to component (укажите имя существующего корпуса для компонента), в следующем окне выбрать библиотеку и в ней – нужный корпус.

При загрузке списка соединений металлизированные контакты типа VCC, корпус, In, Out не размещаются на ППП. Они устанавливаются по команде Tool / Via / New. Открывается диалоговое окно (рис. 23).

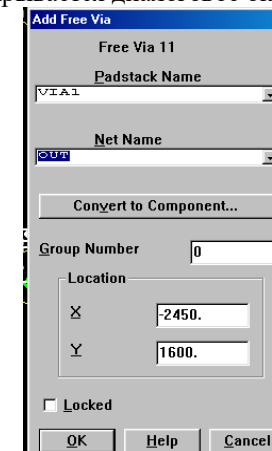


Рис. 23.

В строке Net Name выбирается имя цепи (VCC, In и т.п.) и нажимается ОК. Контакт устанавливается в нужное место и фиксируется нажатием ЛКМ.

Результаты загрузки списка соединений на ПП показаны на рис. 24.

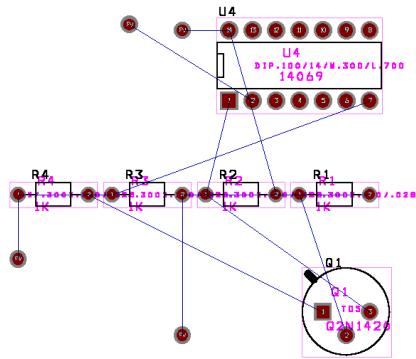


Рис. 24.

4.3. Задание технологических норм на печатную плату

Если какие либо параметры технологического шаблона не подходят пользователю, их можно изменить.

Глобальные параметры проекта (система единиц, шаг сетки размещения компонентов, шаг сетки привязки и др.) устанавливаются в диалогом окне (рис. 25), открываемом по команде Options / System setting

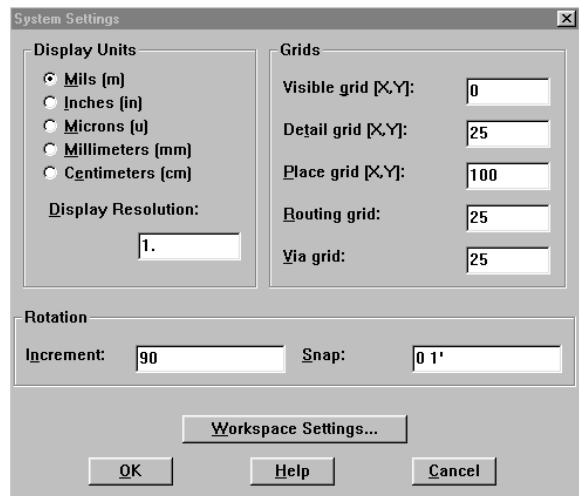


Рис. 25.

По умолчанию устанавливается английская система единиц mils (0,001 дюйма). Для перевода в миллиметры размеры, приведенные в mils, надо разделить на 40.

Слой, в котором будет производиться разводка проводников, задается в диалоговом окне, открываемом по команде View /Database Spreadsheets / Layers (рис. 26).

Layer Name	Layer Hotkey	Layer NickName	Layer Type	Mirror Layer
TOP	1	TOP	Routing	BOTTOM
BOTTOM	2	BOT	Unused	TOP
GND	3	GND	Unused	(None)
POWER	4	PWR	Unused	(None)
INNER1	5	IN1	Unused	(None)
INNER2	6	IN2	Unused	(None)
INNER3	7	IN3	Unused	(None)
INNER4	8	IN4	Unused	(None)
INNER5	9	IN5	Unused	(None)
INNER6	Ctrl + 0	IN6	Unused	(None)
INNER7	Ctrl + 1	IN7	Unused	(None)
INNER8	Ctrl + 2	IN8	Unused	(None)
INNER9	Ctrl + 3	IN9	Unused	(None)
INNER10	Ctrl + 4	I10	Unused	(None)
INNER11	Ctrl + 5	I11	Unused	(None)
INNER12	Ctrl + 6	I12	Unused	(None)
SMTOP	Ctrl + 7	SMT	Doc	SMBOT
SMBOT	Ctrl + 8	SMB	Doc	SMTOP
SPTOP	Ctrl + 9	SPT	Doc	SPBOT
SPBOT	Shift + 0	SPB	Doc	SPTOP
SSTOP	Shift + 1	SST	Doc	SSBOT
SSBOT	Shift + 2	SSB	Doc	SSTOP

Рис.26.

Слой, в котором производится разводка, отмечается Routing, отсутствие разводки – Unused. Для изменения состояния слоя щелчком ЛКМ на имени слоя выделяется строка, соответствующая определенному слою. (Если изменяются одновременно состояния нескольких слоев, то щелчки ЛКМ на имени слоя производятся при нажатой клавише Ctrl). Затем вызывается контекстное меню щелчком ПКМ, выбирается строка Properties и нажимается ЛКМ. В открывшемся окне (рис. 27)

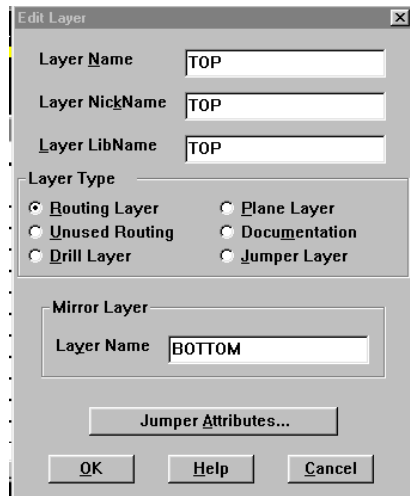


Рис. 27.

в поле Layer Type отмечается необходимое состояние слоя (Routing, Unused и др.). Нажимается ОК и закрывается окно Layers.

Ширина проводников задается командой View / Database Spreadscheet / Nets. Открывается диалоговое окно (рис. 28).

Net Name	Color	Width			Routing Enabled	Share	Weight	Reconn Rule
		Min	Con	Max				
1	Yellow	20	40	40	Yes	Yes	50	Std
2	Yellow	20	40	40	Yes	Yes	50	Std
3	Yellow	20	40	40	Yes	Yes	50	Std
4	Yellow	20	40	40	Yes	Yes	50	Std
5	Yellow	20	40	40	Yes	Yes	50	Std

Рис. 28.

Двойной щелчок на цифре в колонке Width раскрывает окно (рис. 29), в котором можно задать минимальную, среднюю и максимальную ширину проводника в строках Min Width, Conn Width и Max Width.

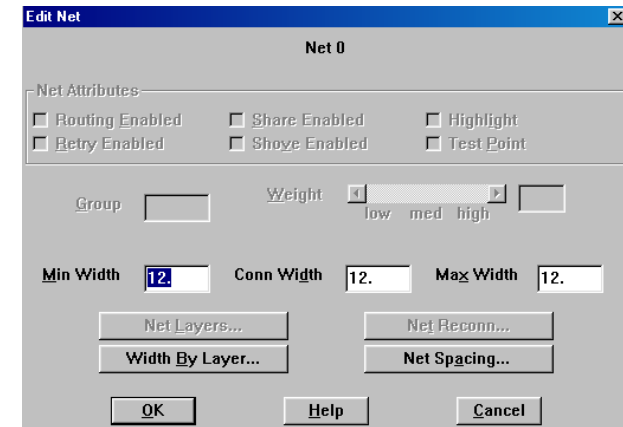


Рис. 29.

Зазоры между проводниками, проводниками и контактными площадками и т.п. устанавливаются в диалоговом окне (рис. 30), открываемом по команде Options / Global Spacing.

Layer Name	Track to Track	Track to Via	Track to Pad	Via to Via	Via to Pad	Pad to Pad
TOP	12	12	12	12	12	12
BOTTOM	12	12	12	12	12	12
GND	12	12	12	12	12	12
POWER	12	12	12	12	12	12
INNER1	12	12	12	12	12	12
INNER2	12	12	12	12	12	12
INNER3	12	12	12	12	12	12
INNER4	12	12	12	12	12	12
INNER5	12	12	12	12	12	12
INNER6	12	12	12	12	12	12
INNER7	12	12	12	12	12	12
INNER8	12	12	12	12	12	12
INNER9	12	12	12	12	12	12
INNER10	12	12	12	12	12	12
INNER11	12	12	12	12	12	12
INNER12	12	12	12	12	12	12
DRILL	12	12	12	12	12	12

Рис. 30.

Щелчком ЛКМ на имени слоя в колонке Layer Name выделяется строка. Затем вызывается контекстное меню, выбирается строка Properties и нажимается ЛКМ. В окне Edit Spacing (рис. 31) редактируются зазоры.

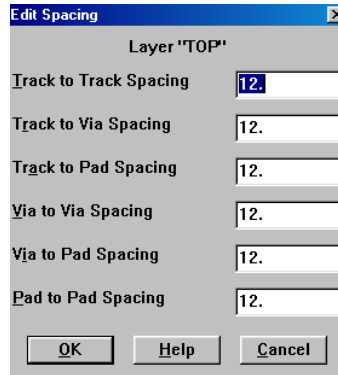




Рис. 31.

В центре экрана расположен пунктирный прямоугольник, окружающий область DRC Box, внутри которой при разработке ПП в автоматическом режиме соблюдаются все установленные технологические ограничения. Естественно, когда эта область совпадает с контуром ПП. Для задания новой области DRC Box выполняют команду View / Zoom DRC Route Box, устанавливают значок Z в один из углов ПП и, удерживая нажатой ЛКМ, перемещают значок диагонально в другой угол ПП. Для перемещения области DRC Box после выполнения команды View / Zoom DRC Route Box производится щелчок ЛКМ после чего область DRC Box перемещается вместе с курсором.

Включение или выключение режима соблюдения технологических норм производится щелчком ЛКМ на значке . При выключенном режиме пунктирный прямоугольник исчезает. Управлять режимом DRC Box можно и командой Options / User Preferences. Включение режима производится простановкой галочки в строке Activate Online DRC.

4.4. Размещение компонентов на поле печатной платы

Сначала вычерчивается контур ПП по команде Tool / Obstacle / New. Нажав ЛКМ в одном из углов вычерчиваемой ПП и удерживая ее, перемещаем мышку по диагонали. Создается прямоугольный контур ПП. Толщину линии контура можно отредактировать в окне, открываемом после двойного щелчка ЛКМ на линии контура ПП.

Размещать компоненты можно вручную, выделяя и перемещая их. Для этого надо выполнить команду выбора компонента: Tool / Component / Select Tool (значок команды ). Затем выделить компонент щелчком

ЛКМ на нем и перемещать компонент движением мышки. Для фиксации компонента нажать ЛКМ.

В автоматическом режиме размещение производится по команде Auto / Place / Board. Перед выполнением размещения можно задать правила размещения по команде Options / Placement Strategy. Можно необходимые компоненты перед автоматическим размещением зафиксировать на ПП (например, разъемы), выбрав компонент и в контекстном меню нажать ЛКМ на строчке Fix.

После автоматической расстановки компонентов, выделив компонент, можно просмотреть его связи с соседними компонентами, и, при необходимости, переместить его, повернуть, разместить на обратной стороне ПП и т.д. (команды из контекстного меню).

4.5. Автотрассировка проводников

Автотрассировка проводников производится по команде Auto/ Auto-route / Board. После окончания разводки плата увеличивается на весь экран по команде View / Zoom All и визуальнo оцениваются результаты трассировки. Если видно, что некоторые элементы расставлены неоптимальным образом, (например, их желательно переместить, повернуть и т.п.), можно отменить результаты трассировки (команда Auto / Unroute / Board) и переместить элементы вручную. Затем повторить разводку. Повторяя этот прием, можно добиться хороших результатов в трассировке проводников. Разведенная ПП показана на рис. 32.

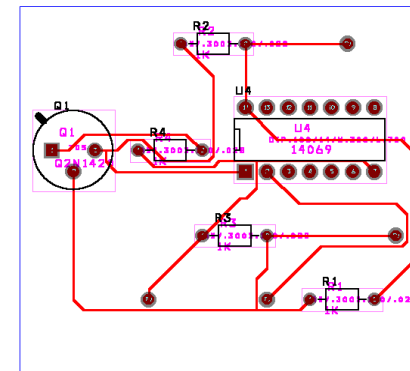


Рис. 32.

В заключение можно перейти в метрическую систему единиц (по команде Options / System Settings) и проставить размеры ПП в миллиметрах по команде Tool / Dimension / New.

5. ОФОРМЛЕНИЕ ДОКУМЕНТАЦИИ

Доработка чертежей и оформление документации на схемы электрические и ПП производится в программе Autocad14 [5] или во встроенном в САПР OrCAD9.1 модуле Visual CADD (упрощенная версия программы AutoCAD). В эти программы загружаются файлы с расширением *.dxf. Трансляция электрических схем в формат DXF осуществляется по команде File / Export Design. В диалоговом окне (рис. 33) нажимается кнопка DXF. В строку Save As заносится имя файла *.dxf, раскрывая содержание каталогов кнопкой Browse. Нажимается ОК.

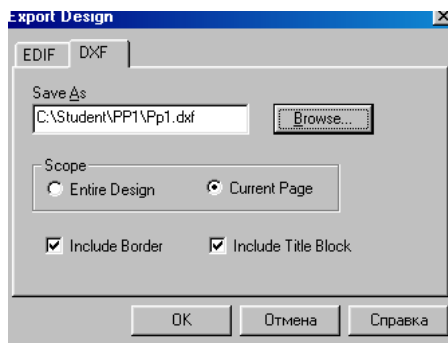


Рис. 33.

Печатная плата, сохраненная в формате *.max, преобразуется в формат DXF по команде File / Export / Layout to DXF, задаваемой из начального меню модуля Layout Express. В диалоговом окне MAX to DXF (рис. 34) в поле Input Layout File после нажатия на кнопку Browse, открывается файл печатной платы *.max. В поле Output DXF File сохраняется имя ПП с расширением .dxf. Нажимается кнопка Translate.

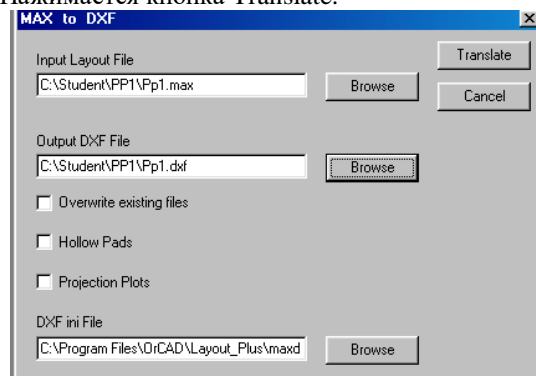


Рис. 34.

В комплект чертежей на печатный узел входят два чертежа, которые можно оформить из файла печатной платы *.max: чертеж платы, содержащий печатные проводники, и сборочный чертеж, отражающий расстановку компонентов на ПП. Однако файл ПП *.max содержит как печатные проводники, так и компоненты. Для оформления чертежей необходимо сделать видимыми только определенные слои.

Для создания чертежа платы можно по команде View / Clear Screen (или нажимая клавишу Backspace на клавиатуре) очистить экран и затем набрать на клавиатуре номер выводимого слоя проводников (или его имя). На слое TOP (номер слоя 1) располагаются проводники на верхней стороне платы (со стороны компонентов), на слое BOT (номер слоя 2) располагаются проводники на нижней стороне платы. Рамка чертежа относится к глобальному слою, имеющему номер 0. Изображение ПП полностью восстанавливается на экране после выполнения команды View / Redraw (клавиша Home на клавиатуре). Подготовленный таким образом рисунок ПП можно вставлять в AutoCAD для дооформления чертежа платы.

После удаления с экрана печатных проводников файл ПП *.max принимает вид, пригодный для оформления сборочного чертежа. Для удаления проводников надо выбрать слой с проводниками в меню слоев, расположенном в строке значков команд программы Layout Plus (рис. 35).

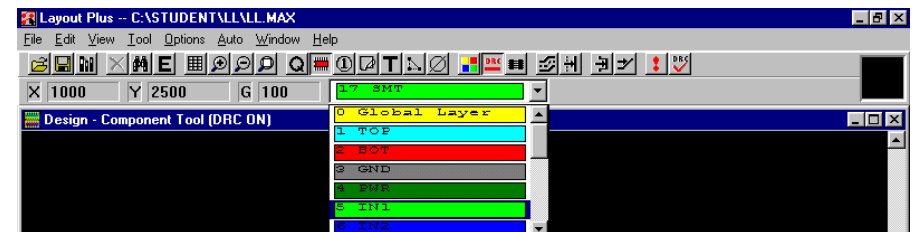


Рис. 35.

После чего выполняется команда View /Visible<>Invisible (или нажимается клавиша « - » на клавиатуре) и выбранный слой становится невидимым. (Повторное выполнение этой команды делает слой видимым). Для удаления текстовых надписей делается невидимым слой 23AST. Аналогично удаляются и контакты. Окончательно сборочный чертеж оформляется в программе AutoCAD.

6. ЛАБОРАТОРНОЕ ЗАДАНИЕ

Произвести моделирование и спроектировать печатную плату цифрового или цифро-аналогового узла. Вариант схемы получить у преподавателя.

Контрольные вопросы:

1. Состав и выполняемые функции САПР OrCAD 9.1.
2. Как создаются различные виды проектов?
3. Как вводится электрическая схема?
4. Как проставляются и обновляются позиционные обозначения элементов?
5. Как выявляются ошибки в схеме?
6. Как создаются иерархические блоки?
7. Как создаются библиотеки и заносятся в них блоки?
8. Как производится моделирование в проекте Analog or Mixed-Signal Circuit?
9. Как производится моделирование в программе Simulate?
10. Как создаются входные сигналы в программе Simulate?
11. Как производится моделирование в проекте Programmable Logic?
12. Как проектируются печатные платы?

ЛИТЕРАТУРА

1. Разевиг В.Д. Система сквозного проектирования электронных устройств Design Lab 8.0 М.: «Солон-Р», 2000.
2. Лукьяненко Е.Б., Коноплев Б.Г., Колпаков М.М., Очеретин А.В. Руководство к лабораторной работе «Схемотехническое моделирование с использованием программы Design Center 5.1». Таганрог: Изд-во ТРТУ, 1999. №1086.
3. Разевиг В.Д. Система проектирования цифровых устройств OrCAD. М.: «Солон-Р», 2000.
4. Гузик В.Ф., Пьявченко А.О., Панов Д.И., Переверзев В.А. Введение в систему автоматизированного проектирования OrCAD: структура и применение: Учебное пособие. Часть 1.-Таганрог: Изд-во ТРТУ, 2001.
5. Лукьяненко Е.Б., Замков Е.Т., Жейц Л.Е. Руководство к лабораторной работе «Оформление электрических схем с использованием программы AutoCAD14». Таганрог: Изд-во ТРТУ, 2001. №3023.

**Лукьяненко Евгений Борисович
Ивченко Владимир Геннадьевич
Лещенко Антон Викторович**

Руководство к лабораторной работе

**Проектирование цифровых и
аналого-цифровых схем
в САПР OrCAD 9.1**

по курсам:

**Математическое моделирование в микроэлектронике;
Основы конструирования и проектирования приборов;
Конструирование и технология ЭВМ**

Ответственный за выпуск Лукьяненко Е.Б.
Редактор
Корректор

ЛР 020565 от 23.06.1997 г. Подписано к печати
Печать офсетная. Бумага офсетная.
Формат 60 x 841/16.
Усл. п. л. – Уч.-изд. л. –
Заказ N Тир. 150 экз.

“С”

Издательство Таганрогского государственного
радиотехнического университета
ГСП 17А, Таганрог, 28, Некрасовский, 44
Типография Таганрогского государственного
радиотехнического университета
ГСП 17А, Таганрог, 28, Энгельса, 1