

Одна из модернизаций оборудования рельсовых цепей (РЦ) переменного тока 25 Гц с кодовым питанием связана с заменой электромагнитных путевых приемников на микропроцессорные. Ведь стоимость электромагнитного путевого приемника/передатчика с каждым годом увеличивается и достигает нескольких миллионов рублей, а количество приемопередатчиков, выработавших свой ресурс и требующих замены, превышает несколько сотен.

Для формирования сигнального тока 25 Гц могут применяться различные подходы. Но для используемого технического решения микропроцессорной аппаратуры РЦ, когда используются лишь три значения напряжения: $+U$, 0 и $-U$, возможным способом формирования сигнального тока является широтно-импульсная модуляция (ШИМ).

Важным требованием к разрабатываемому устройству является его совместимость с другими устройствами системы автоблокировки и автоматической локомотивной сигнализации, поэтому для разработки микропроцессорного путевого приемо-передатчика необходимо решить следующие математические задачи: 1) выбор оптимального «шаблона» сигнала с ШИМ, который обеспечивал бы наибольшую спектральную плотность мощности сигнала в заданной полосе частот (предлагается несколько стандартных шаблонов с тремя уровнями напряжения); 2) выбор эффективных параметров быстрого преобразования Фурье принимаемого из РЦ сигнала (разрядность аналого-цифрового преобразователя, частота дискретизации, период опроса), которые допускали бы надежную фильтрацию принимаемого сигнала и распознавание кодовых посылок («КЖ», «Ж», «З») в условиях работы РЦ с помехами.

Аналитическое решение первой задачи возможно лишь для некоторых параметров ШИМ (моментов начала импульсов, длительностей импульсов, их количества и амплитуды U), когда преобразование Фурье в символьном виде не затруднено. Для решения задачи в общем виде, а также для решения второй задачи предлагается использовать численный метод и компьютерную имитационную модель, разработанную авторами. Компьютерная модель включает в себя несколько подсистем (выходная информация, реализуемая одной подсистемой, является входной информацией для следующей подсистемы): 1) формирования квазисинусоидального напряжения по нескольким стандартным шаблонам и двухпараметрической ШИМ (параметрами являются количество и амплитуда импульсов); 2) модуляции сигнального тока в РЦ и формирования кодовых посылок «КЖ», «Ж», «З»; 3) формирования «шума», присутствующего в РЦ, с заданными вероятностными закономерностями; 4) дискретизации и квантования принимаемого из модели РЦ сигнала; 5) цифровой фильтрации (быстрого преобразования Фурье), включая визуализацию спектральной плотности мощности; 6) распознавания кодовых посылок.

Результаты работы будут использованы для выбора архитектуры микропроцессорного путевого приемопередатчика (разрядности АЦП, разрядности микроконтроллера) и разработки алгоритмов его функционирования.

УДК 656.25

МОДЕРНИЗАЦИЯ ПРОГРАММНОГО КОМПЛЕКСА ИМИТАЦИОННЫХ ИСПЫТАНИЙ НА ФУНКЦИОНАЛЬНУЮ БЕЗОПАСНОСТЬ МИКРОПРОЦЕССОРНЫХ СИСТЕМ

С. Н. ХАРЛАП, А. В. НОВОМЛИНЕЦ, А. А. ЧАПЛЮК

Белорусский государственный университет транспорта, г. Гомель

В настоящее время в системы железнодорожной автоматики активно внедряются сложные технические комплексы и оборудование. Основной характеристикой данных систем является способность достоверно и надежно выполнять функции, определяющие безопасность функционирования объектов контроля и управления (функциональная безопасность). Доказательство функциональной безопасности представляет собой комплекс мероприятий по подтверждению количественных и качественных показателей безопасности функционирования в соответствии с заявленным разработчиком системы железнодорожной автоматики уровнем обеспечения безопасности (по ИЕС 61508).

К микропроцессорным системам, критичным к безопасности, предъявляется обязательное требование анализа поведения системы управления при возникновении в ней отказов аппаратуры. Поставляемое разработчиками микропроцессорных систем программное обеспечение не позволяет выполнить такие исследования. На основании этого в ИЛ «БЭМС ТС» БелГУТа был разработан программный комплекс КИИБ, позволяющий имитировать отказы в структуре микропроцессорных систем.

Комплекс КИИБ предназначен для проведения ускоренных имитационных испытаний на функциональную безопасность в соответствии с IEC 61508, EN 50126, OСТ 32.146 микропроцессорных систем управления ответственными технологическими процессами, в том числе систем управления движения поездов.

КИИБ позволяет контролировать следующие характеристики:

- наличие одиночных и кратных неисправностей технических средств, приводящих к нарушению функциональной безопасности системы;
- наличие ошибок программных средств, приводящих к нарушению функциональной безопасности системы;
- возможность накопления отказов заданной кратности во внутренней структуре.

Предусмотрены средства автоматизации испытаний, встроенный язык моделирования программы эксперимента, гибкая система настройки параметров комплекса.

Существующая версия комплекса имитационных испытаний КИИБ позволяет выделить следующие недостатки, затрудняющие проведение испытаний систем на базе разработанной универсальной модели микроконтроллера:

- недостаточная эффективность средств отладки моделей;
- жесткая ориентация на группы микроконтроллеров, что требует переработки комплекса при моделировании нового микроконтроллера;
- невозможность распределенных вычислений, что снижает производительность.

Для их устранения требуется доработать текущую версию комплекса КИИБ:

- 1) переработать стандартный внешний интерфейс;
- 2) доработать модуль тестирования с целью повышения универсальности;
- 3) переработать визуальные модели ручной отладки и автоматизированного тестирования;
- 4) реализовать распределенное вычисление при проведении испытаний.

Переработанная организация комплекса позволит обеспечить высокую скорость моделирования при использовании различных интерфейсов для ручной отладки и автоматизированного тестирования; улучшить гибкость системы при помощи повышения универсальности; реализовать параллельное проведение испытаний на нескольких компьютерах.

УДК 656.25

АВТОМАТИЗАЦИЯ АНАЛИЗА РЕЗУЛЬТАТОВ ИМИТАЦИОННЫХ ИСПЫТАНИЙ МИКРОПРОЦЕССОРНЫХ СИСТЕМ НА ФУНКЦИОНАЛЬНУЮ БЕЗОПАСНОСТЬ

С. Н. ХАРЛАП, Д. С. САВЕНОК

Белорусский государственный университет транспорта, г. Гомель

При проектировании и разработке систем, критичных к безопасности, особое внимание уделяется составлению доказательства безопасности. Одним из этапов доказательства безопасности являются имитационные испытания (моделирование) аппаратной и программной частей разрабатываемой системы. Для этих целей в ИЛ «БЭМС ТС» БелГУТа разработан программный комплекс для проведения имитационных испытаний микропроцессорных систем железнодорожной автоматики на функциональную безопасность (КИИБ).

Особенностью данного комплекса является имитация отказов в программной модели, полностью реализующей поведение микроконтроллера, и анализ работы неисправного микроконтроллера с загруженным в него программным обеспечением, которое будет использоваться в процессе эксплуатации. Учитывая значительное число моделируемых отказов, проведение испытаний и, особенно, анализ полученных результатов требует длительного промежутка времени.

Результаты моделирования программного комплекса КИИБ предоставляются пользователю в виде графиков выходных сигналов с портов имитируемого устройства для каждого из испытаний. Анализ результатов работы моделируемого устройства заключается в классификации внедренного в модель отказа на основе критериев, установленных в технической документации к системе. Поэтому возникает проблема автоматизации анализа результатов работы имитируемого устройства, так как ручной анализ даже при моделировании небольшого числа отказов приводит к большим временным затратам на обработку информации. Кроме того, при ручном анализе больших объемов данных возрастает вероятность некорректной классификации отказа, связанная с ослаблением внимания человека.